

---

**JEITA LPB-SC  
LPBインフラTF  
2017年度Annualレポート**

# TG開催と参加人数

■ インフラTGは、下記の日程で計7回開催した

#1 5/18 T川崎	#2 6/15 T川崎	#3 7/21 R銀座	#4 8/3 T川崎	#5 9/22 T川崎	#6 12/01 T川崎	#7 2/16 T川崎
17名	9名	13名	13名	8名	9名	9名

# 部品取り込みについて

# 村田製作所様のCフォーマット対応

C-format課題

2017年8月3日

株式会社 村田製作所  
五嶋制二

**muRata**  
INNOVATOR IN ELECTRONICS



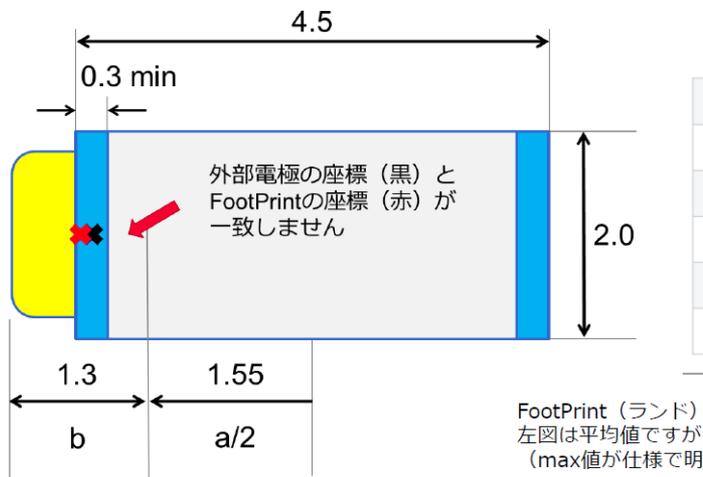
1 Copyright © Murata Manufacturing Co., Ltd. All rights reserved. 02 August 2017

# 問題点

(例) パッド (端子) サイズとPort座標の関係



- 部品外部電極とFootPrintの基準座標が異なる



現状のシミュレーションでは、**×**の方が良い。  
ただ厳密にはセットで付くSPICEは**×**になるのが理想。また部品屋が推奨PADを保証できない。

あるべき姿は、純粋な部品情報と、推奨PAD  
それぞれのCフォーマットがあるべき。

これらはVer3.0で検討する。

今回は両方のCフォーマットを準備してもらい、  
検証を行う。

<port id="1" x=.....> などで指定する座標の定義を明確  
ユーザー様ごとに解釈がことなる可能性があります。

# 要望

## ご検討いただきたいこと

**muRata**  
INNOVATOR IN ELECTRONICS

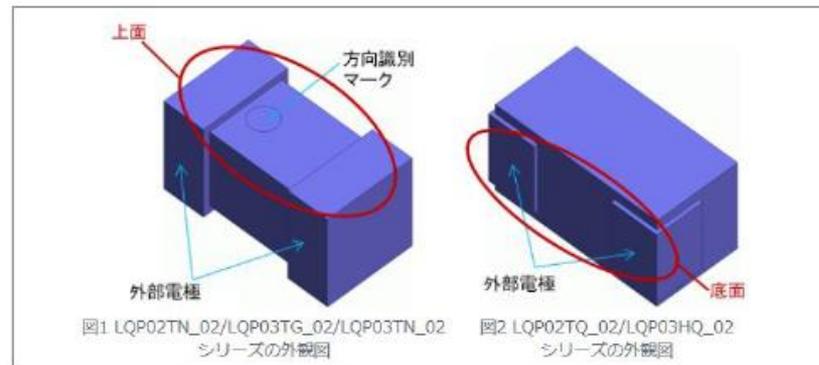


(1) Ferrite Beadsなどは、使用条件によりFootPrintの大きさが変わる

(2) 異形部品対応

(3) 3次元部品対応

基準座標は前頁に合わせるのかどうか？



### <村田製作所さんへの要望>

- SPICEとSパラメータ、RLC値をラップしたCフォーマットを作成してもらう。
- フットプリント用と、純粋な部品用の2種類とする。

### <ANSYSツールの仕様>

- 部品メーカーは、<module>のnameにメーカー型番を入れてもらう。
- 基板データの<component>の ref\_moduleと、部品の<module>の nameが一致したら、自動で部品の割付けを行う。
- 通常、基板データのref\_moduleは社内コードが使われることが多いが、JEITAおよびANSYSは、社内コードとメーカー型番をマッピングする仕組みは準備しない。

### <サンプル>

- 半導体EMC-SCのサンプルは期待しない。LPBの重鎮である林さんが、今時、ガーバーしかないとか言っている。
- 図研からデータを提供する。さすが、図研さん。

# 対応

- ・村田製作所さんが先行でリリースしていただく部品情報に関しては、PadstckのShapeに、フットプリントのサイズを入れたものを 6/15までご提出いただく。
- ・上記情報を元に、ANSYSさんへの要求仕様をJEITAとして検討する。  
インフラTG 6/1 14:00～ @東芝(川崎)  
要求があれば事前に検討してくる。
- ・サンプル作成  
前回LPBフォーラムで発表したGEM + Nimbicのモデルをエンハンスして作成する。
- ・図研、Gem、FIRST、ニソール、Mentor、富士通 各社が取り込み検証  
(FIRST、ニソールに関しては、岡野から依頼する)
- ・Gem+ANSYSで動作するか確認する。

# 結論

- ・矩形、円形に関しては、原点座標を中心とする。異形部品(3D部品など)に関しては、別途検討する。
- ・現在のバージョンのCフォーマットに関しては、電極形状を出力することとする。参照フットプリントの形状は、Cフォーマットのエンハンスを待って対応する。

# 富士通様、Gem様の取り込み対応

- 富士通さん、Gemさん評価

- 図研さんから吐き出したGフォーマットに関して、スタブVIAが表現されていない。

- B面(裏面)配置部品の表現の定義があいまい。Flip、回転の順番など。

⇒フォーマットで定義することを検討する。Cフォーマットは定義されており、それに合わせる。

# 課題

- 富士通さん評価

Cフォーマット

<module name> : GMR (メーカーコード)

Gフォーマット

.part GMR\_A、GMR\_B

.component C1 GMR 1 (Layer)

GMR -10 負の層 (Flip) ←正しい

- Gemさん評価

Ver3.0仕様に対応していない

- DVConとの連携について  
（上流との接続について）

# 概要

DV Conについてアクセララの要望は以下の通り。

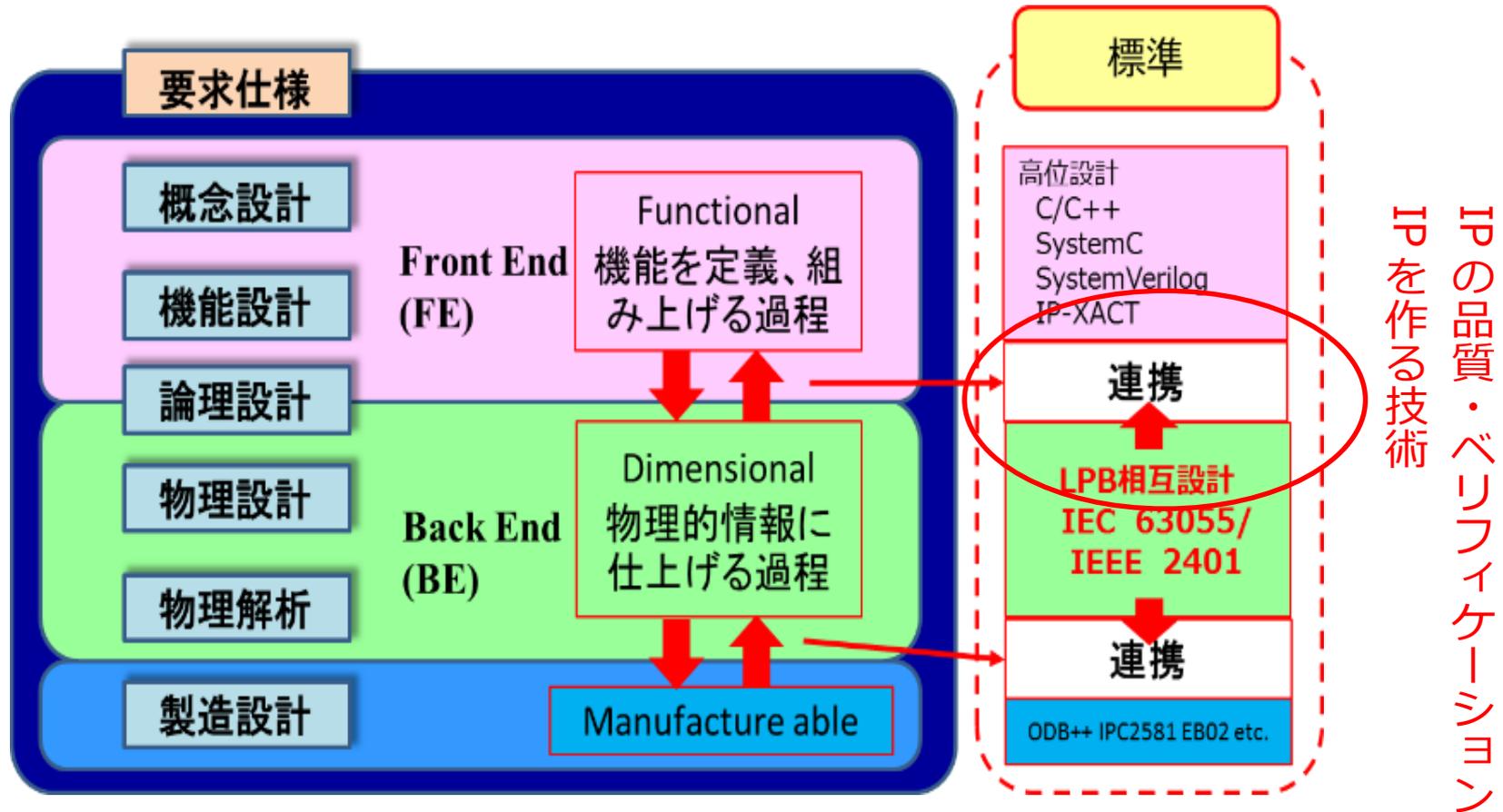
- ・学会形式
- ・有料
- ・時期は9月

これに対して

- ・SystemCはDV Conから撤退
- ・JEITA LPBは現在検討中。実施するのであれば主催者となる。
- ・学会形式にするのであれば、DV Conにて学生の発表会の実施を検討する。

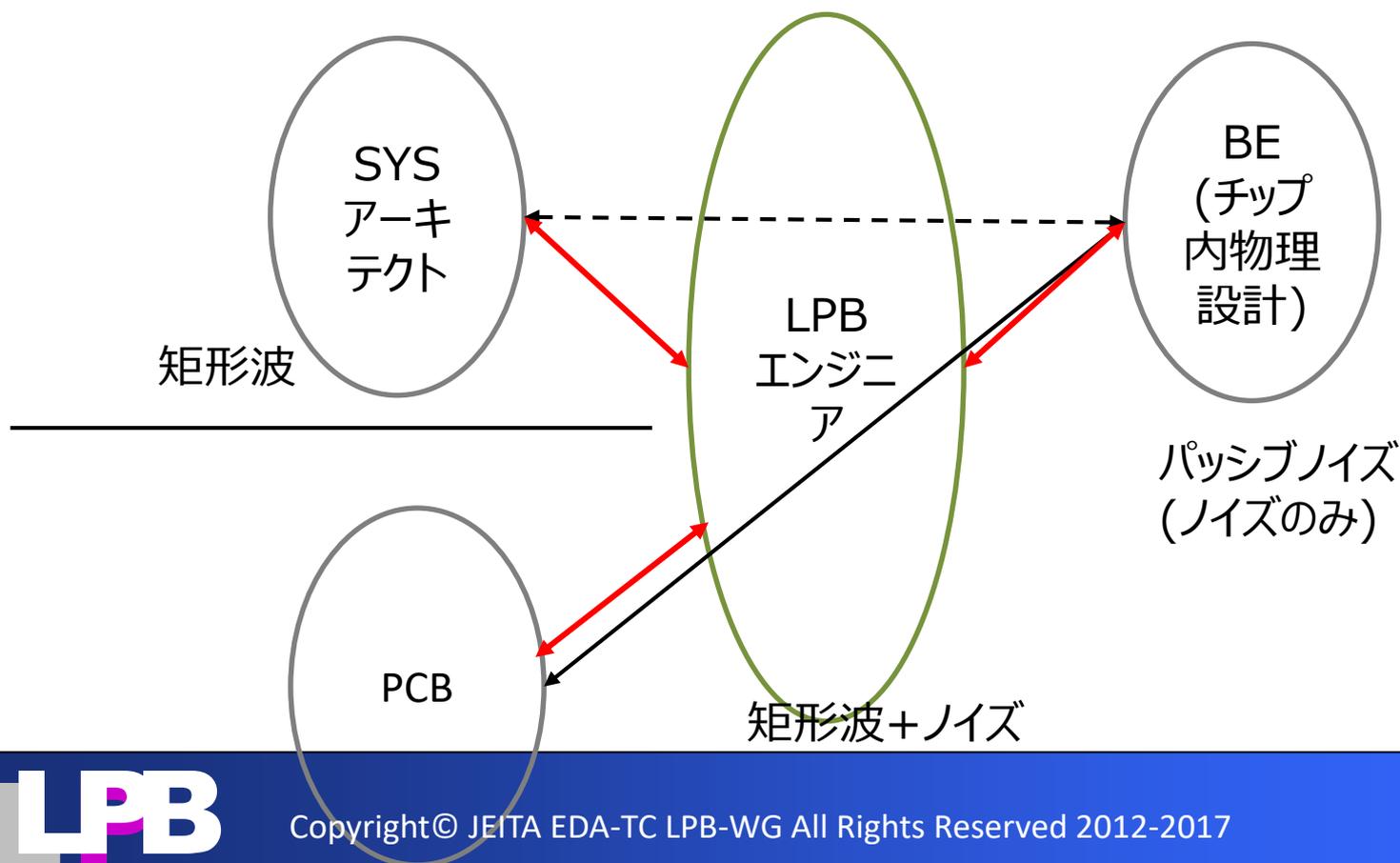
- 
- 上流設計との相互共有化について

# 概要



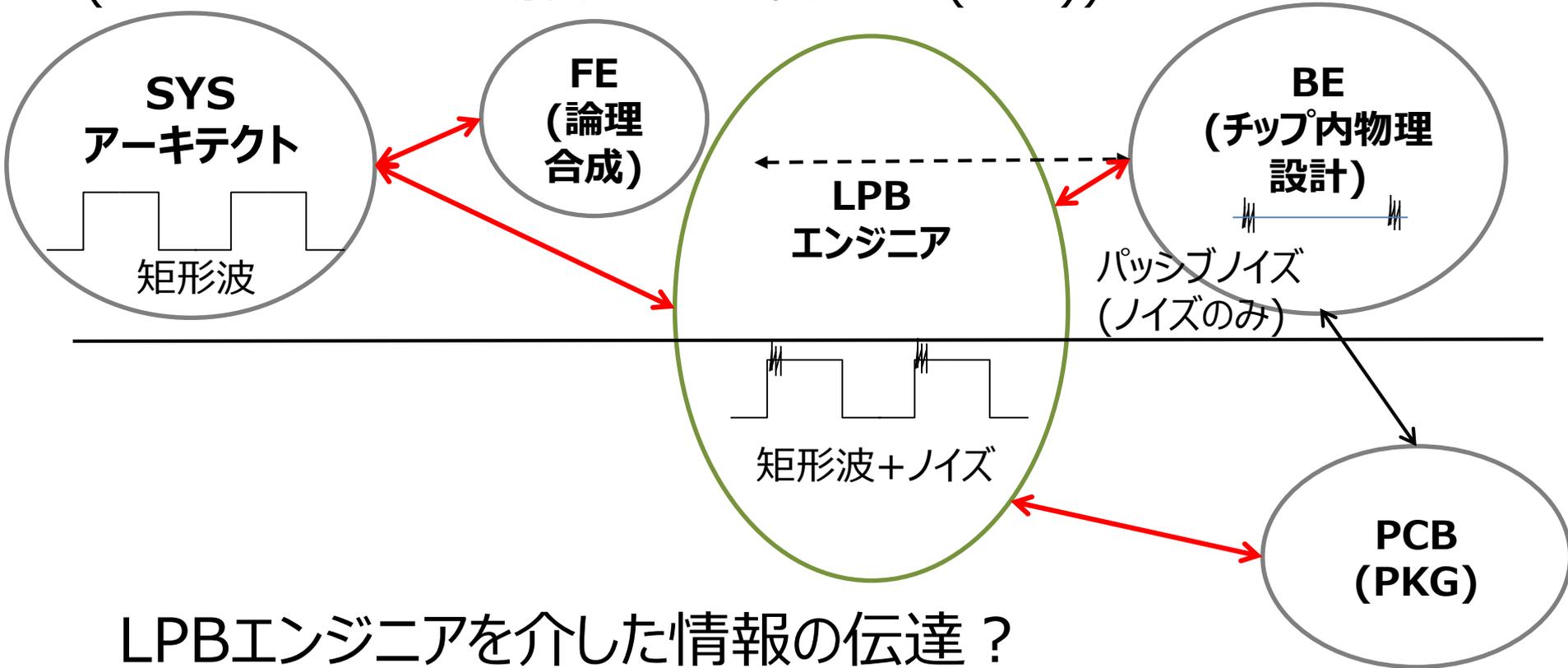
- ・システムアーキテクチャを考えている人が必要
- ・バックエンドの間にLPBエンジニアが必要  
(ASICを出している場合はASIC側にいる(はず))

— 現状の協調設計  
— 上流との相互設計



- ・システムアーキテクチャを考えている人が必要
- ・バックエンドの間にLPBエンジニアが必要  
(ASICを出している場合はASIC側にいる(はず))

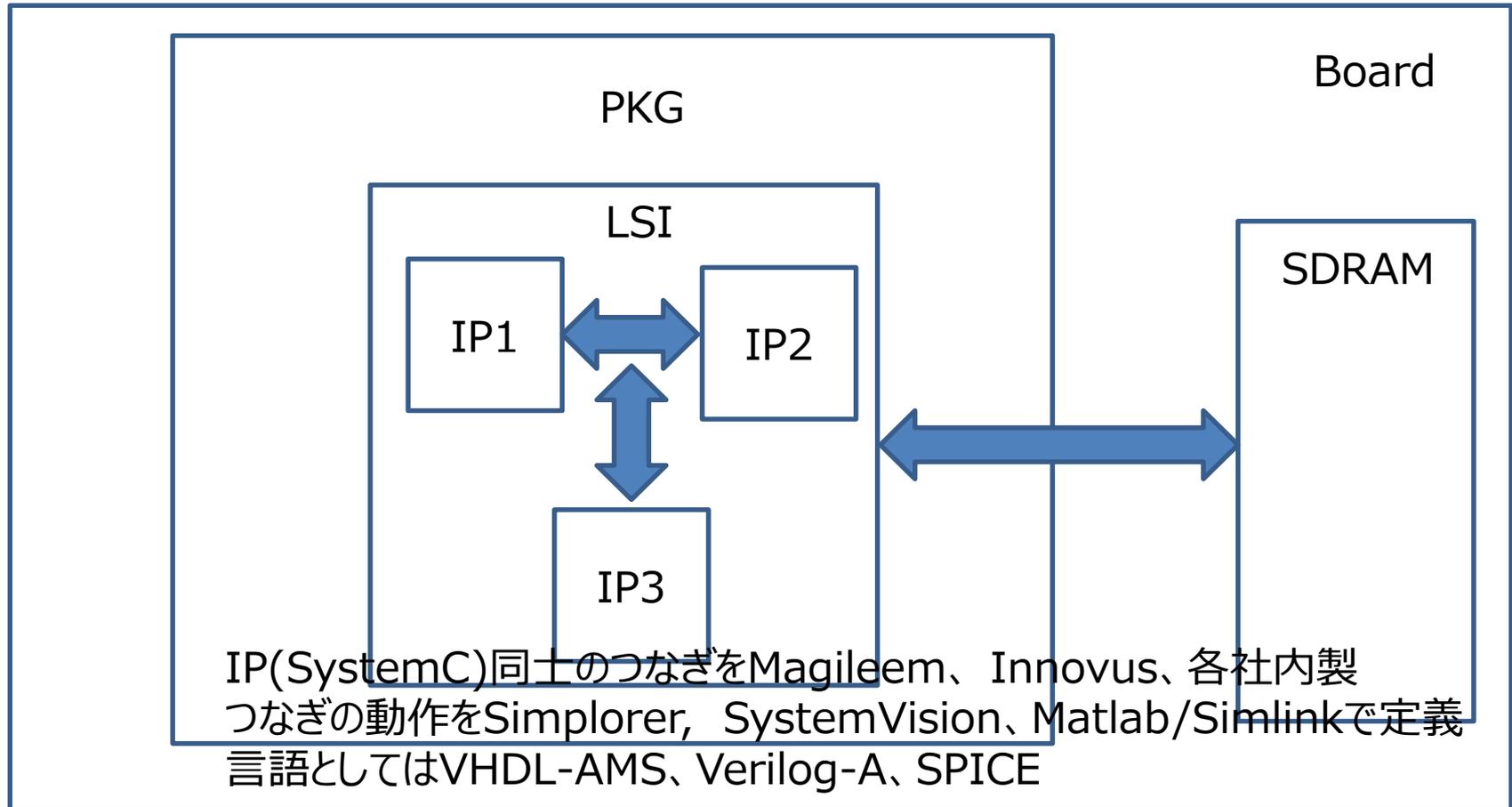
— 現状の協調設計  
 — 上流との相互設計



# 課題

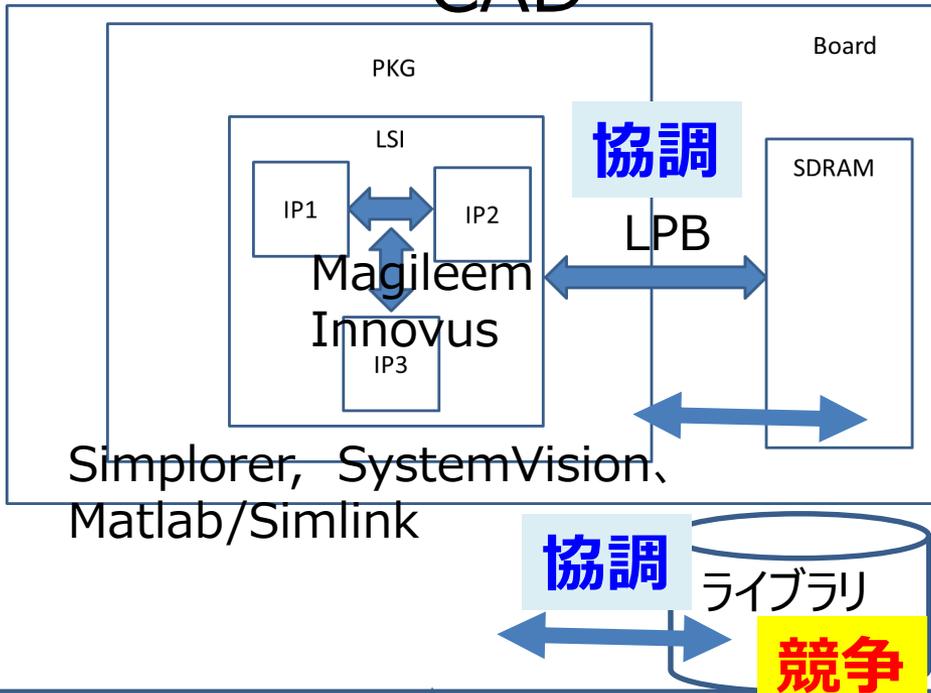
- 誰と誰が、どんな言葉でやり取りするか  
ターゲットをEMC(電流がわかれば熱もわかる)にする
- 何をやったらEMCの問題が解決できるか？(I/Fの観点で)  
上流：半導体(サブシステム)設計 下流：
- ICのシステム設計をしている人
  - 波形にノイズがのるイメージがない
  - 電源がない
  -
- 各IPの動作シナリオによる電流プロファイルを提示してくれ  
下流→上流へ  
上流は電流プロファイルを提出

# コンセプト



HW

CAD



A.I.この辺りを勉強する

協調

CAE  
競争

FMI  
Modelica  
VHDL-AMS

w/ LPB協調できない  
1D-CAEと3D-CAEのつながきを  
LPBでサポートする。

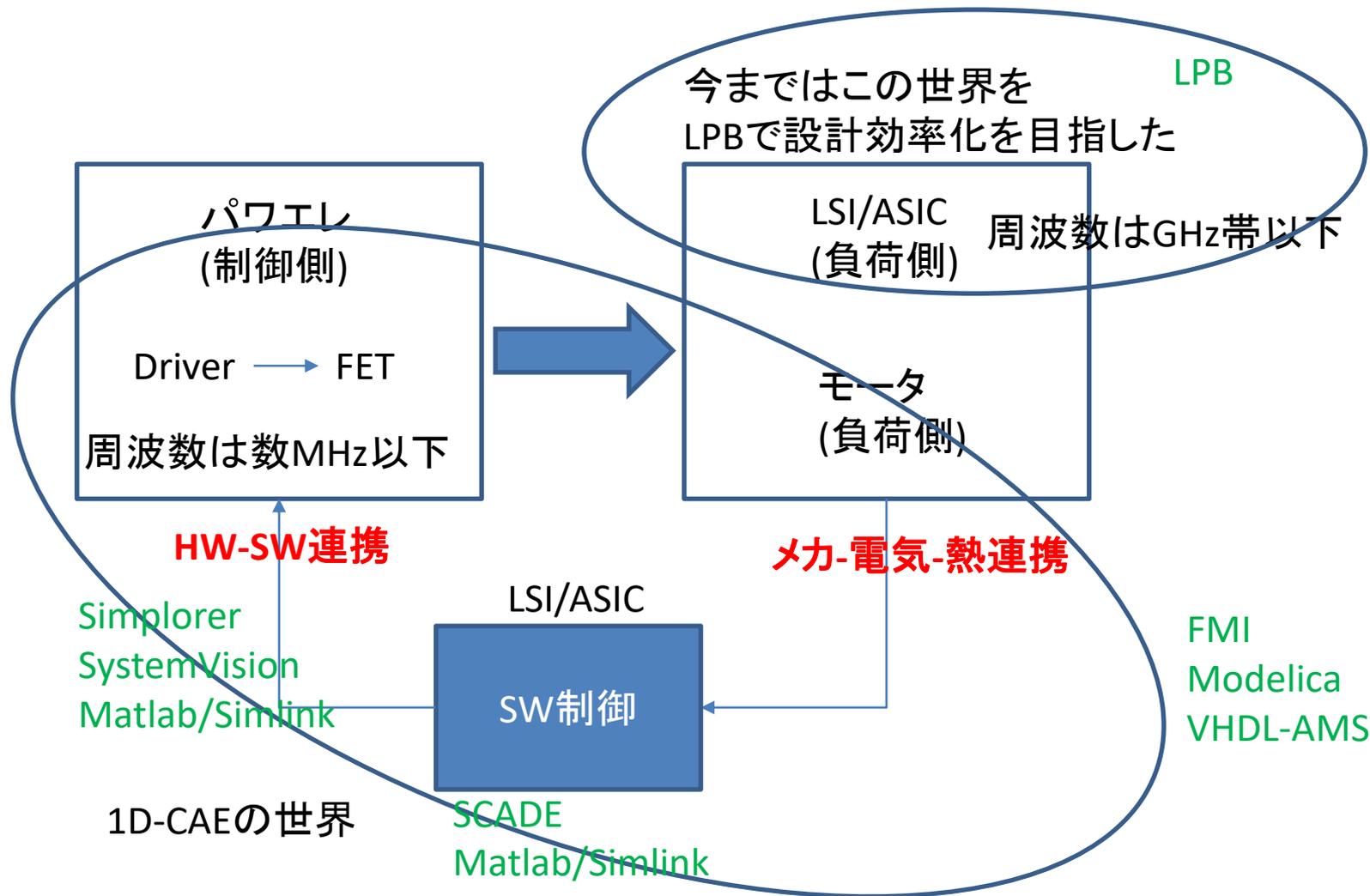
SW

SCADE 競争  
Matlab/Simlink

協調



次のページ



---

- OSAT-LPB連携について

## OSATからLPBへの要望事項

### ✓PKG設計仕様のLPB化

顧客からの依頼仕様フォーマットが統一されると、各種仕様確認のやりとり回数低減可能。  
(但し、一部製品だけではメリット小。←現時点でLSIメーカー側のLPB適用範囲は不明。)

### ✓PKGシミュレーションの精度向上

Board情報(G)入手により、PKG-Board間での電気特性や実装信頼性等のSim精度向上に繋がる。  
【現在のビジネスモデル】



### ✓製造側への展開

LPB情報を製造装置(ダイボンダ, ワイヤボンダ等)と連携させると、製造条件設定の自動化に繋がる。→ 但し、各OSAT独自フォーマットで対応中の部分もあり、装置メーカーを含めたLPBフォーマットへの統一化が必要。

---

**END**