
**JEITA LPB-SC
MDL-WG
IBIS LPB 連携TG
LPB user extentions for IBIS7**

半導体&システム設計技術委員会
LPB-SC MDL-WG IBIS-TG



IBIS7 と Cフォーマット

- IBISモデルに含まれている要素
 - [Model]
 - バッファモデルやシリーズモデル（オンチップ容量を表現可能）
 - [Package]
 - パッケージモデルの一種、RLCでtyp値、min値、max値
 - [Pin]
 - パッケージモデルの一種、RLCで各ピンの値
 - [Package Model]
 - パッケージモデルの一種、RLGで相互成分を含む各ピンの値
 - [Interconnect Model] ←**IBIS7で新規追加**
 - インターコネクトモデル（パッケージモデルとしても使用可能、ダイ内部の配線モデルとしても使用可能）、Sparaまたは.iss
- Cフォーマットの<reference>でIBISモデルを読み込む場合、どの要素を実体化するか明示的でない
 - 現状はシミュレータに任せられている？
 - **IBIS7で更に複雑化しているため、実体化する要素を明確にする記述が必要**

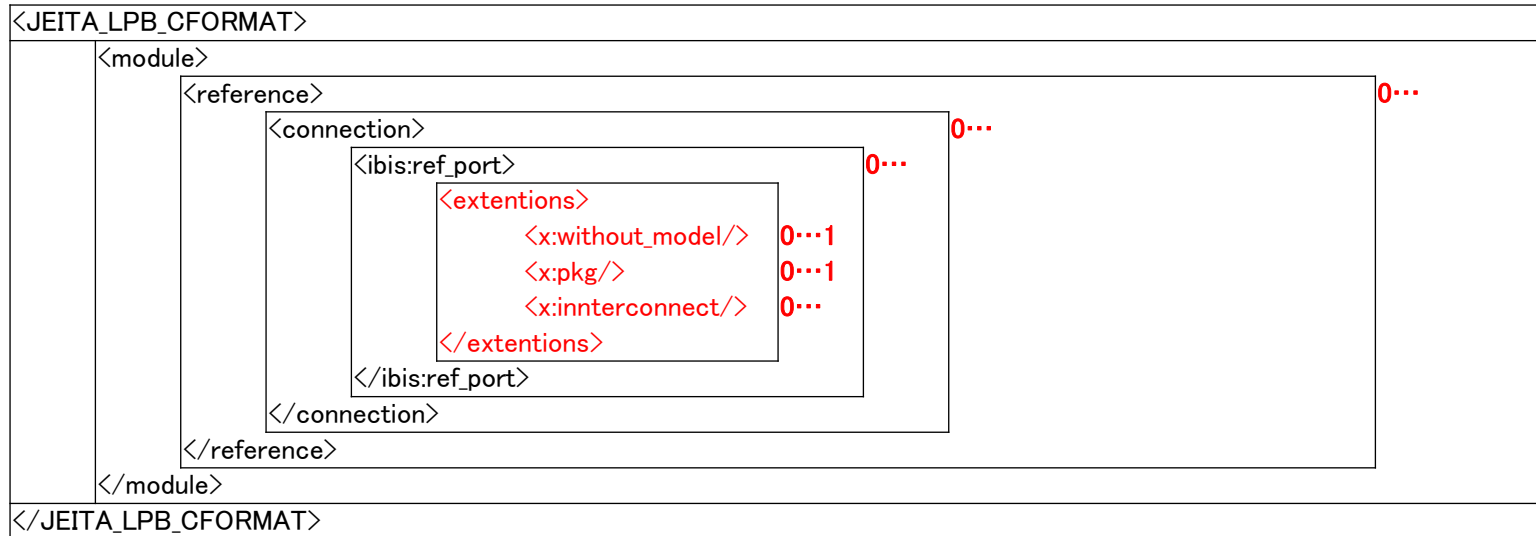
ユーザーエクステンション 概要

✓ 実体化

LPB C-format ユーザーエクステンション		[Model]	[Package]	[Pin]	[Package Model]	[Inter-connect]
<ibis:ref_port component=aaa />		✓	(Depends on simulator)	
	<pkg type=short/>	✓				
	<pkg type=package/>	✓	✓			
	<pkg type=pin/>	✓		✓		
	<pkg type=package_model/>	✓			✓	
	<interconnect name=xxx/>	✓				✓
<ibis:ref_port component=aaa />	<without_model/>		(Depends on simulator)	
	<without_model/> <pkg type=short/>					
	<without_model/> <pkg type=package/>		✓			
	<without_model/> <pkg type=pin/>			✓		
	<without_model/> <pkg type=package_model/>				✓	
	<without_model/> <interconnect name=xxx/>					✓

ユーザーエクステンション 詳細

- Cformat_proposal.xlsx



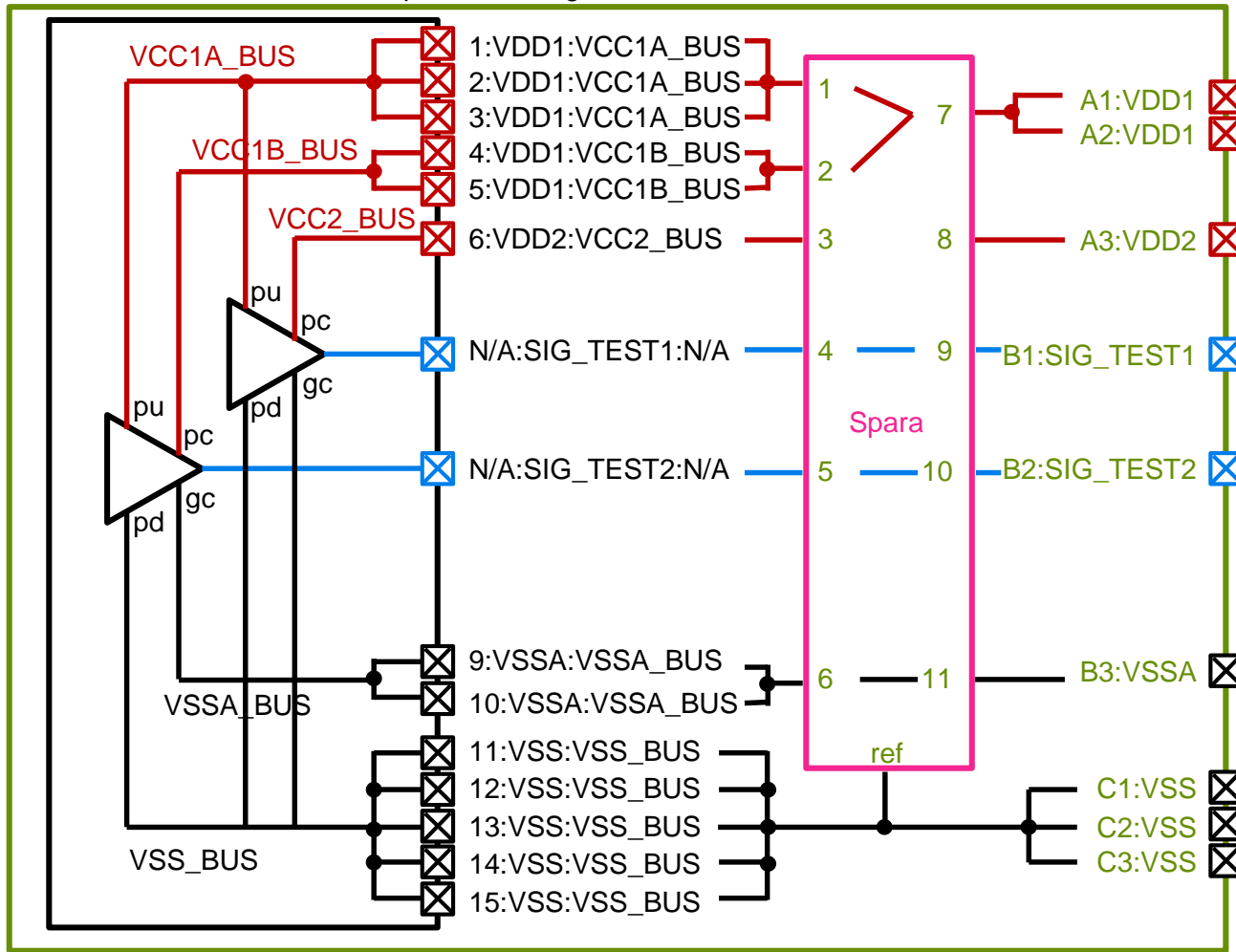
XML Element	Cardinality	Description
<x:without_model/>	0...1	IBISの[Model]を実体化しない。
<x:pkg> type="パッケージモデルの形式"	0...1	IBISのパッケージモデルを実体化する。 IBISのパッケージモデルで実体化する形式を選択する。"package"の場合は[Package]を、"pin"の場合は[Pin]を、"package_model"の場合は[Package Model]を実体化する。"short"の場合はパッケージモデルを使用せず、ダイの端子とパッケージの端子をショートする。
<x:ininterconnect> name="インターコネクトモデル名"	0...1	IBISのインターコネクトモデルを実体化する。 実体化するインターコネクトモデル名を指定する。

サンプル

- sample.ibs

pad_name:signal_name:bus_label

pin_name:signal_name

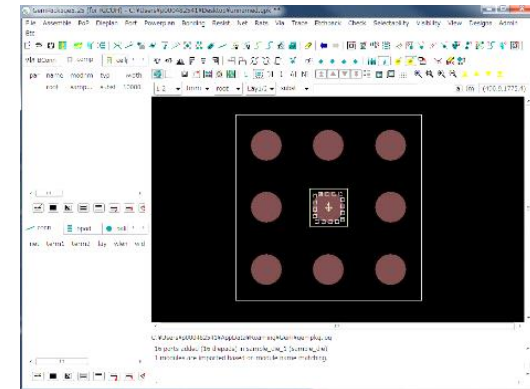
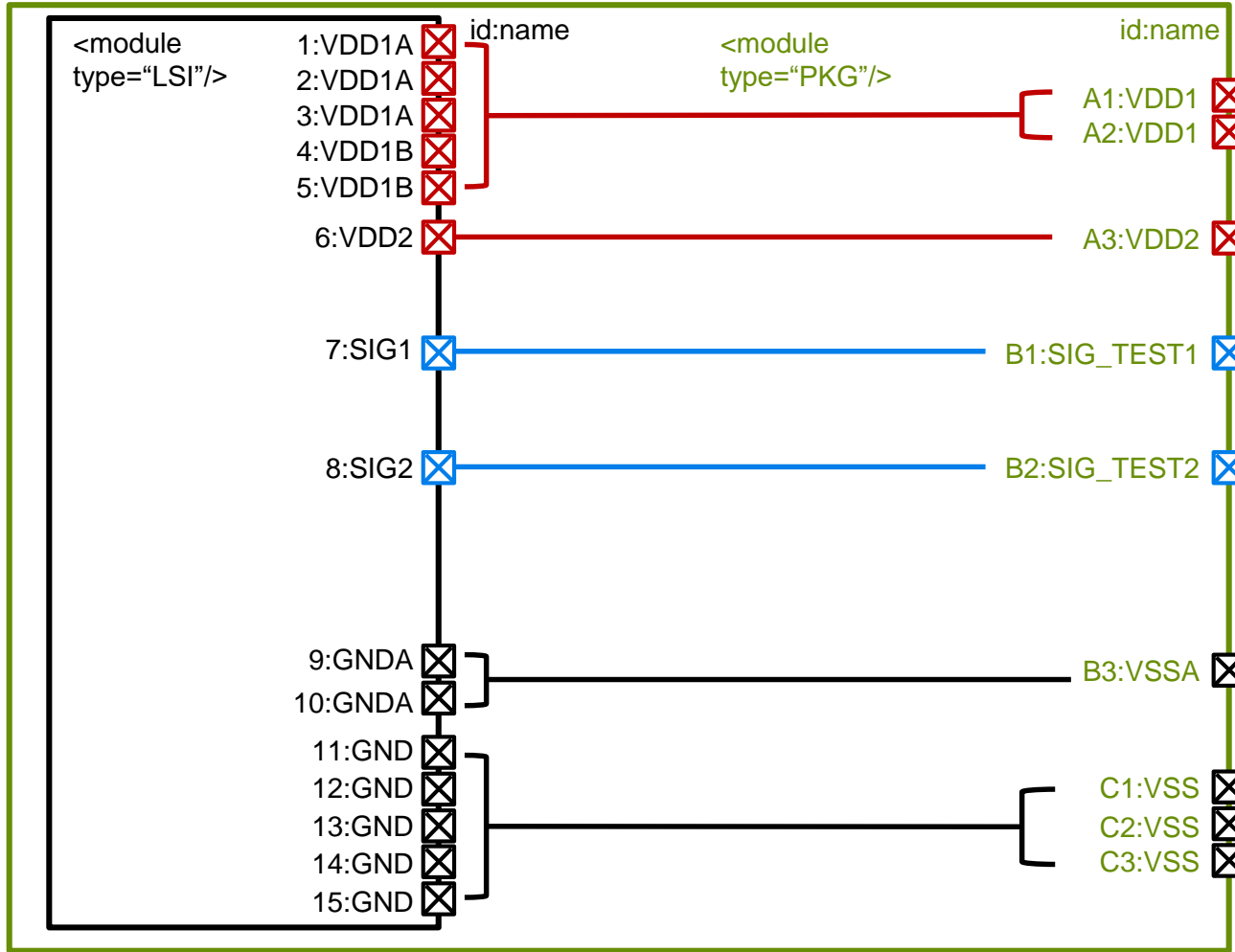


IBIS7での変更点

- ・電源GNDパッドのみ、パッド名(pad_name)が定義できるようになった。パッドとピンとの接続はsignal_nameで結びつく。
- ・ダイ内部での電源GND ネット名(bus_label)が定義できるようになった。
- ・インターコネクトモデルとしてSparaを読み込めるようになった。

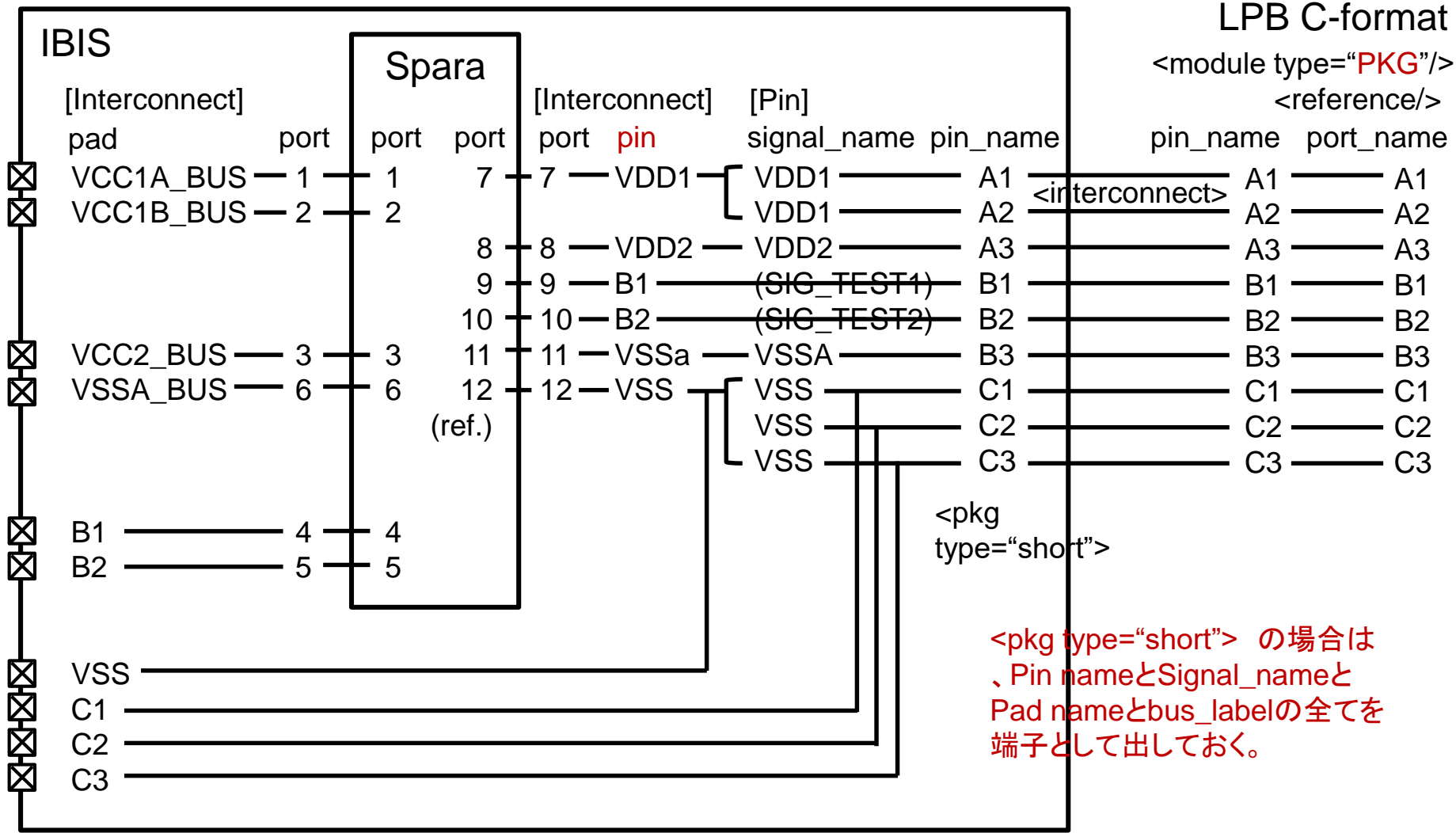
サンプル

- sample_CF.xml, sample_NF.v



参考資料

PKG接続 Pin側



PKG接続 Pad側

LPB C-format

```
<module type="LSI"/>
<reference/>
```

port_id	signal_name
1	VDD1
2	VDD1
3	VDD1
4	VDD1
5	VDD1
6	VDD2
9	VSSA
10	VSSA
11	VSS
12	VSS
13	VSS
14	VSS
15	VSS
7	SIG_TEST1
8	SIG_TEST2

```
<pkg
type="short"/>
```

IBIS

[Bus Label]

signal_name	bus_label
VDD1	VCC1A_BUS
	VCC1B_BUS
VDD2	VCC2_BUS
VSSA	VSSA_BUS
VSS	VSS_BUS

[Pin]

signal_name	pin_name
SIG_TEST1	B1
SIG_TEST2	B2

<pkg type="short"> の場合は、Pin nameとSignal_nameと Pad nameとbus_labelの全てを端子として出しておく。