
IEEE DASC – JEITA Meeting

09th /Nov./2018

Planning for DVCon Japan 2019-2020

1. **Steering Committee:** (starting members: preparation task group)
 1. Otsuki(Ricoh), Tanaka(Renesas), Mashino(EPSON), Fukuba(TOSHIBA), -Jeita member
Wakabayashi (NEC), Mitsuhashi(EE Tech Focus), Nakamura(Magillem), Ellison(Mentor), TBD (cadence), Academic(TBD)
 2. Administration: Kondo(JEITA),
 3. Technical Committee: To be formed.

➤ Additional members will be nominated by preparation task group to form the complete steering committee
2. **Concept of DVCon Japan –under discussion**
 1. Date: One or Two Days, TBD (Autumn/winter@2019 or 2020)
 2. Venue: Candidate Kawasaki Industrial Development Hall
 3. Keynote speaker: TBD from Industry executives
 4. Registration Fee: 20K-30K JPY - to be discussed

Small start? Co-location?

1. Standalone

2. Candidate of Co-location

1. Design Solution forum Sep.12,2018

1. User base design experience , 600 people, Yokohama

2. Embedded technology Nov, 14-16, 2018

1. Exhibition 25,000 people, Yokohama

3. JEVeC day Dec. 11, 2018

1. Start up EDA/Venture forum, 100 people, Kawasaki

4. Academic conference

Appendix – Venue candidate

1. Expense (up to 30,000 USD)

- 1) Venue : 1,000USD(!!)/Day
Hall + 2 Meeting rooms
- 2) Luncheon: 2,000 USD
- 3) Social Dinner: 5,000 USD
- 4) Administration: 10,000 USD
- 5) Others : 5,000 USD

2. Income

- 1) Accellera : 10,000 USD
- 2) Registration Fee: 200 USD*50
- 3) Sponsoring: 10,000 USD (2,500 * 4)

* JEVeC Day is held in here.



Hall (max:478):
300USD/Day



Meeting Room(max: 99, 42):
130USD/Day

DVCon Europe 2018

Data and Venue

Date 24th, 25th October, 2018

8:00-17:30

DVCon Europe 2018 Conference Venue

Holiday Inn Munich City Centre Hochstrasse 3 81669 Munich,
Germany +49 (0) 89-4803-0



Program

7:30からregistrationとWelcome Coffee、8時から15分間Openingでトラックの説明
 8:15から基調講演、2日目はパネル討議も続けてあり。その後、展示がオープンしてカンファレンスはその後スタート。
 それぞれのカンファレンスは1枠90分だが、中では30分3本に分かれている。30分ごとに聴講者は移動可能。

WEDNESDAY'S AGENDA



08:00 - 08:30	Welcome Coffee Service Room: Großer Saal Foyer Thank You to Our Sponsor:			
08:30 - 08:45	Opening Session Room: Ballsaal			
08:45 - 09:30	Keynote: Driving Digitalization With A Boundary Free Innovation Platform Stefan Jockusch Room: Ballsaal <i>Siemens PLM Software Inc.</i>			
09:30 - 10:00	Attendee Break Room: Großer Saal Foyer Thank You to Our Sponsor:			
10:00 - 11:30	Tutorial 1 - Case Study of Verification Planning to Coverage Closure @ Block, Subsystem and System-on-Chip Level Room: Forum 4	Tutorial 2 - UVM Audit: Assessing UVM Testbenches to Expose Coding Errors and Improve Quality Room: Forum 5	Tutorial 3 - Efficient use of Virtual Prototypes in Hardware/Software Development and Verification Room: Forum 6	Tutorial 4 - Machine Learning Introduction and Exemplary Application in Embedded Wireless Platforms Room: Forum 7
	DVCon Europe Expo Room: Großer Saal			
	Attendee Break Room: Großer Saal Thank You to Our Sponsor:			
	11:45 - 13:15	Tutorial 5 - Accellera Portable Test and Stimulus: The Next Level of Verification Productivity is Here Room: Forum 4	Tutorial 6 - UVM Mixed Signal Extensions - Sharing Best Practice and Standardization Ideas Room: Forum 5	Tutorial 7 - Tutorial on RISC-V Design and Verification Room: Forum 6
13:15 - 14:15	Luncheon Room: Großer Saal			
14:15 - 15:45	Tutorial 9 - Developing and Testing Automotive Software on Multi-SoC ECU Architectures using Virtual Prototyping Room: Forum 4 Thank You to Our Sponsor:	Tutorial 10 - Accelerating the Path from Idea to Silicon for Computer Vision and Deep Learning in Automotive ICs Room: Forum 5 Thank You to Our Sponsor:	Tutorial 11 - Making ISO26262 Functional Safety Verification a Natural Extension of Functional Verification Room: Forum 6 Thank You to Our Sponsor:	Tutorial 12 - Requirements Driven Design Verification Flow Room: Forum 7 Thank You to Our Sponsor:
	Attendee Break Room: Großer Saal Thank You to Our Sponsor:			
	15:45 - 16:00	Tutorial 13 - Functional Safety Verification for ISO 26262-Compliant Automotive Designs - What's New and What's Needed Room: Forum 4 Thank You to Our Sponsor:	Tutorial 14 - Hardware and Software Co-verification in Hybrid HDL Simulation and Emulation Environment with OEMU Room: Forum 5 Thank You to Our Sponsor:	Tutorial 15 - Unifying Mixed-Signal and Low-Power Verification Room: Forum 6 Thank You to Our Sponsor:
	Tutorial 16 - Using Mutation Coverage for Advanced Bug Hunting and Verification Signoff Room: Forum 7 Thank You to Our Sponsor:			
17:30	DVCon Reception & Expo Room: Großer Saal Thank You to Our Sponsor:			

THURSDAY'S AGENDA



07:30 - 08:00	 Welcome Coffee Service Room: Großer Saal Foyer			
08:00 - 08:15	Opening Session Room: Ballsaal			
08:15 - 09:00	Keynote: Accelerating IoT Device Development - from Silicon to Developer Tools			 Philippe Maganack STMicroelectronics
09:15 - 10:30	Panel: Using Next Generation Methods of Systems MODELLING and VIRTUAL PROTOTYPING to Revolutionise the Design, Verification and Manufacture of High Value, Complex Electromechanical Products across the Automotive Supply Chain Room: Ballsaal			
10:00 - 18:30	Exhibit Floor Open Room: Großer Saal			
10:30 - 10:45	 Attendee Break Room: Großer Saal			
10:45 - 12:15	Session 1 - TLM Room: Forum 4	Session 2 - SystemC Room: Forum 5	Session 3 - UVM 1 Room: Forum 6	Session 4 -New Horizons in Functional Verification Room: Forum 7
12:15 - 13:15	Luncheon Room: Großer Saal Foyer			
13:15 - 14:45	Session 5 - Virtual Prototyping Room: Forum 4	Session 6 - Generating Stimulus Room: Forum 5	Session 7 - UVM II Room: Forum 6	Session 8 - Low Power Design and Verification Room: Forum 7
14:45 - 15:15	 Attendee Break Room: Großer Saal			
15:15 - 16:45	Session 9 - Virtual Platforms and Visualization Room: Forum 4	Session 10 - Functional Safety Room: Forum 5	Session 11 - Advanced Verification Techniques Room: Forum 6	Session 12 - AMS Verification Room: Forum 7
16:45 - 17:30	Panel: Accellera Town Hall Meeting and Q&A Room: Ballsaal			
17:30 - 18:30	Closing Session & Best Paper Awards Room: Großer Saal			
			Thank You to Our Sponsor: 	

Registration Rates

	Advanced Rates (deadline is September 25)	Onsite Rates (September 26 - October 25)
Full Conference (2 day) - Accellera Member & Students	€310	€410
Full Conference (2 day) - Accellera Non-Member	€360	€460
Tutorial Day (1 day) - Accellera Member	€210	€310
Tutorial Day (1 day) - Accellera Non-Member	€260	€360

+ 19%VAT

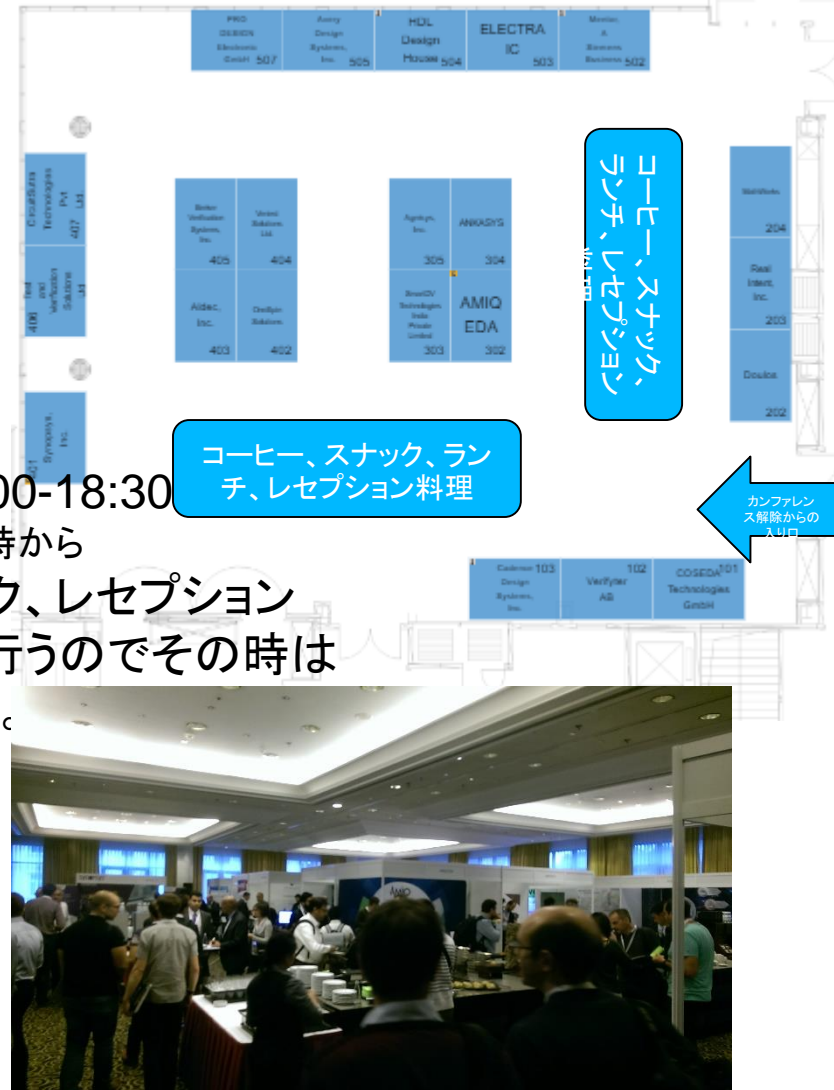
Exhibit

Cadence Design Systems, Inc. 103
CircuitSutra Technologies Pvt Ltd. 407
COSEDA Technologies GmbH 101
Doulos 202
ELECTRA IC 503
HDL Design House 504
MathWorks 204
Mentor, A Siemens Business 502
OneSpin Solutions 402
PRO DESIGN Electronic GmbH 507
Real Intent, Inc. 203
SmartDV Technologies India Private Limited 303
Agnisys, Inc. 305
Aldec, Inc. 403
AMIQ EDA 302
ANKASYS 304
Avery Design Systems, Inc. 505
Breker Verification Systems, Inc. 405

展示時間、10:00-18:30

DVCon USAは15時から

コーヒーブレイク、レセプション
は展示会場で行うのでその時は
にぎわっている。



Steeringメンバー



General Chair
Martin
Barnasconi



Vice Chair
Thomas Klotz



Tutorial
Chair
Oliver Bell



Panel Chair
Paul
Nottingham



Promotions &
Exhibition Chair
Dave Kelf



Technical Program
Chair
Alexander Rath



SystemC Evolution
Day Chair
Joachim
Geishauser



Conference
Management
Susie Horn

コンタクト先

- General Chair Martin Barnasconi NXP Semiconductors High Tech Campus 46 | 5656 AE Eindhoven, The Netherlands +31 40 27 29946 Email martin.barnasconi@nxp.com
- Vice Chair Thomas Klotz Bosch Sensortec GmbH Koenigsbruecker Str. 178 Dresden, Germany +49 3517 99 98669 Email Thomas.Klotz@bosch-sensortec.com
- Technical Program Chair Alexander Rath Infineon Technologies AG Am Campeon 1-12 Neubiberg, Germany +49 89 234 26217 Email susie@mpassociates.com
- Conference Management Susie Horn MP Associates 1721 Boxelder St., Ste. 107 Louisville, CO, US 303 530 4562 Email susie@mpassociates.com

Steering interview



General Chair

Martin Barnasconi

- Martin Barnasconi (NXP)
- DVConいかに成功させるか？
 - ステアリングの強い意志が最も大事
 - チームの総合力、個々が優秀なメンバー
 - 聴講者へのメッセージ
 - ◆ 典型的なチェアマンタイアップで、細かいことは気にしていないタイプ。どこかでみたような・・・
- メンバーについて
 - ユーザーが主力であること＋EDAが2名くらい、
 - ユーザーといっても半導体メーカーが中心、Boschがセット側の半導体設計部門として入っている。

Steering interview

■ ステアリング運営について

- 2週間に1時間くらい
- Status確認し、アクションを分担、

■ 日本のDVConについて

- 半導体メーカーがどのくらいいるか？（逆質問）、
- 多分、JEITAに属する半導体メーカーが頑張るのも大事だが、グローバルの半導体メーカー（Intelなど）を引きこむことが大事だろう。
- 日本の場合、セットユーザーが上流設計をして、RTLをハンドオフして半導体メーカーが仕上げるモデルになっているのでDVConを半導体メーカーが仕切るのは役者が違うように思える（福場の意見）。
- 日本ではセットメーカーを巻き込むのが大事だろう
- 一般論的コメント：標準の目的はユーザーの利益にあるのだから、Acelleraの立場でも標準を広めるミッションがある。その大義のうえで、IEEEとAccelleraをうまく使って、JEITAもその連携先としてのポジションを確保すべき

Steering interview

■ Thomas Klotz氏 (Bosch)

■ 盛況お祝いし、どのくらい？

■ 300人は超えるだろう。

■ (福場の計算) 一人€320として1300万円

■ どうやって集める？ステアリングの所属会社で声掛けを大々的にやる。

■ どの国から？

■ ヨーロッパはいろいろなところからきている。(もちろんドイツ人が一番多いが)。

■ ベルギー、デンマーク、フランスなど

■ アジア人は非常に少ないが、インド系はそれなりにいる。あとは中国か(数えるほど)日本人は私だけ



Vice Chair
Thomas Klotz

Steering interview

- どうやってスポンサーや展示を集めるか。
 - ステアリングが知り合いにお願いする
 - (コントラクタによると)細かいことはコントラクタが詰める
- 苦労することはなにか
 - ステアリング・テクニカルメンバー(査読など)のリソース、彼らの時間が大きな問題。
 - ある程度会社からは認められてはいるが...(彼自身も)
 - (Stanによると)みんなボランティアで、よくやっている(本当に大変そうだ)

Steering interview



Technical Program
Chair

Alexander Rath

■ Alexander Rath

■ どうやってペーパーを集めるか？

- 投稿のシステムはAMAに受け付けを任せる。
- DVCon USAのシステムがあるので活用する。
- どうやって出させるか、現段階では集める努力はあまりしていなくても集まるようだ。

■ Reviewer

- 30名、バランスよくミックス、User,半導体、EDA、大学
- どうやってレビューワーをスカウトするか？既存の人に不足する分野の人を個別で探して頼む。

Steering interview

- ペーパーはどのくらい？
 - 70の投稿に対して32まで絞る。
 - 1つのペーパーに4名でレーティング。
 - 一人が5、6のペーパーをレビューする。
- 苦勞することはなにか
 - もちろん大変なワークだが...
 - 第1次選考、最終選考と進めるが偏らない、フェアな判断が必要なので、気を遣う。
- メッセージあるか？
 - Paperのクオリティーがカンファレンスのクオリティーを決めるといっても過言ではない。責任重大。

Steering Interview



Conference
Management
Susie Horn

■ 契約コントラクター

■ MP Associates, Inc. (MPA)

- DVConを一手に引き受けている。USA,ヨーロッパ、インド、中国。
- 日本にはエージェントがないんだが、日本がやるなら担当する興味はある。「大変ですよ、頼んだほうが良いよ」商売上手

■ 何を任せているか。

- 会場関係；会場手配、ホテルの手配、宿泊レートのネゴ
- スポンサー関係、
 - スポンサーとのネゴ、金額など
 - 何をスポンサーするのかの仕分け、例えば、受付はMentor,夜のレセプションはSynopsis, 昼食、休憩時間のお茶・菓子などを各社で振り分ける。

Steering Interview

- PR関係
 - HP作成
 - Invitation送付(前回まで来た人とか)
- レジストレーション & 受付
 - 事前登録業務、
 - アメニティー・チラシの準備(スポンサー提供)
 - 名札作成、受付業務 事前準備＋その場で印刷
- 展示
 - 展示企業との交渉(ステアリングがネゴった会社)
 - 展示セットの企画 ブース作成

Steering Interview

■ 今年の状況

- 登録で300人超
- 昨年より10%多いレジストレーション
- まだ来ていないのは20名のみ(まだ半日の状況)
- 2日目に確認 ほぼ全員来場した。

Conference/Tutorialの募集システム

受付システムが立ち上げてあり、受付もコントラクタが行う。

Panelist Resource Center

- Congratulations on being accepted to present a panel at DVCon Europe 2018! This Panel Center is designed to help you prepare for your panel and the responsibilities at conference.

Speaker Presenter Resource Center

- This Speaker Center is designed to help you prepare your original paper, proceedings papers, slide presentation, and responsibilities at conference.

Tutorial Presenter Resource Center

- This Tutorial Center is designed to help you prepare for your tutorial and the responsibilities at conference.
- **Jackie McIntosh** (この人は当日いなかった)
- *Conference Program Coordinator*
jackie@mpassociates.com



パネル討議



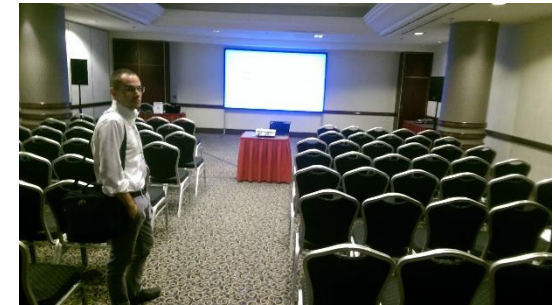
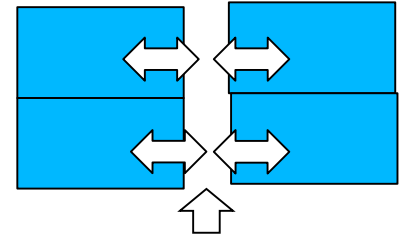
Panel Chair
Paul
Nottingham

- 25日 9:15－10:30
- パネリスト
 - Siemens、Audi、Intel、Bosch、Infineon +1 (座長)
- ポジショントーク + 議論 質問形式
 - 座長が議論の司会をしている。(パネルチェアは企画、人集め、イントロダクションまでが仕事と思われる)
- キーワードDigital twin or Virtual Twin、ヘテロジニアス
- 会場へのアンケートVirtual prototype をどのくらい使う？ 挙手 会場のほとんど。
 - 同じ質問をパネリストへ。
 - 司会が、最初の仕事はNASAだったが、月に人を送るのに手計算していた。車がデジタルで設計される時代どうする？
 - ボーイング777が間もなく使用期限を迎える、次々と新機体を設計しなければならない。777の時代は747の既存モデルを使って改変して使った。これからは？しかも日本、メキシコ、その他、いろいろな国で分担して部分を設計する。さて、どうする？ Virtual Prototypeだろう。車も同じだ。
- 会場への質問2、どのくらいの人がStandardを作るのに関わっているか？ 10名程度
 - 会場から質問、サプライチェーンで仕様が伝達される。Audi > Bosch > Infineon そこに標準が必要なのでは？ パネラーは全くその通りだとの回答。 Spec. Languageがの標準化必要。
 - プラットフォーム化、仕様書も電子書式にすべきだ、だから記述の標準は重要。
 - 会場からアジャイル型のプラットフォームがいるのでは？ どうやって必要な情報をそこに入れ込むの？
 - ドイツのカーメーカーは電子設計の変革に非常に大きなプレッシャーを受けている。対応早い。

運営面で気が付いたこと

Lu Daiさん情報

- 4つのカンファレンスルームが向かいあって近接
- 一つのプレゼンが30分で整理されている。
- 90分のセッションが3個に分かれている。
- 30分おきに、違うセッションを聞きたければ自由に部屋を出て移動する。
- 移動の休憩時間などは取らないし、移動しても良いというアナウンスはない。
- 各個が自由に行動。カンファレンスルームが向かい合っているので移動時間は最小で済まされる。
- このホテルを会場に選んだ理由の一つがこれ。ずっとここでやっている。



その他わかったこと、感じたこと

- 一言でいうとステアリングの結束力やイベントとしてのカンファレンスの仕上がり(ノウハウの結集)でしょうか。
- 展示を完全にカンファレンスと並行させ全体の催しもの的に仕上げている(DACみたい)。
- USでは展示は15時からのみ(Stanさんのコメント)。
- スポンサーの仕切りがうまいように感じる
- 休憩時間ごとにお茶・菓子のスポンサーが多分違う。よって、休憩時間が終わるといったん全部かたずけてしまう。
- カンファレンス抜けてお茶を飲みたくてもコーヒーマシンで自分で作るのみになる。
- そのかわり、休憩時間はやたらと豪華(展示会場にお茶お菓子があるので展示会場は1時間半おきに満杯になる。)
- コントラクタの怖いお婆さんが仕切っていて、休憩時間終わると鐘をならしながら、カンファレンスに戻れと指示している。
- 結構コントラクタが場を仕切っている(とおもったら、DVCONは世界全部このコントラクタがやっているようだ。)
- いろいろなノウハウの塊みたいな感じがします。運営がよくできていると思います。

DVConUS2019

2019/2/26~28

DVConUS

開催日時: 2019年2月25日～28日(26日～28日に参加)

場所: Double Tree by Hilton Hotel San Jose

DoubleTree Hotel Floor Plan



Registration Rates

Advance Reg. Fees: December 4, 2018 - January 28, 2019	<u>ALL ACCESS</u> Monday - Thursday	<u>CONFERENCE</u> <u>ONLY</u> Tuesday & Wednesday	<u>ONE DAY</u> <u>ONLY</u> Tuesday OR Wednesday	<u>EXHIBITS</u> <u>ONLY</u>	<u>TUTORIALS</u> <u>ONLY</u>	<u>SHORT</u> <u>WORKSHOP</u>
Rate	\$675	\$560	\$340	FREE	\$135/Tutorial	\$99
Technical Sessions, Special Sessions, Designer Track	✓	✓	✓			
Proceedings (Online)	✓	✓	✓			
Keynote presentation	✓	✓	Day dependent	✓		✓
Panel	✓	✓	Day dependent	✓		✓
Exhibits	✓	✓	✓	✓	✓	✓
Coffee Breaks	✓	✓	✓		✓	
Luncheon	✓	✓	✓		✓	
Networking Events	✓	✓	✓			
Tutorials	Access to All	Additional Fee	Additional Fee		✓	
Tutorial Notes	Access to All	Additional Fee	Additional Fee		✓	
Short Workshop	Access to All	Additional Fee	Additional Fee			✓

Program

Monday, February 25

9:00am to 12:00pm
Gain Valuable Insight into the Changes and Features that are part of the new IEEE 1800.2 Standard for UVM and how to make the most of them Event Type: Tutorial Location: Oak/HF
12:00pm to 1:30pm
Accellera Luncheon Featuring the 2019 Technical Excellence Award Presentation and Panel Discussion on the Future of the SystemC Language Event Type: Sponsored Luncheon Location: Pine/Cedar
1:45pm to 3:15pm
SystemC: Focusing on High Level Synthesis and Functional Coverage for SystemC Event Type: Short Workshop Location: Oak
Formal Verification Bootcamp Event Type: Short Workshop Location: Monterey/Carmel
Deep Learning for Engineers Event Type: Short Workshop Location: HF
3:30pm to 5:00pm
Going Practical with Portable Testing and Stimulus Standard (PSS) Event Type: Short Workshop Location: Monterey/Carmel
System-Level Security Verification Starts with the Hardware Root of Trust Event Type: Short Workshop Location: Oak
It's Been 24 Hours - Should I Kill My Formal Run? Event Type: Short Workshop Location: HF
5:00pm to 7:00pm
DVCon Expo & Reception Event Type: Expo Location: Bayshore Ballroom

Tuesday, February 26

8:15am to 8:45am
Opening Session Event Type: Regular Session Location: Oak
9:00am to 10:30am
Formal Verification Methodologies Event Type: Regular Session Location: Oak
Verification Strategies I Event Type: Regular Session Location: HF
Analog/Mixed-Signal Verification Event Type: Regular Session Location: Monterey/Carmel
10:30am to 12:00pm
Poster Session Event Type: Poster Session Location: Gateway Royer
12:00pm to 1:15pm
A Tale of Two Technologies: ASIC & FPGA Functional Verification Trends Event Type: Sponsored Luncheon Location: Pine/Cedar
1:30pm to 2:30pm
Thriving in the Age of Digitalization Event Type: Keynote Location: Oak/HF
2:30pm to 6:00pm
DVCon Expo Event Type: Expo Location: Bayshore Ballroom
3:00pm to 4:30pm
The Universal Verification Methodology (UVM) Event Type: Regular Session Location: Oak
Applying Big Data to Verification Event Type: Regular Session Location: HF
Verification Strategies II Event Type: Regular Session Location: Monterey/Carmel
5:00pm to 6:00pm
DVCon Reception Event Type: Reception Location: Bayshore Ballroom

Wednesday, February 27

8:30am to 9:30am
Verification and Compliance in the era of open ISA - Is the Industry ready to Address the Coming Tsunami of Innovation? Event Type: Panel Location: Oak/HF
10:00am to 12:00pm
Hybrid Verification Environments Event Type: Regular Session Location: Oak
Advancements in Clock Domain Crossing Verification Event Type: Regular Session Location: HF
Applications of the new Portable Stimulus Standard Event Type: Regular Session Location: Monterey/Carmel
12:00pm to 1:15pm
Data-Driven Verification: Going Beyond Metrics to Efficiency Event Type: Sponsored Luncheon Location: Pine/Cedar
1:30pm to 2:45pm
Deep Learning - Reshaping the Verification Landscape or Business as Usual? Event Type: Panel Location: Oak/HF
2:45pm to 5:00pm
DVCon Expo Event Type: Expo Location: Bayshore Ballroom
3:00am to 4:30am
Power-Aware Design and Verification Event Type: Regular Session Location: Oak
Formal Verification Techniques Event Type: Regular Session Location: HF
Portable Stimulus Case Studies Event Type: Regular Session Location: Monterey/Carmel
4:45pm to 5:00pm
Best Paper & Poster Awards Presentation Event Type: Reception Location: Oak/HF
5:00pm to 6:00pm
DVCon Reception Event Type: Reception Location: Bayshore Ballroom

Thursday, February 28

8:30am to 11:30am
Data-Driven Verification: Driving the Next Wave of Productivity Improvements Event Type: Tutorial Location: Oak
Tackling the Complexity Problem in Control and Datapath Designs with Formal Verification Event Type: Tutorial Location: HF
Next Gen System Design and Verification for Transportation Event Type: Tutorial Location: Pine
11:30am to 12:45pm
Industry Leaders Verify with Synopsys Event Type: Sponsored Luncheon Location: Cedar
1:00pm to 2:30pm
Be a Sequence Pro to Avoid Bad Con Sequences Event Type: Short Workshop Location: Oak
Using Simulation Acceleration to Speed Block and Platform Level IP Verification Event Type: Short Workshop Location: HF
Using Portable Stimulus to Verify an ARMv8 Sub-System Integration on an SoC Event Type: Short Workshop Location: Pine

Photos



Poster Session



Regula Session



Exhibition入口



Exhibition

DVConUS

■全体

- ・パネル/レギュラー/ポスターセッション、Expoをうまく混ぜて参加しやすい構成
- ・レギュラーセッションはテーマごとに3/4部構成としている。1部30分で他のセッションも行き来可能
- ・コーヒーサービスをうまく利用しExpo会場に人が入るように工夫している
- ・有料セッションでは入り口でバッジの確認者がいた
- ・バッジは受付で印刷、Exhibiter用にチップも入っているようだった
 - ⇒Exhibition会場で何かあるとバッジをスキャンされた(名刺はいらない)
- ・質問者用に通路にマイクが設置されていた
- ・DVConUS用のFree WiFiが設置されていた

MP associate打ち合わせ

日時:2019年2月27日(水)15:00~

場所: Dubble Tree by Hilton Hotel San Jose at San Jose3&4 Room

参加者:Kevin Lepine、Susie horn(MP associates)

田中さん、三橋さん、眞篠

- DVConは一手にやっておりDVConの標準的なプロセスを理解して運営できる
- 中国、インド、欧州はMCIをパートナーにして運営している
- ローカルのステアリング／テクニカルコミティーと密接に活動していて
集客などもそのネットワークを活用している
- キーノートの選定、Registration、Web Site
- 1日で開催するなら参加費は100 \$ 必要(200~300人の参加者想定)
- キーノートスピーカーにはビックネームにお願いする。講演料は支払わない(参加費用は無料)
- Exhibiterへ参加者情報は渡していない
- DVConUSの参加者：800人
- DVCon 2019のアブストラクトは136、採用されたペーパーが39 (28%)
採用されなかったうちのいくつかはPoster採用されている

IEEE/Accellera – JEITA 会議

日時:2019年2月28日(水)10:00~

場所: Dubble Tree by Hilton Hotel San Jose at the San Jose Room

参加者:Dennis Brophy、Stan Krolikoski、Lu Dai、Lynn Bannister-Garibaldi(Web)
三橋さん、田中さん、眞篠

- IEEE 2401はDVCon Japanの1テーマとしても良い
- アイデアや考えの共有、互いに学習したりプレゼンする機会としての価値を提供する場（競合せず共創できるところ）
- コーポレートスポンサーという手もある（例えばA社は20人まで無償とか）
- ペーパートラックとトレーニングトラックというやり方もある
- JEVeCと会場を共有した場合に展示の共有やコスト負担など考える必要性あり
- 川崎市の会場は安くて良さそう(これがコストが安い理由)
- テーマやバリューを早く決めてとりあえず第一回目を開催しよう
- ステアリングコミッティーは役割・責任分担を早くアサインするべし
- プログラム内容は全く問題ない

参考：スタンはイライラしている様子だった(by三橋さん)

Agenda

- JEITA Organization
- IEEE 2401 Status Update
- DVCon Japan Update

JEITA Semiconductor Organization



Japan Electricals and Information Technology Industries Association

JEITA-JSIA

Semiconductor Industry Association in Japan

Semiconductor Standardization Committee in Japan



Semiconductor & System Design Technical Committee

Chair : Yoshinori Fukuba (SC47A Secretary)

International Standard & Steering Working Group

Leader : Genichi Tanaka (TC91WG13 Co-Convenor)



LPB(LSI Package board) SC: Acting (Yoshinori Fukuba)

LPB Design Data Exchange Format Working Group

Leader : Kunimoto Mashino

LPB Modeling Working Group

Leader : Kazuyuki Sakata



<http://jeita-sdtec.com/worldwide/>

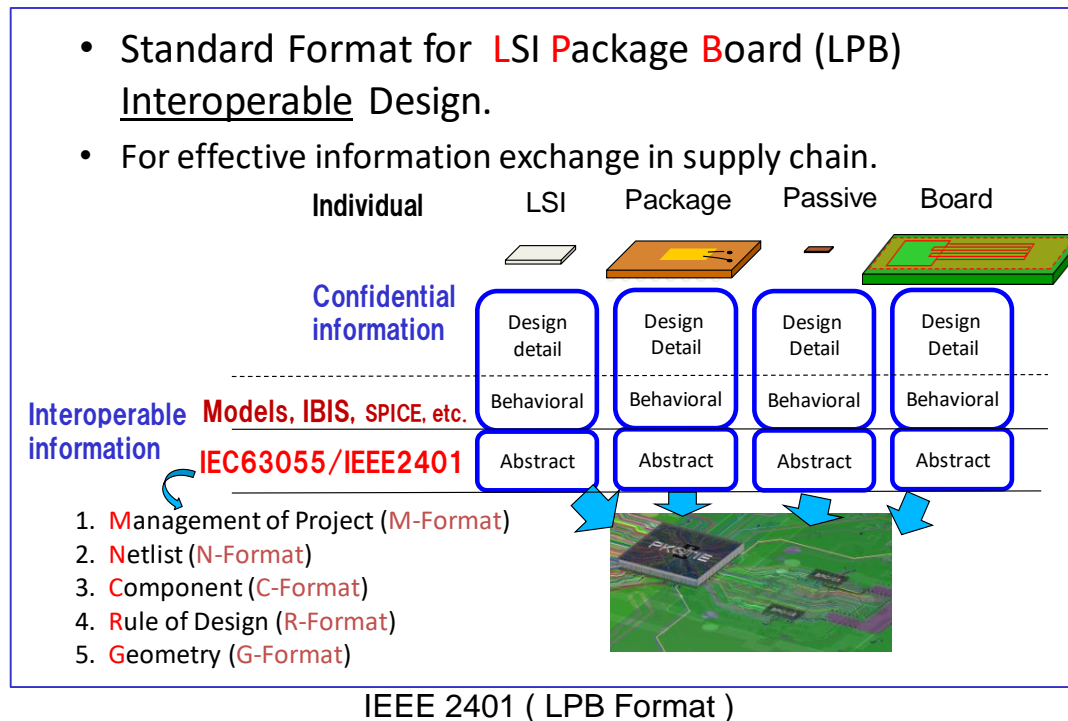
Copyright© JEITA SD-TC All Rights Reserved 2015-2019

Page34

Outline of IEEE 2401 Revision

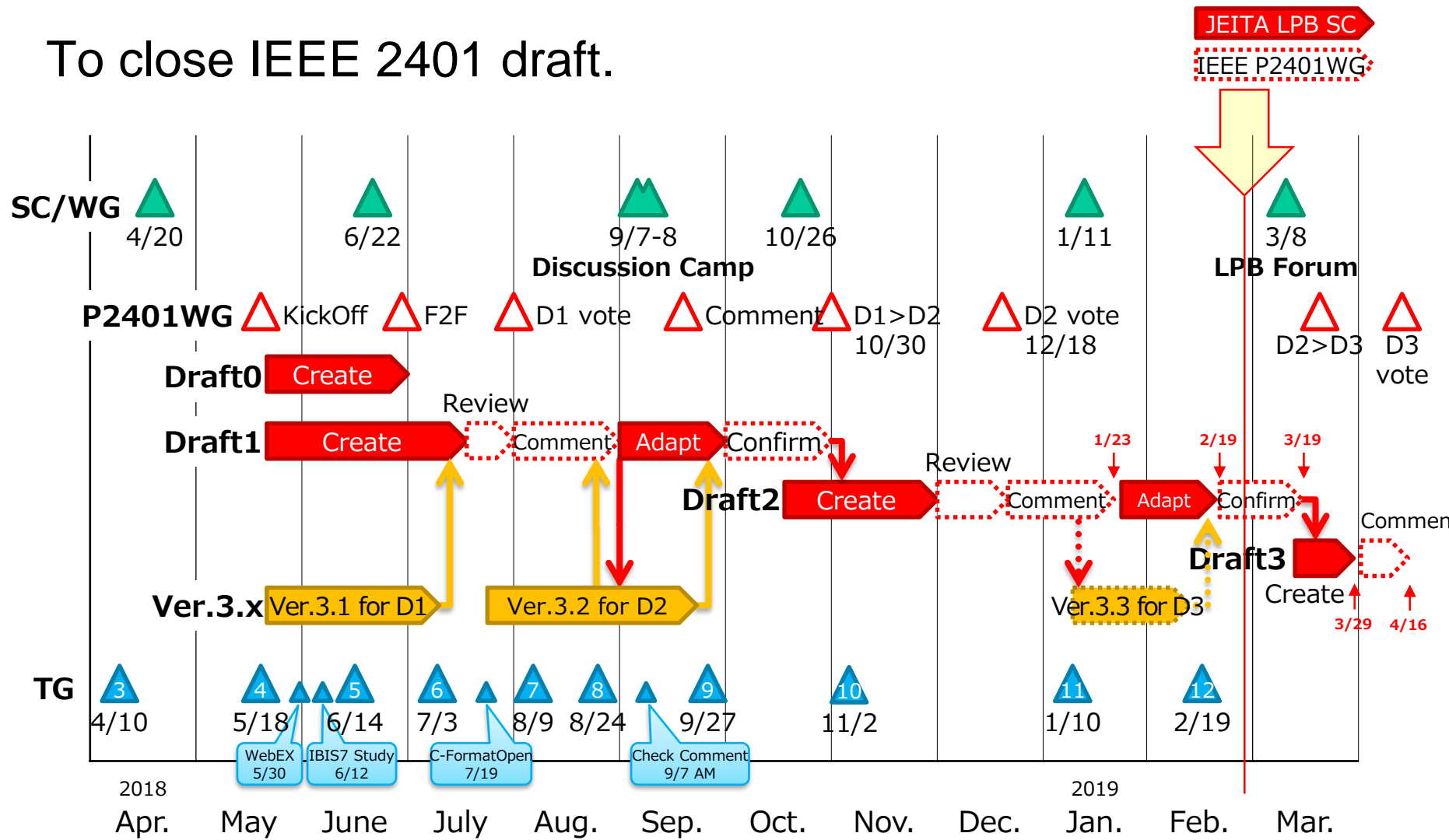
Main objective for the revision

- 3D enhancement
- Usability: additional symbol for library control, Foot print, many others,
- Model handling capability: expand to Touch stone, IBIS V7, System-C



IEEE 2401 Revision Schedule

To close IEEE 2401 draft.



Planning for DVCon Japan 2019-2020

1. **Steering Committee:** (starting members: preparation task group)
 - Otsuki(Ricoh), Tanaka(Renesas), Mashino(EPSON), Fukuba(TOSHIBA) -JEITA member
 - Wakabayashi(NEC), Mitsuhashi(EE Tech Focus), Nakamura(Magillem), Ellison(Mentor), TBD (cadence), TBD(Academia)
2. **Technical Committee:** To be formed.
 - Wakabayashi(NEC), Matsuzawa(Zuken), TBD(CANON), TBD(Academia), ...
3. **Administration:** Kondo(JEITA)
4. **Concept of DVCon Japan –under discussion**
 - Date: One or Two Days, TBD (Autumn/winter@2019 or 2020)
 - Venue: Candidate Kawasaki Industrial Development Hall
 - Keynote speaker: TBD from Industry executives
 - Registration Fee: 20K-30K JPY - to be discussed

Small start? Co-location?

1. Standalone

- Benefit: DVCon own concept
- Concerns: cost, attendance, administration...

2. Co-location (Candidates)

1. Design Solution Forum: Sep.12, 2018

- User base design experience , 600 people, Yokohama
- Benefit: Similar concept, attendance
- Concerns: steering policy(free charge)

2. Embedded Technology: Nov. 14-16, 2018

- Exhibition 25,000 people, Yokohama
- Benefit: Venue, existing contractor can be used.
- Concern: concept may not be matched, Cost

Small start? Co-location?

3. JEVeC day Dec. 11, 2018

- Start up EDA/Venture forum, 200 people, Kawasaki
 - Benefit: Cost, liked to Japan market
 - Concerns: effort to call attendance

4. Academic conference

- Benefit: organized, attendance
- Concerns: location changed anytime

How to Start

	Pros	Cons
Standalone	DVCon Own Concept	Cost #Attendees
Co-location w/DSF	Similar Concept Targeted Attendees	Complementary DSF Vender Based Steering
Co-location w/ET	A lot of Attendees Existing Constructor	Cost Untargeted Attendees
Co-location w/JEVeC	Cost Good Relations	#Attendees
Co-location w/Academic Conf.	Organization Smart Researchers	Location

Appendix – Venue candidate

1. Expense (up to 30,000 USD)

- 1) Venue : 1,000USD(!!)/Day
Hall + 2 Meeting rooms
- 2) Luncheon: 2,000 USD
- 3) Social Dinner: 5,000 USD
- 4) Administration: 10,000 USD
- 5) Others : 5,000 USD

2. Income

- 1) Accellera : 10,000 USD
- 2) Registration Fee: 200 USD*50
- 3) Sponsoring: 10,000 USD (2,500 * 4)

* JEVeC Day has been held in here.



Hall (max:478):
300USD/Day



Meeting Room(max: 99, 42):
130USD/Day

JEVeC day 2018

- Date: 2018-Dec-11 12:30-18:30 + 20:30 reception
- General Chair: Wakabayashi NEC
- Steering Members: EDA Startups, Zuken,
- Major Contributors: JEITA, ARM, Nvidia, Japan Industrial news(media)
- Attendance: 200 peoples (250 registrations)
- Technical Coverage: IC Design/Verification, IC-Board Harmonization, LPB(JEITA), IoT Processing, ...
- Conference Hall 1st floor: max. 300 peoples
- Exhibition Hall 4th floor: 17 exhibitors in 3,445 ft²



\$250/day

Programs

- ◆ IC Design/Verification
- ◆ Power IC Development
- ◆ Model Based Systems Engineering/
VHDL-AMS/ MBSE2.0
- ◆ Thermal-Electrical Co-Design
- ◆ Multi-Physics

Appendix

System Design Collaboration between Frontend & Backend

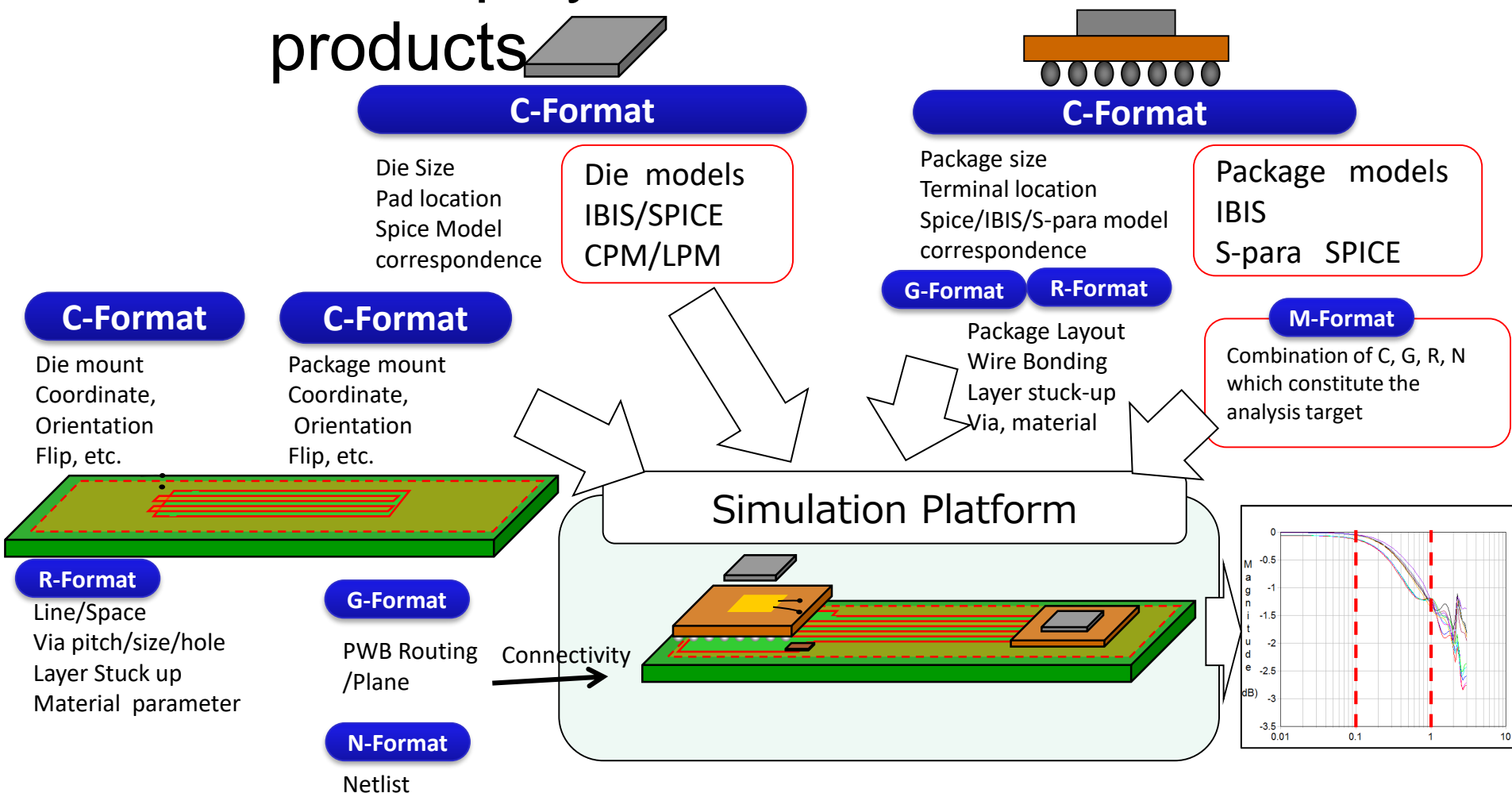
cooperation with IEC 63055 / IEEE 2401

Yoshinori Fukuba (JEITA, TOSHIBA)

Genichi Tanaka (JEITA, Renesas Electronics)

What is IEC 63055/ IEEE 2401-2015?

In the deployment of electronic products



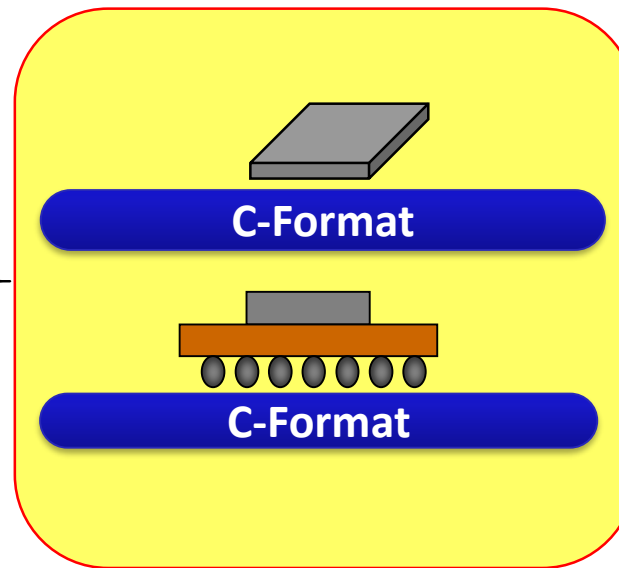
Model “ Wrapper”

- Function to wrap models to pass models and IPs information to CAD / CAE simultaneously

Geometry
Terminal
correspondence
Models

SPICE
S parameter
VHDL (AMS)
Verilog-HDL
IEC 62433
IBIS V4, V7, AMI
SystemC (AMS)

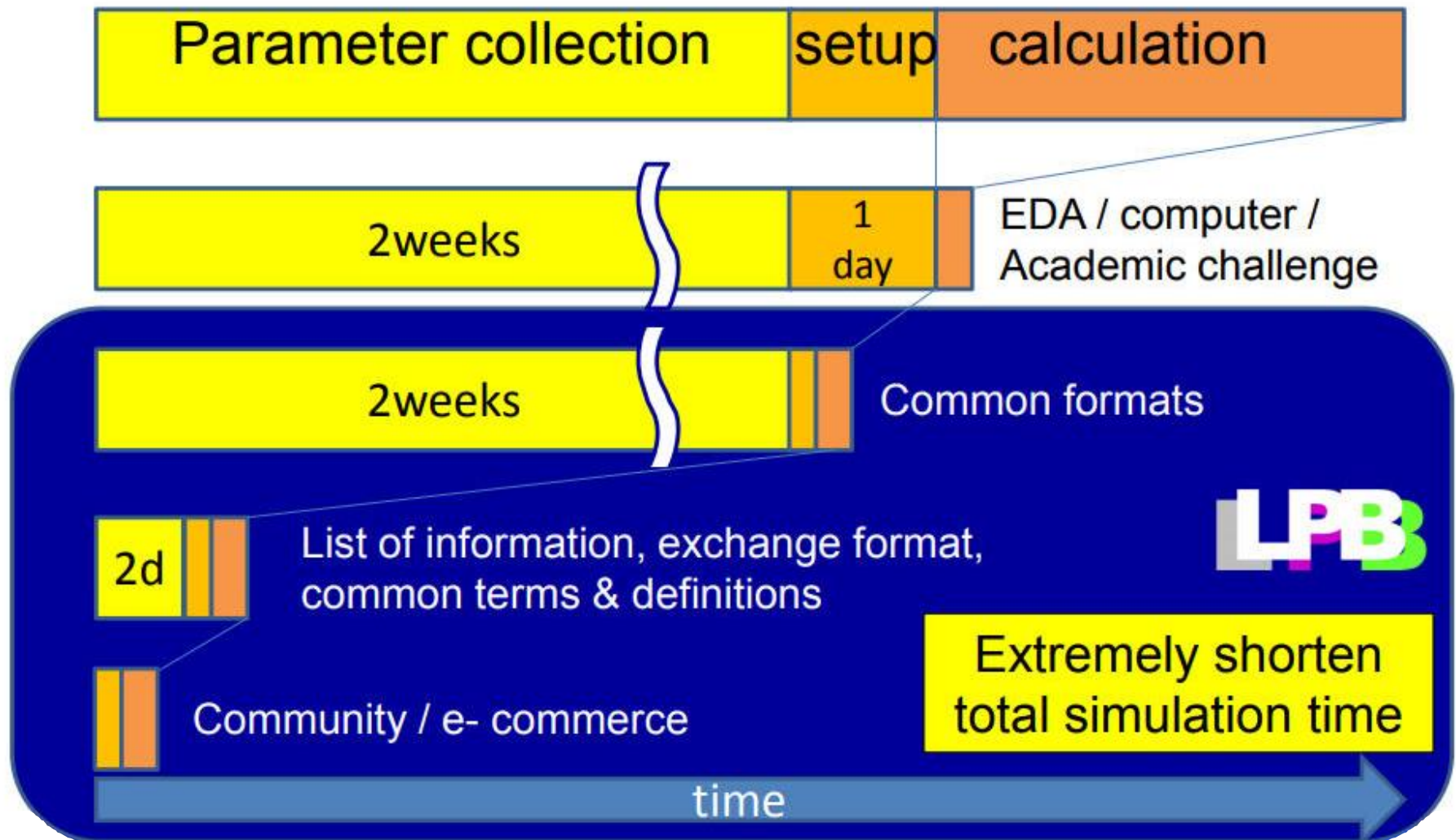
New standard models



CAE
(SI,PI,EMC,
thermal
mechanical)

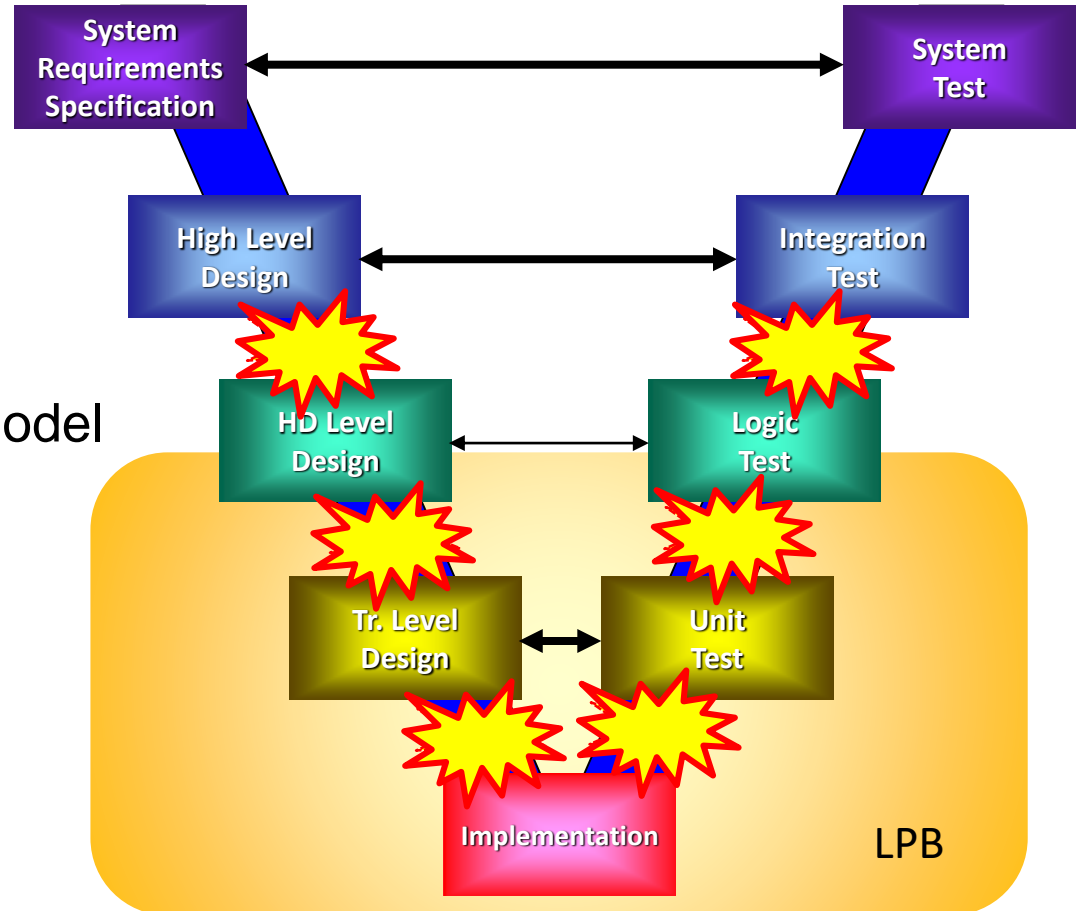
CAD
(Artwork,
place, route
planning)

Effect of IEC 63055/IEEE 2401



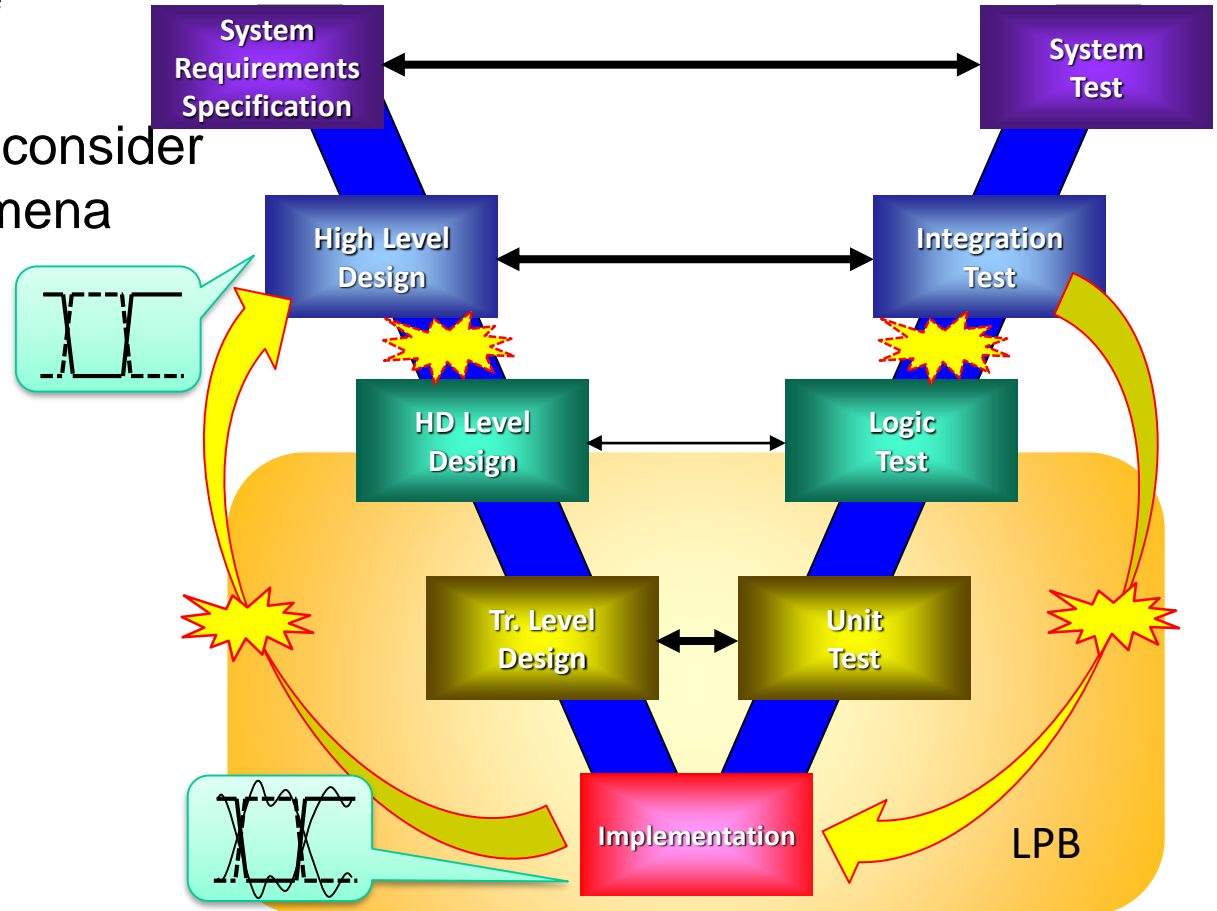
System Design

- V-Model
Ideal: Should work
Real: Gaps exist
- Design/Verification
Languages/Tools tackle
ex.
High Level Abstraction Model
High Level Synthesis
Formal Verification
LPB format (IEEE 2401)
- Little **Digital** Issue
but **Analog** Ones



System Design

- **Analog** Issues
 - Found at final stage
- Because Current HLD could consider little analog phenomena
 - Overshoot
 - Undershoot
 - Eye Opening
 - Jitter
 - Vdrop
 - Thermal
 - :



System Design

- Potential Solution
 - Library/IP w/Analog Info. for High Level Design
 - Common Language which cover different stages
 - That enables
 - Feed Forward Design
 - Short TAT
 - Margin Less
 - High Accuracy

