

JEITA-LPB相互設計SC
インターフェイス WG

IEEE 2401-2020TG 18年度活動報告

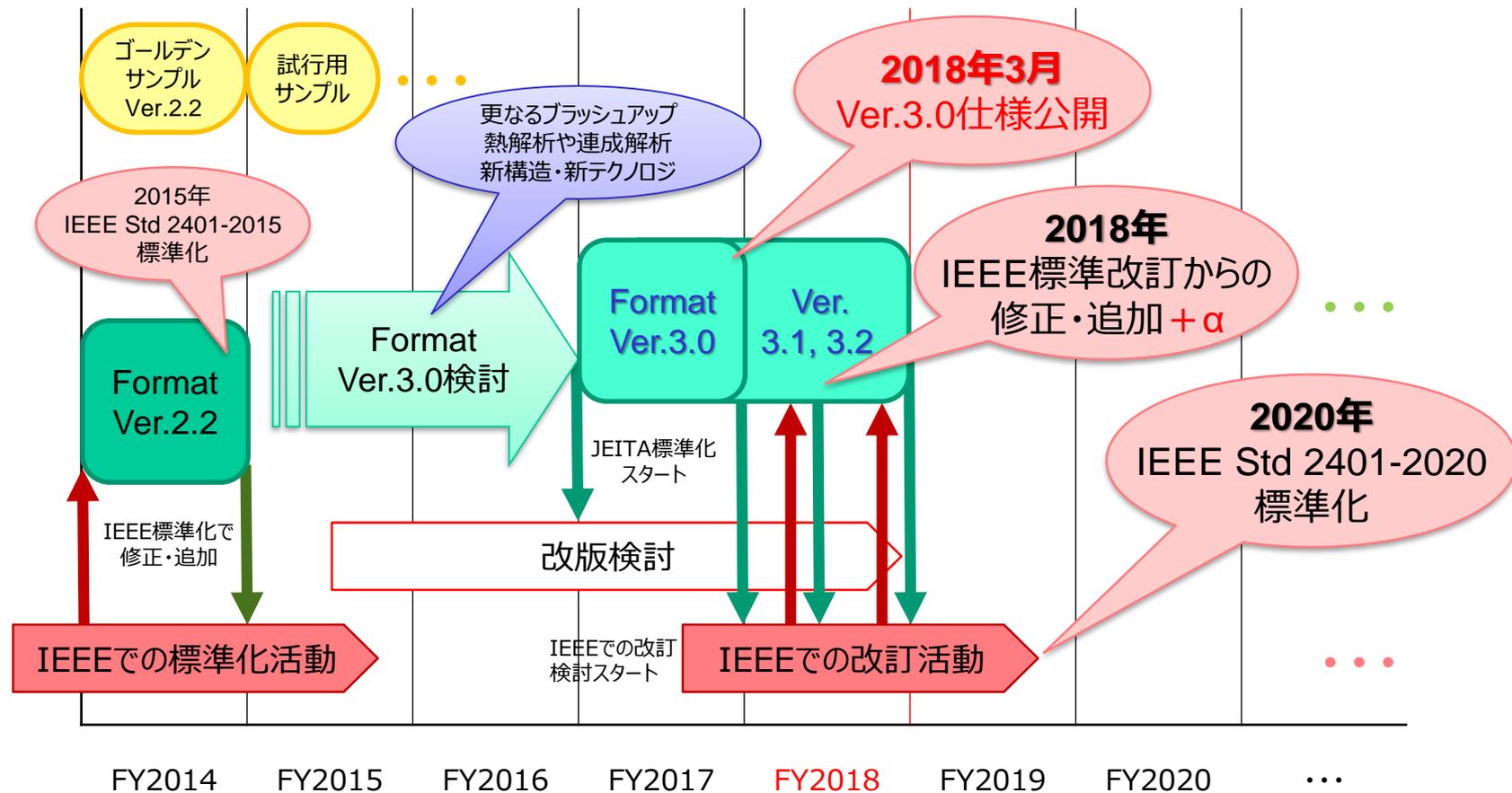
2019.4.19

IEEE 2401-2020TG 18年度活動報告サマリ

- 目的 : IEEE 2401-2020 標準化全体計画作成
標準化に向けたLPBフォーマット修正検討
(LPBフォーマットVer.3.0_20180309からの修正)
IEEE P2401WG 対応
(WG参加、Draft作成、コメントシート作成、など)
- 活動期間 : 2018/4/10 ~ 2019/2/19
- 成果物 : IEEE 2401-2020 標準化計画
IEEE 2401-2020 Draft3
- 課題・申送り事項 : Excel仕様書作成 (LPBフォーマットVer.3.2)
IEEE P2401WG 対応の継続
(WG参加、Final Draft作成、など)

LPBフォーマット ロードマップ ('19/3)

■ LPBフォーマット Ver.3.x 国際標準改訂計画



LPBフォーマット ロードマップ ('19/3)

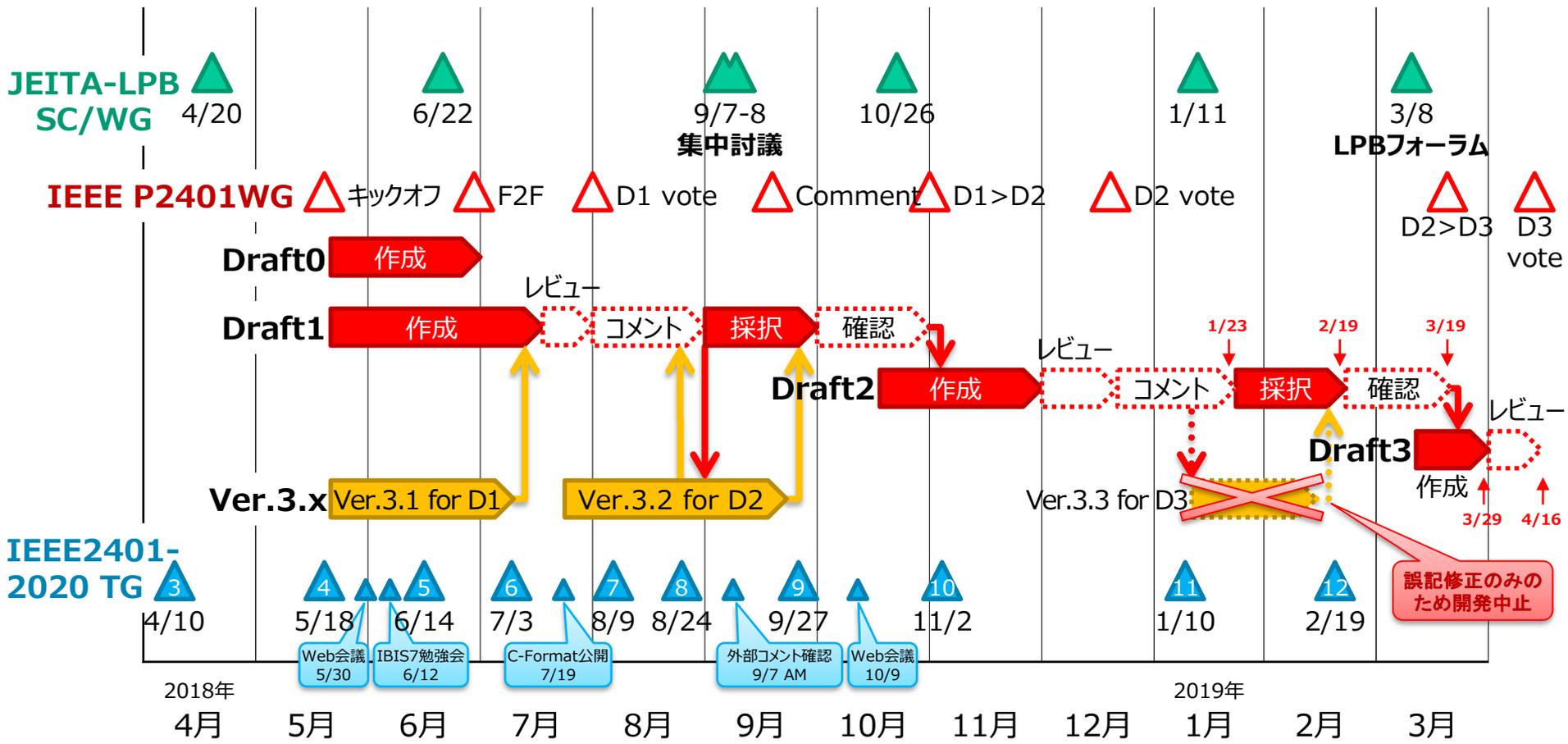
■ LPBフォーマット 開発計画大日程

2017年		2018年		2019年		2020年	
1		1		1	JEITA標準仕様 Fix (Ver.3.2)	1	IEEE Std 2401-2020 発行
2		2	JEITA標準仕様 Ver.3.0 Fix	2	誤記・説明の修正	2	
3	LPBフォーマット リリース計画発表	3	JEITA標準仕様 Ver.3.0 公開	3	Draft作成 (3rd)	3	
4		4		4	Final Draft完成	4	
5		5	IEEE P2401 WG キックオフ	5		5	
6		6	JEITA標準仕様 Ver.3.1 作成	6		6	
7		7	Draft作成 (1st)	7		7	
8		8		8		8	
9		9	JEITA標準仕様 Ver.3.2 作成	9	IEEE Std 2401-2020 承認	9	
10	JEITA IEEE2401-2020 TG設立	10		10		10	
11	IEEE 標準化提案 (PAR)	11	Draft作成 (2nd)	11		11	
12		12		12		12	

LPBフォーマット ロードマップ ('19/3)

■ IEEE2401-2020関連のイベント

JEITA LPB SC
IEEE P2401WG



誤記修正のための開発中止



標準化に向けたLPBフォーマット修正検討

■ IEEE P2401WGへDraft1として提案したVer.3.1の内容

前回のLPBフォーラムで紹介したVer.3.0で検討中だったものや内容を見直したものを、IEEE2401-2020のDraft1としてIEEE P2401WGへ提案した。この修正したものをJEITAとしては**Ver.3.1**としている。

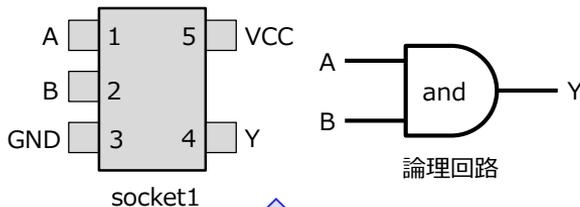
Ver.3.1での主な修正内容

- C-Formatの外部モデル参照の対応モデル追加
SystemCを追加
- C-Formatの外部モデル参照でIBISへの接続にオプションを追加
IBISへの接続を、V7.0で採用される[Interconnect Model]の記述方法を参考にPinだけでなく、Pad、Bufferから選択するオプションを追加
- C-Formatに追加するネット毎の配線禁止領域の複数レイヤ指定
ネット毎に配線禁止領域の指定を、任意の複数レイヤを指定できるように変更
- [CR]-Formatの配置配線禁止指定を変更
C-Formatの<module>内、R-Formatの<Consraintrule>内の<keepout>の名称を<blockage>に変更

標準化に向けたLPBフォーマット修正検討

■ C-Formatの外部モデル参照の対応モデル追加

外部モデルの参照に、**SystemC(IEEE 1666-2011)**を追加した。
SystemCの文法はC++と同じでなので、モジュールは"sc_module"、ポートは"portname"で参照するようにしている。



```
SC_MODULE(and)
{
  sc_in<int> a, b;
  sc_out<int> y;
  :
  :
};
```

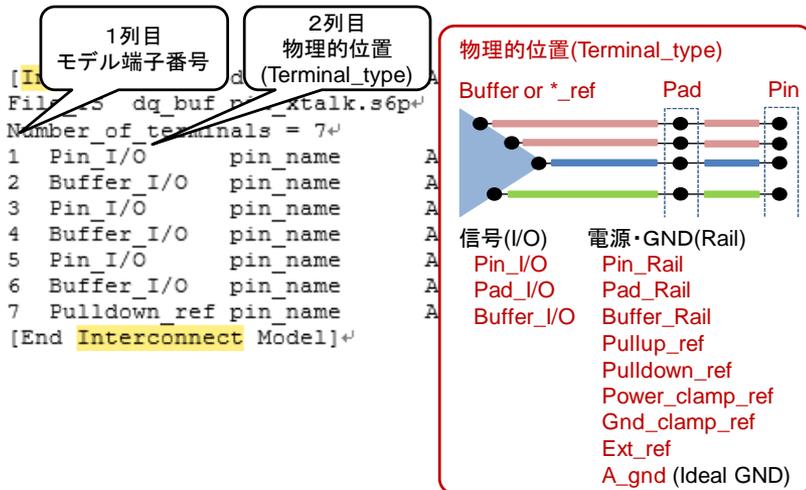
SystemC記述例

```
<reference
  xmlns:systemc="http://www.jeita.or.jp/LPB/systemc"
  refile="XXXX.cpp"
  format="systemc"
>
  <connection socket_name="socket1" port_id="1">
    <systemc:ref_port sc_module="and" portname="a">
  </connection>
  <connection socket_name="socket1" port_id="2">
    <systemc:ref_port sc_module="and" portname="b">
  </connection>
  <connection socket_name="socket1" port_id="4">
    <systemc:ref_port sc_module="and" portname="y">
  </connection>
</reference>
```

標準化に向けたLPBフォーマット修正検討

■ C-Formatの外部モデル参照でIBISへの接続にオプションを追加

IBISへの接続を、V7.0で採用される[Interconnect Model]の記述方法を参考にPinだけでなく、Pad、Bufferから選択するオプションを追加した。



IBIS V7 [Interconnect Model]での指定方法
出展：IBIS7勉強会(6/12) リコー/村田さん資料(ibis_study.pptx) P.28

```
<reference
  xmlns:ibis="http://www.jeita.or.jp/LPB/ibis"
  refile="XXXX.ibs"
  format="IBIS"
>
  <connection socket_name="socket1" port_id="A1">
    <ibis:ref_port component="DDR3-1Gbx16"
      signal_name="Vddq" terminal_type="Pin_Rail"
    </connection>
  <connection socket_name="socket1" port_id="A2">
    <ibis:ref_port component="DDR3-1Gbx16"
      pin_name="A2" terminal_type="Pin_I/O"
    </connection>
  <connection socket_name="socket1" port_id="A3">
    <ibis:ref_port component="DDR3-1Gbx16"
      pin_name="A3" terminal_type="Pin_I/O"
    </connection>
</reference>
```

標準化に向けたLPBフォーマット修正検討

■ IEEE P2401WGへDraft2として提案したVer.3.2の内容

'18/9の集中討議を基に、追加・修正を IEEE2401-2020のDraft2としてIEEE P2401WGへ提案した。JEITAとしてはVer.3.2としている。

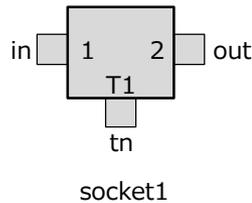
Ver.3.2への主な修正内容

- G-Formatの部品配置の3D化
部品配置を定義する.component構文にz軸方向の座標を示す「z」を追加
- [CGMR]-Formatにフォーマットバージョン情報を追加
[CMR]-Formatの<LPB_[CMR]FORMAT>にversionアトリビュートを追加
G-Formatのバージョンを定義する.version構文に第3引数を追加
- 外部モデル参照でVHDL-AMSに対応
既存のVHDLモデル参照にsubtypeを指定するエレメントを追加
- 外部モデルに3D形状モデルを追加
STEP、SAT、IGESを追加
3D形状モデルの配置指定にアフィン変換の行列要素を指定するエレメントを追加
3D形状モデル内のオブジェクトにマテリアルと消費電力を指定するエレメントを追加
- 外部モデルに過渡熱回路網モデルを追加
「ED-7800 半導体パッケージの過渡熱回路網モデル」JTAMを追加

標準化に向けたLPBフォーマット修正検討

■ VHDLモデル参照にsubtypeを指定するエレメントを追加

VHDLモデルの参照で、portの**subtype**を指定するエレメントを**オプション**で追加した。これにより、VHDLモデルに**サーマル端子を指定できる**ようになり、サーマルネットワークの表現が可能になる。



```
entity t_module is
port
(
  input : in std_logic;
  output : out std_logic;
  terminal tn : thermal_c;
);
end t_module;
```

VHDL記述例

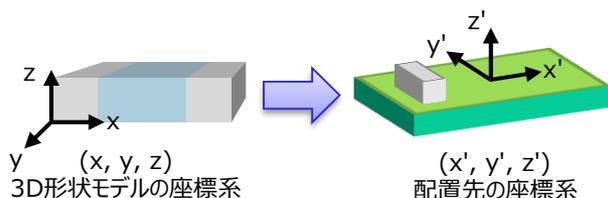
```
<reference
  xmlns:VHDL="http://www.jeita.or.jp/LPB/VHDL"
  reffile="XXXX.vhd" format="VHDL"
>
  <connection socket_name="socket1" port_id="1">
    <VHDL:ref_port entity="t_module" portname="in"/>
  </connection>
  <connection socket_name="socket1" port_id="2">
    <VHDL:ref_port entity="t_module" portname="out" />
  </connection>
  <connection socket_name="socket1" port_id="T1">
    <VHDL:ref_port entity="t_module" portname="tn" subtype="thermal_c" />
  </connection>
</reference>
```

標準化に向けたLPBフォーマット修正検討

■ 外部モデルに3D形状モデルを追加

3D形状モデルとして、STEP、SAT、IGESを追加した。また、配置の際の座標変換は3次元アフィン変換の行列要素で指定する。

座標間の回転、移動、拡大縮小を表現できる



$$\begin{bmatrix} x' \\ y' \\ z' \\ 1 \end{bmatrix} = M \begin{bmatrix} x \\ y \\ z \\ 1 \end{bmatrix} \quad M = \begin{bmatrix} a_{11} & a_{12} & a_{13} & a_{14} \\ a_{21} & a_{22} & a_{23} & a_{24} \\ a_{31} & a_{32} & a_{33} & a_{34} \\ 0 & 0 & 0 & 1 \end{bmatrix}$$

(a11, a12, a13, a14, a21, ..., 0, 0, 0, 1)
3次元アフィン変換の4x4行列

```
<reference
  xmlns:step="http://www.jeita.or.jp/LPB/step"
  refile="XXXX.stp" format="step"
>
  <affine_transformation a11="1.0" a12="0.0" ... a34="0.0">
    <step:ref_product name="IC_PACKAGE" />
  </affine_transformation>
</reference>
```

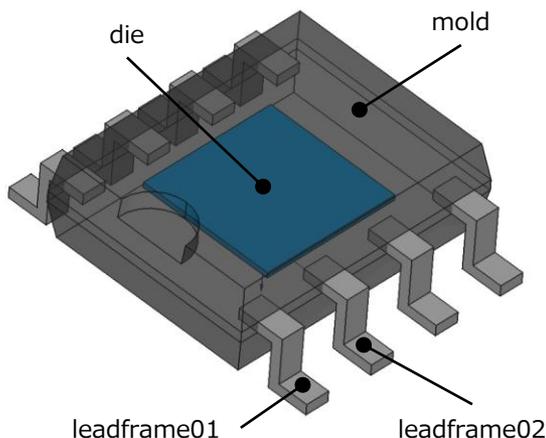
```
<reference
  xmlns:step="http://www.jeita.or.jp/LPB/sat"
  refile="XXXX.sat" format="sat"
>
  <affine_transformation a11="1.0" a12="0.0" ... a34="0.0">
    <sat:ref_body name="IC_PACKAGE" />
  </affine_transformation>
</reference>
```

```
<reference
  xmlns:iges="http://www.jeita.or.jp/LPB/iges"
  refile="XXXX.igs" format="iges"
>
  <affine_transformation a11="1.0" a12="0.0" ... a34="0.0" />
</reference>
```

標準化に向けたLPBフォーマット修正検討

■ 外部モデルに3D形状モデルを追加

STEPなどの3D形状モデルは物性値や熱源が記述できないため、3D形状モデル内のオブジェクトに、R-Formatで定義する**マテリアル**や熱源としての**消費電力**を指定する記述を追加した。ただし、**IGES**はオブジェクトに識別子(名前)がないため**対象外**とした。



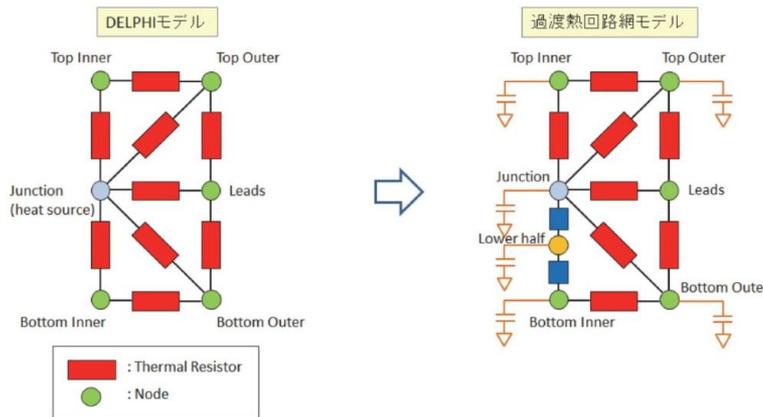
パッケージモデル : IC_PACKAGE

```
<reference
  xmlns:step="http://www.jeita.or.jp/LPB/step"
  refile="XXXX.stp" format="step"
>
  <material name="Resin" ref_rule_name="PartsRule">
    <step:ref_product name="mold" />
  </material>
  <material name="Silicon" ref_rule_name="PartsRule">
    <step:ref_product name="die" />
  </material>
  <material name="42Alloy" ref_rule_name="PartsRule">
    <step:ref_product name="leadframe01" />
    <step:ref_product name="leadframe02" />
    :
  </material>
  <heat_source typ="5.0">
    <step:ref_product name="die" />
  </heat_source>
</reference>
```

標準化に向けたLPBフォーマット修正検討

■ 外部モデルに過渡熱回路網モデルを追加

「ED-7800 半導体パッケージの過渡熱回路網モデル」 JTAM(JEITA Thermal Accurate Model)を追加した。



DELPHIモデルと過渡熱回路網モデルのイメージ図
出展：JEITA ED-7800 半導体パッケージの過渡熱回路網モデル(個別半導体) P.3

```
<reference
  xmlns:JTAM="http://www.jeita.or.jp/LPB/JTAM"
  refile="XXXX.tar.gz" format="JTAM"
>
  <connection socket_name="sample_z">
    <JTAM:ref_port model="pkg_jtam" />
  </connection>
</reference>
```

Ver.3.0からの変更点(詳細)

■ Ver.3.0からの変更 その1

(Ver.3.1での変更は青字、Ver.3.2は赤字で記載)

No.	Format	内容	Ver.3.x 対処
1	C-Format	アナログ電源のリップル率など、電圧のmin/max以外の表現ができない	必要性含めて検討する ⇒ 採用 リップル率：出力の規格として(Portの属性)、入力の許容値として(power_domainの属性)の双方を追加
2	C-Format	swappable の意味	port入れ替え(I/Oセル入れ替え)可能となる表記を検討する ⇒ 採用 未決定を表す属性port_assignmetを追加
3	C-Format	KEEPOUT領域が指定できない	検討する (R-Formatも含めて) ⇒ 採用 要素module、要素Constraineruleの中で要素blockageとして定義 配置配線が対象
4	C-Format	差動信号のSkewを定義するとき、Groupでmax.を定義すると、Pos-Negどちらがどっかわからない。PKG-PCBでの帳尻合わせをする場合 コントロールできない。	port の部分にskewを記載し、制約の部分は変えないというやり方はいかがか？ ⇒ 採用 portgroupに差動属性、Pos/Negの属性も追加、指定する
5	C-Format	C-FormatにはLayer定義が無いため、Layer指定ができない - padstack の ref_shape - component の placement	部品内蔵等含めた対応を考える ⇒ 採用 要素mountに値「MIDDLE」追加、基準面からのz方向の部品積載順番の属性を追加、ユーザが値「正の整数 (TOPとBOTTOMは外に向かって数字が大きくなる、MIDDLEはTOP側からの順番とする)」を指定する
6	C-Format	次の設計フェーズに移れるかなど、判断結果の記述「Fixed」「Locked」などのプロパティを付けるか	全フォーマット対象、エレメントに指定、下位エレメントを含む ⇒ 採用 キーワードはEDITABLE、LOCKED
7	C-Format	差動信号の専用定義	⇒ 採用 No.5と同じ
8	C-Format	Power_domainで電源とGNDのペアとして指定できない	⇒ 採用 要素powerdomain_groupに、属性pwr_port_nameなどの「pwr_」や、gnd_port_nameなどの「gnd_」のプレフィックスを付けたものを追加し、電源:pwr_とGND:gnd_を個別に指定できるようにする 従来の属性もVer.互換のため電源扱いとして残すが、非推奨とする
9	R-Format	KEEPOUT領域が指定できない	検討する (C-Formatも含めて) ⇒ 採用 要素moduleの中で定義する Keepoutの対象は配線、VIAのみ

Ver.3.0からの変更点(詳細)

■ Ver.3.0からの変更 その2

(Ver.3.1での変更は青字、Ver.3.2は赤字で記載)

No.	Format	内容	Ver.3.x 対処
10	R-Format	bondingwire_def と ball_def で英語表記方法が異なる	機を見て見直す ⇒ 採用 対応済み
11	R-Format	デザインルールのエリア指定など、ユーザ由来と製造由来との区別 複数(ファイル)のエリア指定の場合の優先度	⇒ 採用 優先順位を付ける属性を追加する 値は正の整数 (大きい方が優先) 省略可能、省略時は「default」エリアは「0」、それ以外のエリアは「1」とする 同値の複数ルールは包含のみ許し、狭い領域を優先とする 属性のキーワードは、priority
12	N-Format	各端子がどの電源系に属しているかの記述	⇒ 採用 オプションとして指定可能にする 電源系は /* PG_NET=「domain」 */ で指示 「domain」はユーザ指定 信号系に /* PWR=「domain」 GND=「domain」 */ で電源系を指定 pow、gndなどのキーワードはPWR、GNDとする
13	M-Format	設計バージョンの履歴管理をフォーマット記述がサポートするか	⇒ 採用 セットを複数許可する、現状のフェーズとclass毎のフェーズを追加 キーワードは、current_phase、phase_name
14	C-Format	Reference記述でTouchStoneファイルの直接指定をポートするか	⇒ 採用 要素formatに値「TOUCHSTONE」を追加
15	C-Format	容量値や抵抗値など部品の特性値を記述できるようにするか	⇒ 採用 2-Portの特性値に限り記載可能にする。Reference記述ではなく、 デフォルト定義を行う。C、R、Lのみ指定可能、直列とする
16	C-Format	placementの部品名は何を用いるか 品名、製品名とは別に各社独自の名前に対応すべき	⇒ 採用 社内部品管理用の名称を記載可能にする。Placementに Symbol名を追加して対応。ref_module名は製品名=部品のmodule名
17	C-Format	ボンディングワイヤの設置位置を指定したい	⇒ 採用 要素moduleの中に要素componentを追加し、その中に新たに要素bondingwireを追加する R-Formatで定義されているボンディングワイヤの形状をを参照する 要素module外の要素componentはVer.互換のため残すが、非推奨とする

Ver.3.0からの変更点(詳細)

■ Ver.3.0からの変更 その3

(Ver.3.1での変更は青字、Ver.3.2は赤字で記載)

No.	Format	内容	Ver.3.x 対処
18	C-Format	搭載部品へ外部の熱簡易モデルの紐づけができない	⇒ 採用 要素referenceの属性formatに熱簡易モデルとして、2抵抗モデル：ctm_2resistor、Delphiモデル：ctm_delphiを追加する
19	C-Format R-Format M-Format	ユーザが独自に記述を定義できる拡張領域がほしい	⇒ 採用 C,R,Mの各フォーマットへ適用する XMLのnamespace機能を利用してユーザ独自記述する <extensions xmlns:user_prefix1="http:...URI ..."> <user_prefix:user_own_tag user_own_attributes ... /> </extensions>
20	R-Format	誘電体の物性値に周波数特性が記述できない	⇒ 採用 要素dielectricに要素frequency_characteristicを追加し、周波数と誘電率、誘電正接を記述できるようにする
21	R-Format	導体の物性値に温度特性が記述できない	⇒ 採用 要素conductorに要素temperature_characteristicを追加し、温度と体積低効率を記述できるようにする
22	C-Format	Reference記述でのIBISを、pin nameで接続したい	⇒ 採用 要素ibis:ref_portに属性pin_nameを追加
23	C-Format	Reference記述でのIBISのPKGとEBD記述を指定したい	⇒ 採用 要素referenceの属性formatに、IBIS_PKGとIBIS_EBDを追加し、要素connectionに、要素ibis_pkg:ref_portと、要素ibis_ebd:ref_portを追加する
24 削除	C-Format	Reference記述での外部モデルを参照・接続する際に、全接続を書かずに一括で接続を指定したい	⇒ 不採用 機能面に寄りすぎ、接続は明示的に記述すべき
25	C-Format	インピーダンスマッチングを行う場合などに、ネットごとに配線のL/Sや、上下層の配置指定や禁止を指定したい	⇒ 採用 netを対象とした制約として要素guidelineを追加し、その中に要素netgroup、impedance、delay、skew、width、length、clearance、gap、enclosure、keepout を定義する
26	C-Format	部品間の配置制約(指定領域内)を定義したい	⇒ 採用 対象を抵抗と容量に限定し、portに対する制約とする 要素portに、新たに要素dumpingと、要素decapを追加し、要求するportからの距離と抵抗値・容量値を定義する

Ver.3.0からの変更点(詳細)

■ Ver.3.0からの変更 その4

(Ver.3.1での変更は青字、Ver.3.2は赤字で記載)

No.	Format	内容	Ver.3.x 対処
27	C-Format	部品間の配置制約(指定領域外)を定義したい	⇒ 採用 自モジュールに対する他モジュールの近接配置を禁止する制約とする要素moduleに、新たに要素keepawayを追加し、領域の形状と対象層をSAME、OPPOSITE、BOTHとして定義する
28	C-Format	デザインルールを緩和する領域を定義したい	⇒ 採用 搭載部品の領域に対して適用するデザインルールを指定する要素placementに、新たに属性ref_rule_nameと、属性sizingを追加し、R-Formatで定義するデザインルールと、搭載部品が持つ形状のサイジング量を指定する
29	C-Format	熱解析を行うための筐体を定義したい	⇒ 採用 自モジュールの周囲の仕様をキャラメルボックスで指定する要素moduleに、新たに要素boundary_specificationを追加し、キャラメルボックスの形状、配置座標、熱伝導率、輻射率、比熱容量、密度、消費電力を定義する
30	C-Format R-Format	熱解析を行うための物性値が定義できない	⇒ 採用 要素unitに、熱伝導率、比熱容量、密度の定義を追加するR-Formatの要素material_defの要素conductor、要素dielectricに熱伝導率、輻射率、比熱容量、密度を定義する
31	C-Format	フットプリントを部品側で定義したい	⇒ 採用 要素padstack-要素ref_shapeの属性pad_layerにキーワード「FOOTPRINT」、属性typeにキーワード「SolderMask」「Resist」を追加する
32	C-Format	表面実装部品のサイズコードを定義したい	⇒ 採用 要素moduleに、要素size_codeとそれに属する属性metric、imperialを追加し、サイズコードを指定する
33 採用	C-Format	外部モデル参照で、対応モデルを追加したい	⇒ 採用 SystemCを追加
34 追加	C-Format	外部モデル参照で、IBISへの接続にPadやBufferを指定したい	⇒ 採用 IBISへの接続を、V7.0で採用される[Interconnect Model]の記述方法を参考にPinだけでなく、Pad、Bufferから選択するオプションを追加する
35 採用	C-Format	ネット毎の配線禁止領域に複数レイヤを指定したい	⇒ 採用 現状の上下のレイヤのみの指定から、任意の複数レイヤを指定できるようにする

Ver.3.0からの変更点(詳細)

■ Ver.3.0からの変更 その4

(Ver.3.1での変更は青字、Ver.3.2は赤字で記載)

No.	Format	内容	Ver.3.x 対処
36 追加	G-Format	3D化のため部品配置にZ座標を追加したい	⇒ 採用 部品配置を定義する.component構文にz軸方向の座標を示す「z」を追加する
37 追加	G-Format	フォーマットバージョンを定義したい	⇒ 採用 フォーマットバージョンを定義する.version構文に第3引数として追加する
38 追加	C-Format M-Format R-Format	フォーマットバージョンを定義したい	⇒ 採用 [CMR]-Formatの要素LPB_[CMR]FORMATに属性versionを追加する
39 追加	C-Format	外部モデルのVHDLに熱端子を指定できない	⇒ 採用 VHDL外部モデル参照で、属性subtypeをオプションとして追加する
40 追加	C-Format	外部モデルに3D形状モデルが指定できない	⇒ 採用 外部モデルとして、STEP、IGES、SATを追加する
41 追加	C-Format	外部モデルの3D形状モデルが配置できない	⇒ 採用 3D形状モデルの配置指定にアフィン変換の行列要素を指定する要素affine_transformationを追加する
42 追加	C-Format	外部モデルの3D形状モデルに熱特性が指定できない	⇒ 採用 3D形状モデル内のオブジェクトにR-Formatで定義するマテリアルを指定する要素materialを追加する
43 追加	C-Format	外部モデルの3D形状モデルに発熱源が指定できない	⇒ 採用 3D形状モデル内のオブジェクトに発熱源として消費電力を指定する要素heat_sourceを追加する
44 追加	C-Format	外部モデル参照で、過渡熱回路網モデルを追加したい	⇒ 採用 「ED-7800 半導体パッケージの過渡熱回路網モデル」JTAMを追加する

成果物:IEEE P2401WG 関係

■ IEEE P2401WG Draft一覧

Draft1 : 02_20180713_IEEE-p2401-2010_D1.doc

Draft2 : 10_20181219_IEEE-p2401-2010_D2.doc

Draft3 : 15_20190329_IEEE-p2401-2020_D3.doc

■ IEEE P2401WG Comment Sheet一覧

For D1 : 07_20181015_Comment_Sheet_for_IEEEp2401
_REV1.xlsx

For D2 : 15_20190329_Comment_Sheet_for_IEEEp2401
_REV2_after_meeting.xlsx