
**JEITA LPB-SC
IEEE2401-2020TG & MDL-WG
IBIS7 勉強会**

2018.06.12



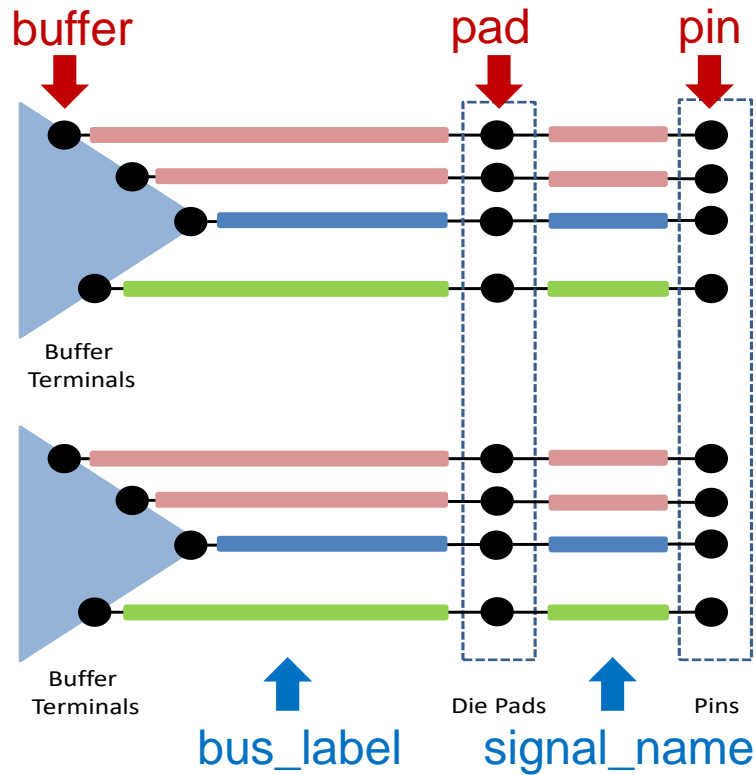
この勉強会について

- 本資料作成時点での最新版「BIRD189.6_draft1.docx」をもとに、IBISv7についてLPBに関連する部分(=モデル接続に関する記述)を説明します。また、IBISv7で新たに加わった内容だけでなく、過去のIBIS規格でLPBに関連する部分も扱います。
 - IBISv7資料 https://ibis.org/interconnect_wip/bird189.6_draft1.docx
 - IBISv6規格書 https://ibis.org/ver6.1/ver6_1.pdf
- この勉強会の対象者
 - IBISの基本的な事項を知っている方（[Pullup] [Pulldown] [POWER Clamp][GND Clamp] について、回路的な意味や特性の見方を理解している程度）を対象としています。
- この勉強会に参加すると、、、
 - IBIS内でのPKGモデルとDIEモデルの接続に関する記述が理解できる。
 - IBISv7で新たに加わった [Interconnect Model] や die_pad や bus_label について理解できる。
- この勉強会に参加しても、、、
 - IBISの使い方は理解できません。
 - IBISから回路的な特性を読み取れるようにはなりません。

IBISの基本

- IO Buffer Information Specification の略です。
- もともとはIOバッファの特性を表現していましたが、進化を続けてPKGやボードの特性も表現できるようになりました。
- [] 鍵カッコでくられた語を **キーワード** といいます。バッファや伝送線路の各特性はキーワード単位で表現されています。
- | 以降はコメント文です。

各種名称

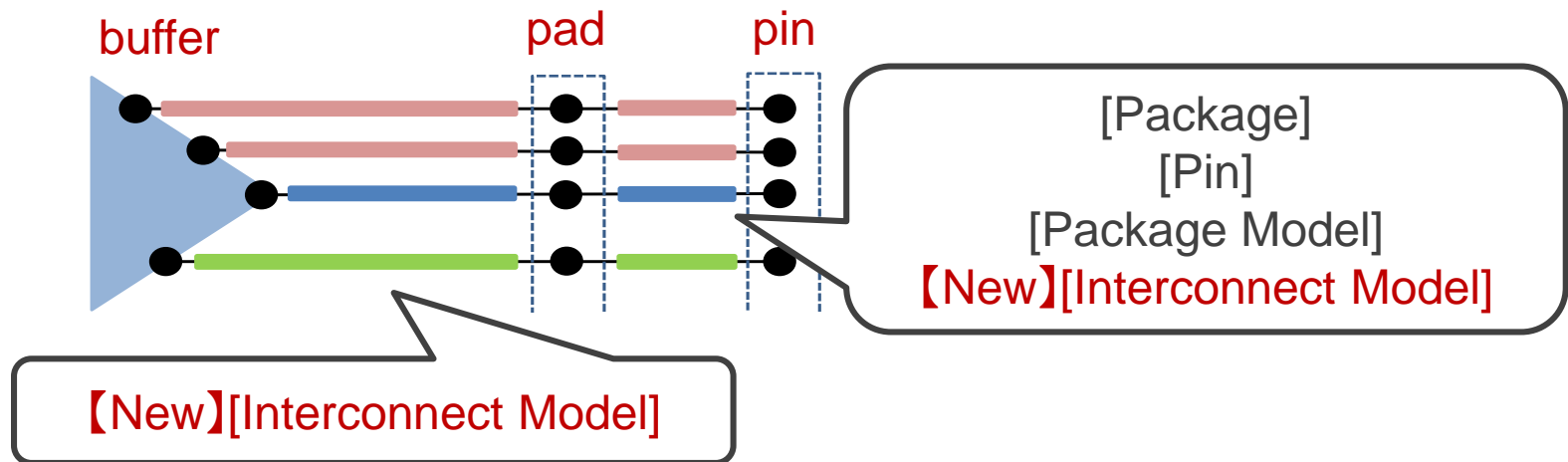


IBISv7の仕様書内では、電源GNDのことを「Rail」と表現し、信号のことを「I/O」と表現している。(過去の仕様書ではなかった表現)

PKGモデル

IBISのパッケージモデル

- IBISv6まで
 - [Package]
 - [Pin]
 - [Package Model]
 - IBISの進化とともにキーワードが増えていき、ついに3つになった。
- IBISv7以降
 - [Interconnect Model] が新たに加わり、4つになる。
 - [Interconnect Model] は、ダイ内部の配線モデルとしても使用できる

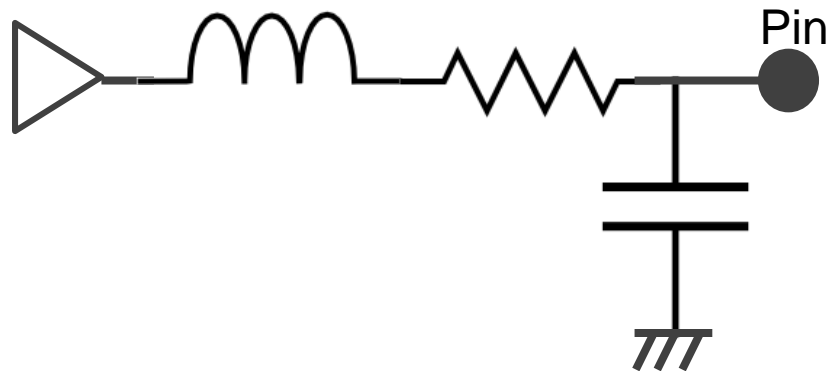


[Package]

[Package]

	typ	min	max
R_pkg	1.56	1.23	2.03
L_pkg	3.11n	2.87n	3.68n
C_pkg	3.3p	2.1p	4.6p

- 全てのパッケージの特性を、typ,min,maxの3つの値だけで表現
- おそらく、DIPやQFNパッケージ時代の産物



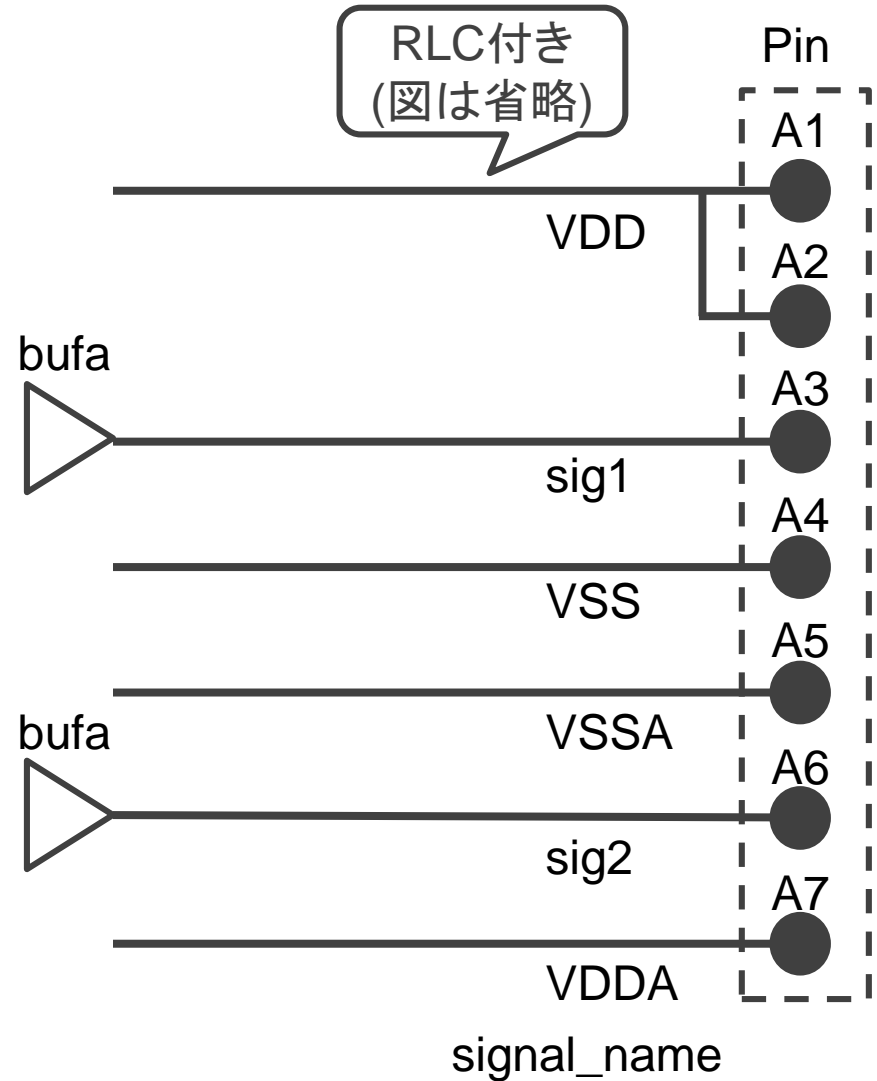
[Pin]

[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufa	1.73	6p	
A7	VDDA	POWER	0.82	0.91n	8p

association

definition

通常、Pin名は物理的な名前にするので、実際のチップのピン数と[Pin]の行数は一致する。

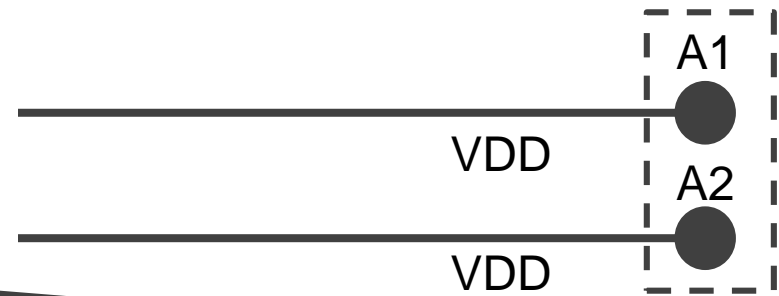


[Package] と [Pin] の共存

[Package]

	typ	min	max
R_pkg	1.56	1.23	2.03
L_pkg	3.11n	2.87n	3.68n
C_pkg	3.3p	2.1p	4.6p

Pin



[Pin] signal_name model_name R_pin L_pin C_pin

A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER	(1.56	3.11n	3.3p)
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufa	1.73	9.3n	6p
A7	VDDA	POWER	0.82	0.91n	8p

実は、[Pin] でRLCを書かない場合は、[Package] の値が有効となる。
 同じsignal_nameにしても短絡扱いにはならない。

対策方法1: コメントアウト

[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufa	1.73	9.3n	6p
A7	VDDA	POWER	0.82	0.91n	8p

対策方法2: 並列化

[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
A1	VDD	POWER	24m	0.28n	7p
A2	VDD	POWER	24m	0.28n	7p
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufa	1.73	9.3n	6p
A7	VDDA	POWER	0.82	0.91n	8p

[Package Model]

[Define Package Model] BGA500

[Pin Numbers]

A1 |VDD

A3 |sig1

A6 |sig2

A7 |VDDA

[Merged Pins] A1

A2

[Model Data]

[Inductance Matrix] Sparse_Matrix

[Row] A1

A1 0.28n

A3 0.09n

A6 0.01n

A7 0.01n

...

[Pin]で定義したpin_nameの中で、
Package Modelを接続するPinを記載

電源GNDピンのみ、マージするPinを指定できる。
(ただし、後述のBus_labelが同じでなければならない)

インダクタンスマトリクス
(キャパシタンスマトリクス、
レジスタンスマトリクス、もある)

- **相互成分**を考慮できるRLCマトリクス(マトリクスではない別の表現方法もある)
- .ibsの中に記載してもよいし、.pkgファイルとして独立して存在してもよい。

3つのPKGモデルとバッファとの接続

- 優先順位は[Package Model]→[Pin]→[Package] (最終的にはツール依存)

[Package]

	typ	min	max
R_pkg	1.56	1.23	2.03
L_pkg	3.11n	2.87n	3.68n
C_pkg	3.3p	2.1p	4.6p

[Pin] signal_name model_name R_pin L_pin C_pin

A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufa	1.73	9.3n	6p
A7	VDDA	POWER	0.82	0.91n	8p

[Define Package Model] BGA500

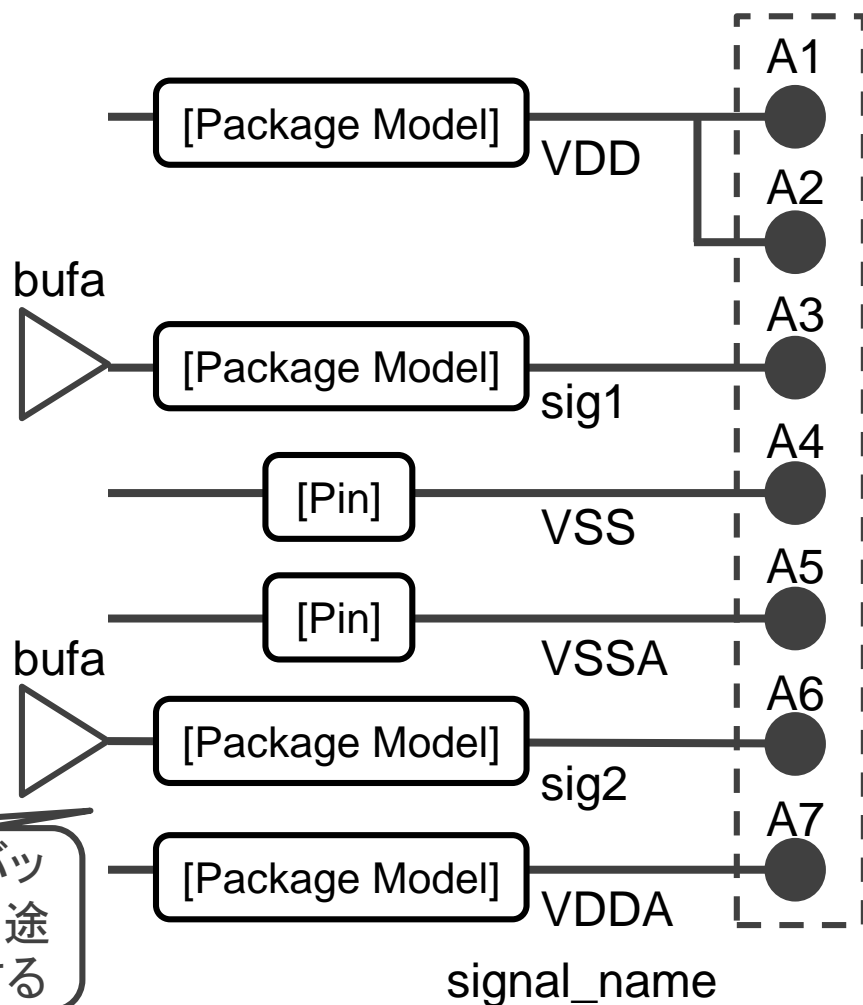
[Pin Numbers]

A1	VDD
A3	sig1
A6	sig2
A7	VDDA

[Merged Pins] A1

A2

...



どの電源GNDがどのバッファに接続するかは、別途 [Pin Mapping] で指定する

バッファーとの接続

[Pin] と [Model Selector]

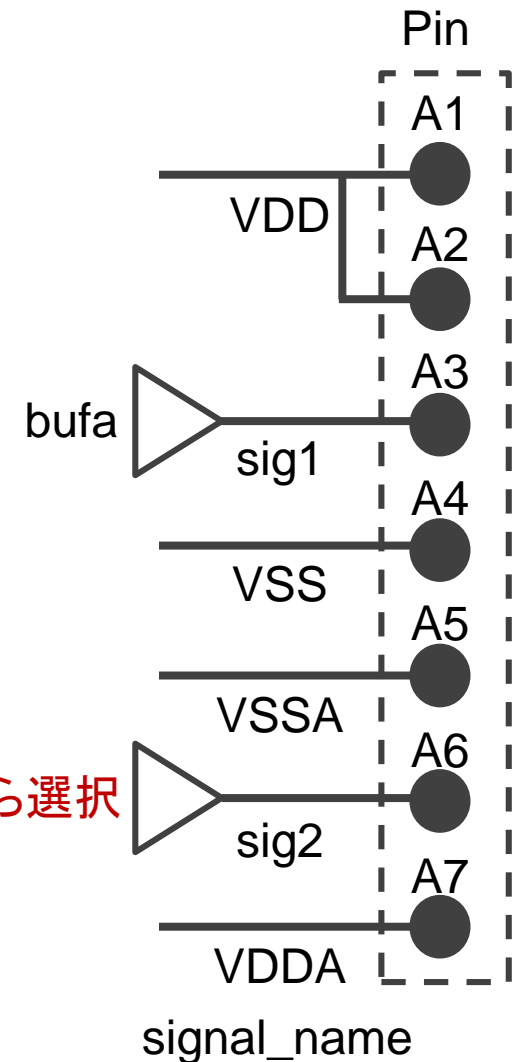
[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufb	1.73	9.3n	6p
A7	VDDA	POWER	0.82	0.91n	8p

[Model Selector] **bufb**

bufc
bufd
bufe

複数のドライバビリティ設定があるバッファなどは、それぞれの設定でモデルを用意して、[Model Selector]で選択可能なものを明示する。

bufc~eから選択

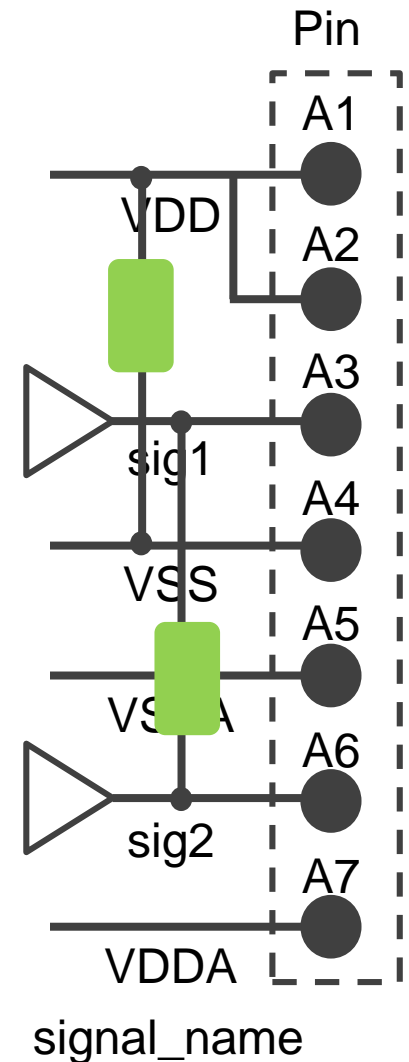
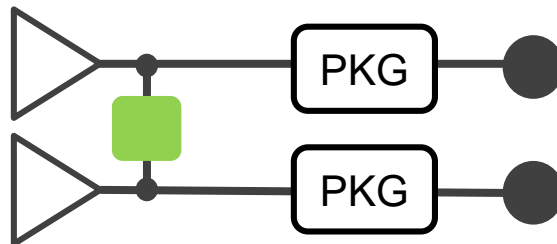


[Pin] と [Series Pin Mapping]

[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufb	1.73	6p	
A7	VDDA	POWER	0.82	0.91n	8p

[Series Pin Mapping]	pin_2	model_name
A3	A6	termination
A1	A4	onchipdecap

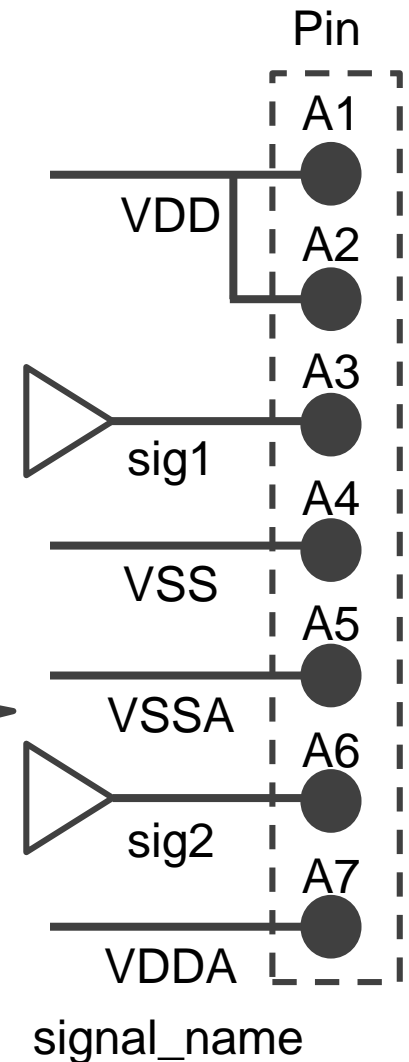
ピンとピンの間にモデルを挿入する。
 PKGモデルよりも内側に挿入される。
 ダイ内部の差動終端モデルやオンチップ容量モデルが表現可能



バッファに電源GNDを供給するには

- バッファに電源GNDを供給する唯一の方法として [Pin Mapping] が用意されています。従って、電源GNDピンのPKGモデルがIBIS内にあったとしても、[Pin Mapping]が無ければ意味がありません。
- [Pin Mapping]が無い場合は、バッファには理想電源が供給されるます。
- いわゆる、Power-Aware SI を実施したい場合は [Pin Mapping]が必須です。

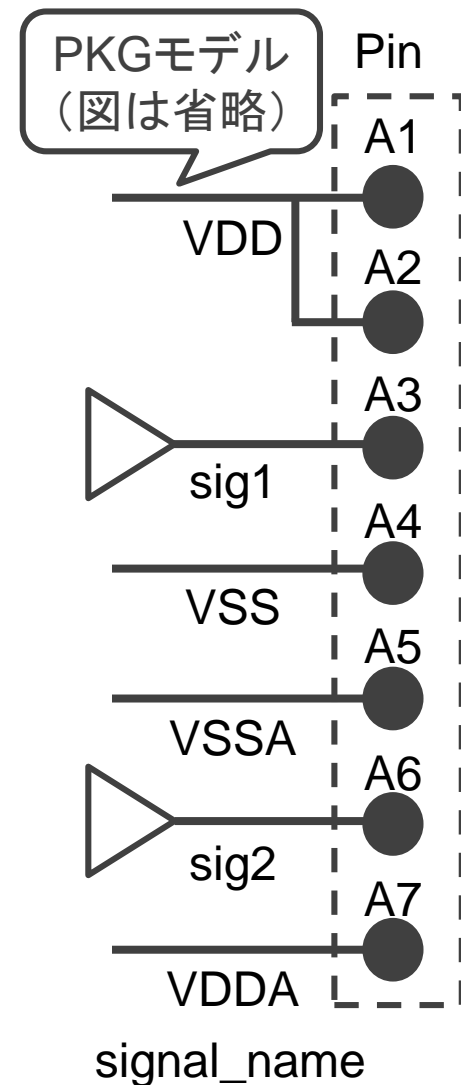
[Pin Mapping] で
バッファに電源・
GNDを接続する。



V6までの[Pin] と [Pin Mapping]※

※[Pin Mapping] と [Series Pin Mapping] は名前が似ているが、全く無関係

[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufb	1.73	9.3n	6p
A7	VDDA	POWER	0.82	0.91n	8p



V6までの[Pin] と [Pin Mapping]※

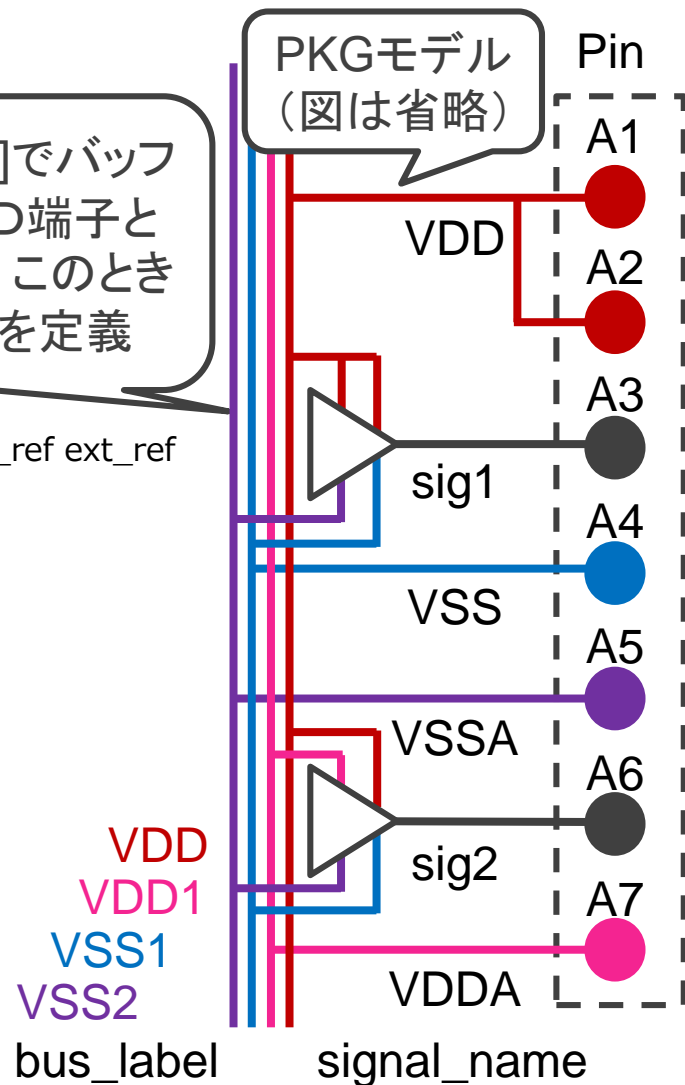
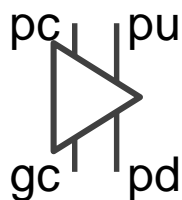
※[Pin Mapping] と [Series Pin Mapping] は名前が似ているが、全く無関係

[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufb	1.73	9.3n	6p
A7	VDDA	POWER	0.82	0.91n	8p

[Pin Mapping]でバッファの電源GND端子とPinをショート。このとき、bus_labelを定義

[Pin Mapping]	pulldown_ref	pullup_ref	gnd_clamp_ref	power_clamp_ref	ext_ref
A1	NC	VDD			
A2	NC	VDD			
A4	VSS1	NC			
A5	VSS2	NC			
A7	NC	VDD1			
A3	VSS1	VDD	VSS2	VDD	
A6	VSS1	VDD	VSS2	VDD1	

bus_label



V6までの[Pin] と [Pin Mapping]※

※[Pin Mapping] と [Series Pin Mapping] は名前が似ているが、全く無関係

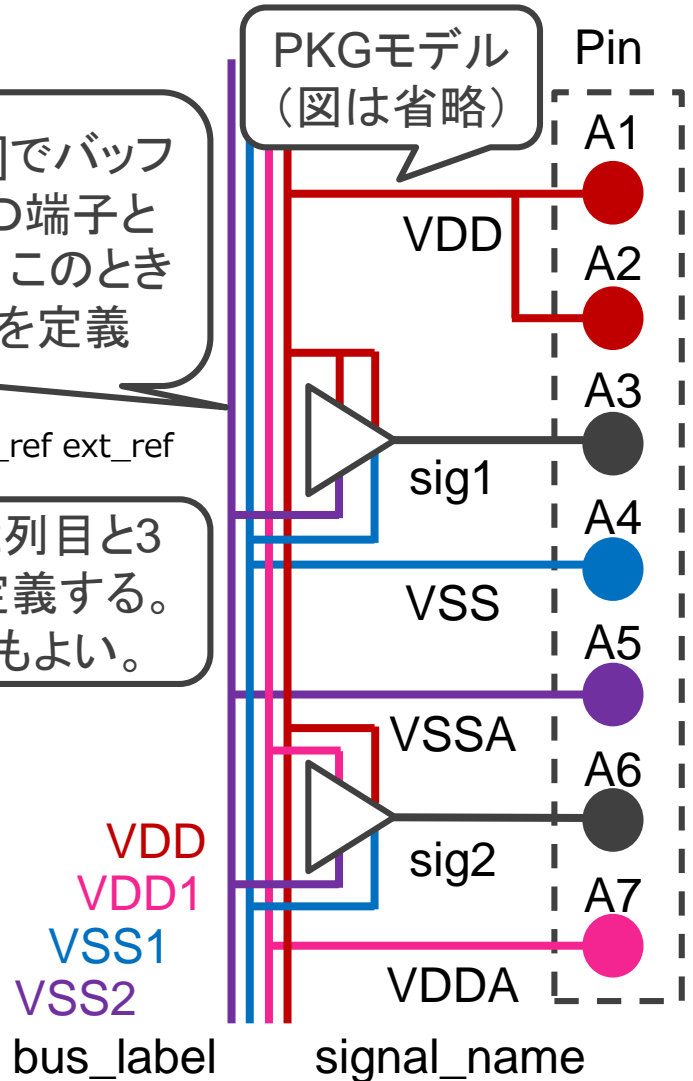
[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufb	1.73	9.3n	6p
A7	VDDA	POWER	0.82	0.91n	8p

[Pin Mapping]でバッファの電源GND端子とPinをショート。このとき、bus_labelを定義

[Pin Mapping]	pulldown_ref	pullup_ref	gnd_clamp_ref	power_clamp_ref	ext_ref
A1	NC	VDD			
A2	NC	VDD			
A4	VSS1	NC			
A5	VSS2	NC			
A7	NC	VDD1			
A3	VSS1	VDD	VSS2	VDD	
A6	VSS1	VDD	VSS2	VDD1	

電源GNDピンの行の2列目と3列目でbus_label名を定義する。signal_nameと同じでもよい。

V6までは、[Pin]に記載のあるPinは全て記載しなければならなかった。(A2を省略してはいけない)

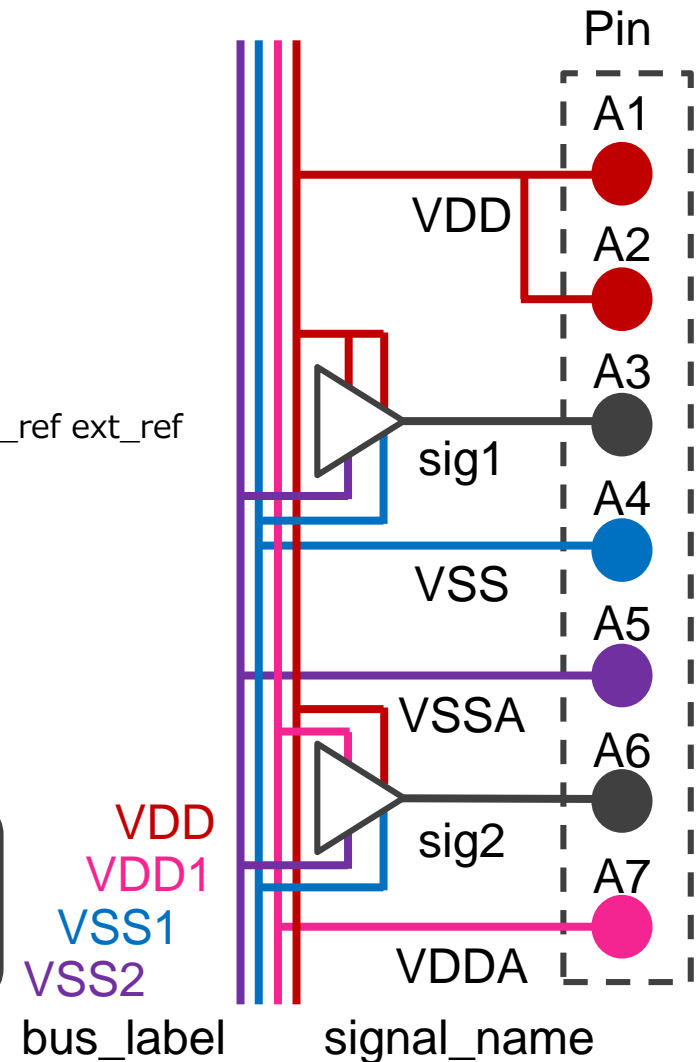


【New】V7からの[Pin] と [Pin Mapping]

[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufb	1.73	9.3n	6p
A7	VDDA	POWER	0.82	0.91n	8p

[Pin Mapping]	pulldown_ref	pullup_ref	gnd_clamp_ref	power_clamp_ref	ext_ref
A4	VSS1	NC			
A5	VSS2	NC			
A7	NC	VDD1			
A3	VSS1	VDD	VSS2	VDD	
A6	VSS1	VDD	VSS2	VDD1	

V7からは、電源GNDピンは記載しなくてもよい。
記載しない場合は、signal_nameと同じbus_label
が自動的に定義される。(この例ではVDD)



【New】[Bus Label]

[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p
A5	VSSA	GND	0.75	0.87n	5p
A6	sig2	bufb	1.73	9.3n	6p
A7	VDDA	POWER	0.82	0.91n	8p

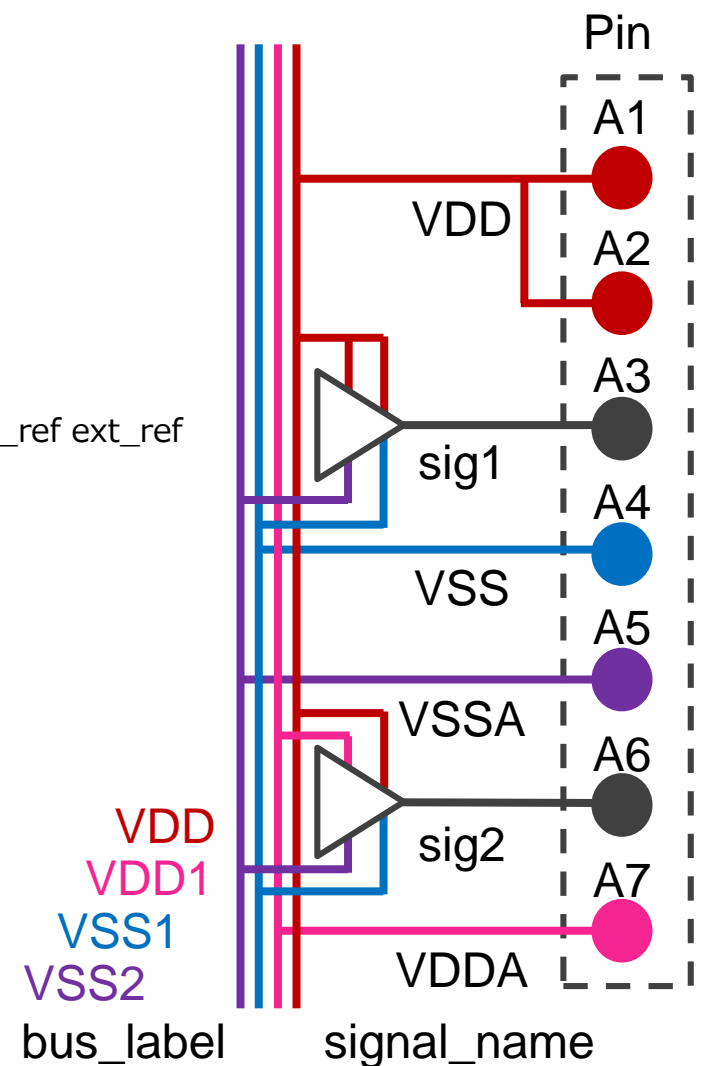
[Pin Mapping]	pulldown_ref	pullup_ref	gnd_clamp_ref	power_clamp_ref	ext_ref
A3	VSS1	VDD	VSS2	VDD	
A6	VSS1	VDD	VSS2	VDD1	

[Bus Label] signal_name



association definition

[Pin Mapping]内でbus_labelを定義せずに、
新キーワード[Bus Label]で定義してもよい。



【New】 [Die Supply Pads]

[Bus Label] signal_name

VSS2

VSSA

definition

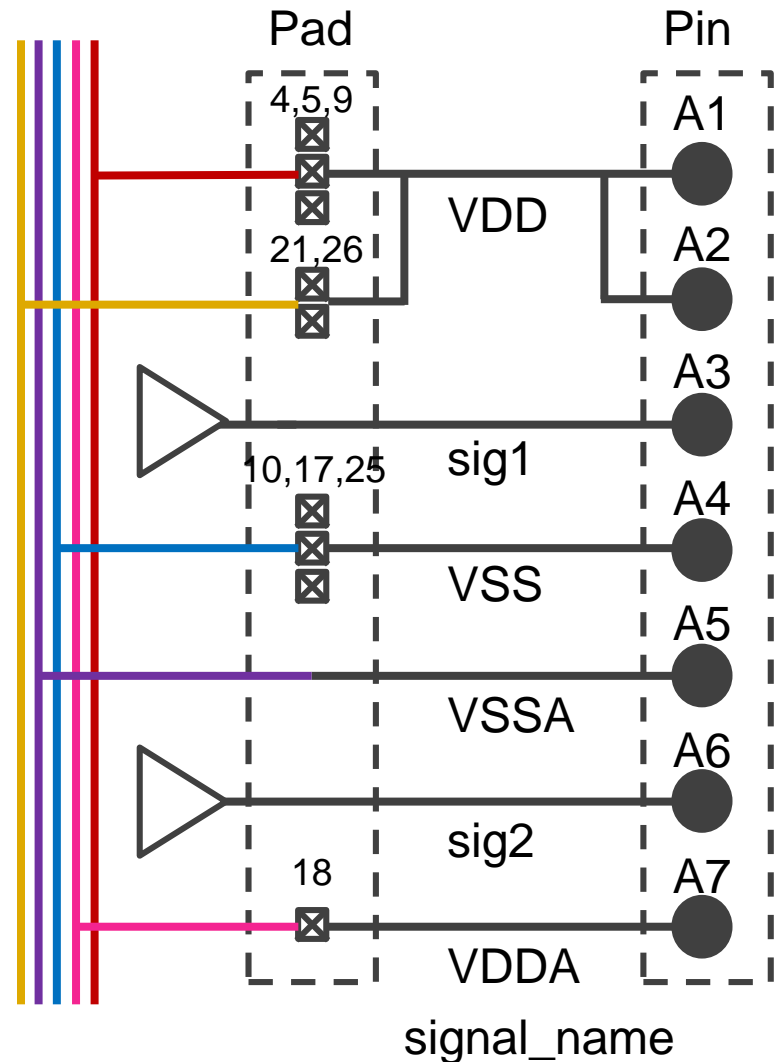
association

[Die Supply Pads] signal_name bus_label

[Die Supply Pads]	signal_name	bus_label
4	VDD	VDD
5	VDD	VDD
9	VDD	VDD
21	VDD	VDD2
26	VDD	VDD2
18	VDDA	VDD1
10	VSS	VSS1
17	VSS	VSS1
25	VSS	VSS1

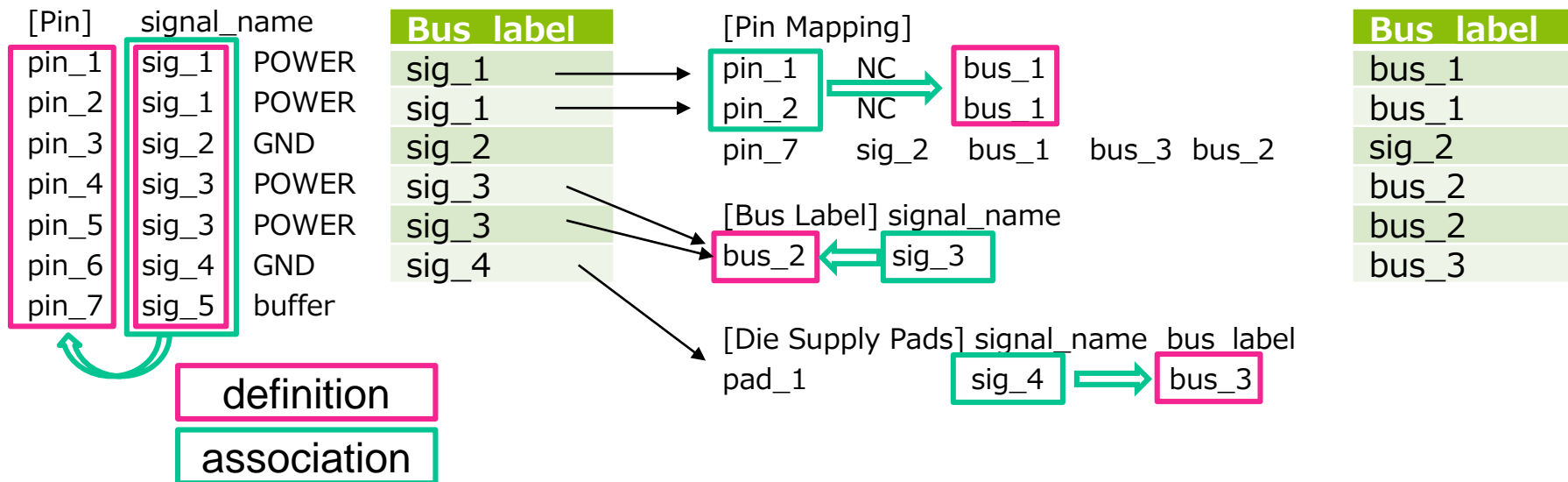
電源GNDピンのみ、Pad名を定義できる。
Pad名は物理的な名前にする
ことを想定していると思われる。
Pad名と同時に、bus_labelも定
義できる。

VDD
VDD1
VSS1
VSS2
VDD2
bus_label

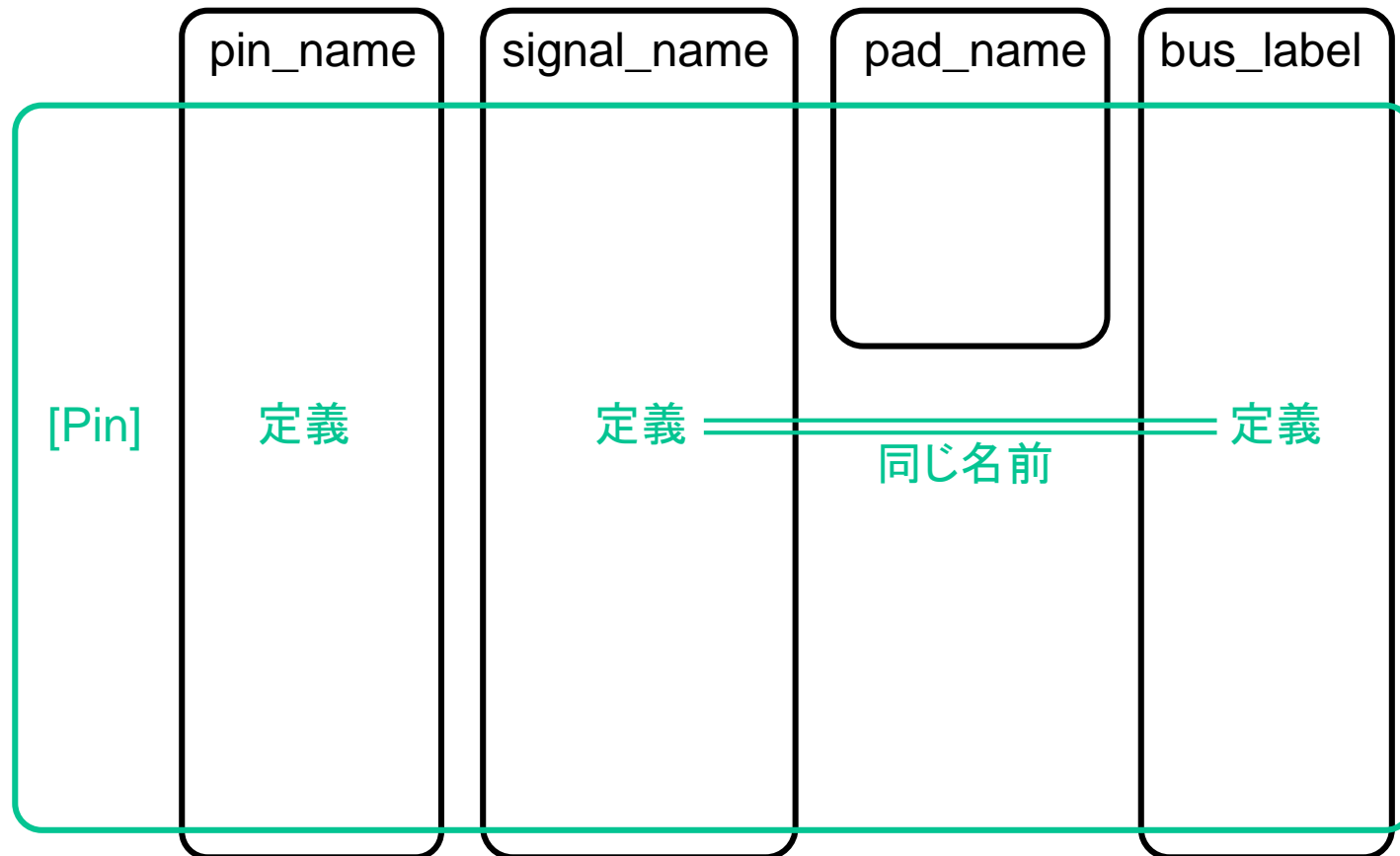


Bus_label

- Bus_labelは電源GNDのDIE内部のネット名のようなもの。IBISv6以前では[Pin Mapping]でのみ定義できた。
- IBISv7からは、[Pin Mapping]と、[Bus Label]と、[Die Supply Pads]と、[Pin]で定義できるようになる。
- IBISv7からは、[Pin]のSignal_name が暗黙的にBus_labelとなる。別のBus_labelを定義したい場合は、[Pin Mapping]か、[Bus Label]か、[Die Supply Pads]でBus_labelを上書き定義する。
- Bus_labelは、全てのPinと関連付けられる。

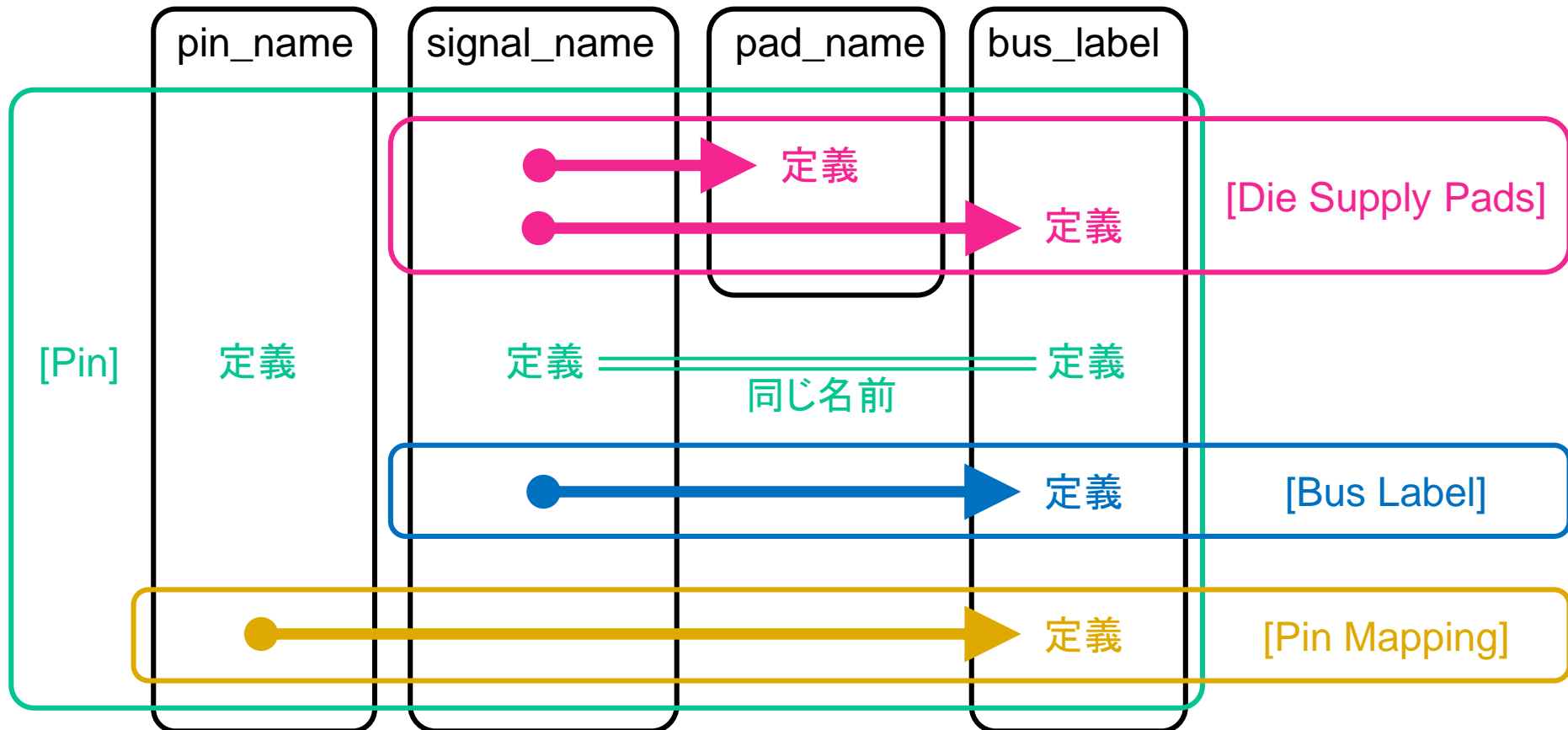


pin_name, pad_name, signal_name, bus_label



[Pin] で定義した全てのpin_nameには、signal_name と bus_label が定義される。

pin_name, pad_name, signal_name, bus_label



[Pin] で定義した全ての `pin_name` には、`signal_name` と `bus_label` が定義される。

[Die Supply Pads] と [Bus Label] で、特定の `signal_name` に対して別の `bus_label` を定義できる。

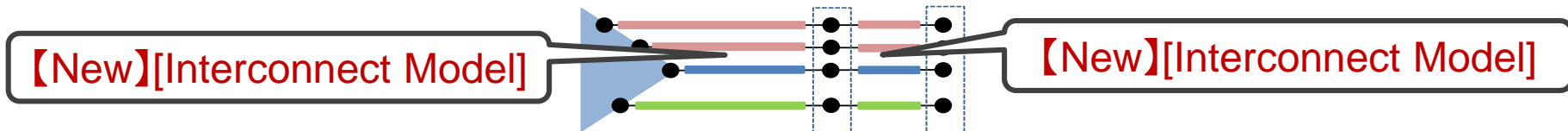
[Pin Mapping] で、特定の `pin_name` に対して別の `bus_label` を定義できる。

[Die Supply Pads] で、特定の `signal_name` に対して `pad_name` を定義できる。

【New】[Interconnect Model]

【New】 [Interconnect Model]

- SparameterやSPICEモデルなどを読み込むことができる。
- PKGモデルや、DIE内部の配線のモデルとして使用できる。
- 電源GNDのモデルとして使用する場合は、別途[Pin Mapping]が必要



```
[Interconnect Model]                               A1_A3_DQ_TS_buf_pin_XTALK+  
File_TS dq_buf_pin_xtalk.s6p+  
Number_of_terminals = 7+  
1 Pin_I/O      pin_name      A1      Aggressor_Only+  
2 Buffer_I/O   pin_name      A1      Aggressor_Only+  
3 Pin_I/O      pin_name      A2+  
4 Buffer_I/O   pin_name      A2+  
5 Pin_I/O      pin_name      A3      Aggressor_Only+  
6 Buffer_I/O   pin_name      A3      Aggressor_Only+  
7 Pulldown_ref pin_name      A1+  
[End Interconnect Model]+
```

[New] [Interconnect Model]

Sparaファイル名

```
[Interconnect Model]
File_TS dq buf pin xtalk.s6p
Number_of_terminals = 7
1 Pin_I/O      pin_name      A1      Aggressor_Only
2 Buffer_I/O   pin_name      A1      Aggressor_Only
3 Pin_I/O      pin_name      A2
4 Buffer_I/O   pin_name      A2
5 Pin_I/O      pin_name      A3      Aggressor_Only
6 Buffer_I/O   pin_name      A3      Aggressor_Only
7 Pulldown_ref pin_name      A1
[End Interconnect Model]
```

モデル端子数

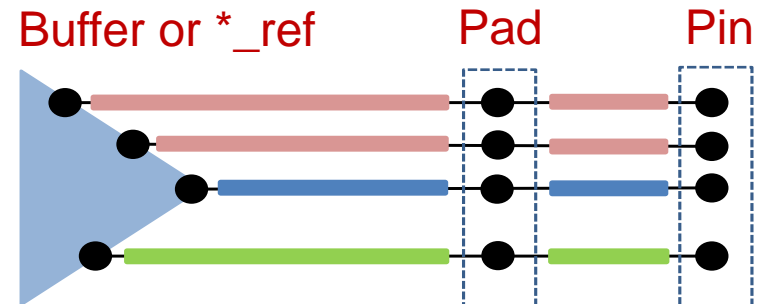
【New】 [Interconnect Model]

```
[Interconnect Model]
File: is_dq_buf_pin_xtalk.s6p
Number_of_terminals = 7
1 Pin_I/O      pin_name
2 Buffer_I/O   pin_name
3 Pin_I/O      pin_name
4 Buffer_I/O   pin_name
5 Pin_I/O      pin_name
6 Buffer_I/O   pin_name
7 Pulldown_ref pin_name
[End Interconnect Model]
```

1列目
モデル端子番号

2列目
物理的位置
(Terminal_type)

物理的位置(Terminal_type)



信号(I/O) 電源・GND(Rail)

- Pin_I/O Pin_Rail
- Pad_I/O Pad_Rail
- Buffer_I/O Buffer_Rail
- Pullup_ref
- Pulldown_ref
- Power_clamp_ref
- Gnd_clamp_ref
- Ext_ref
- A_gnd (Ideal GND)

【New】 [Interconnect Model]

	3列目 端子名の種類 (Terminal_type_qualifier)	4列目 端子名 (Qualifier_entry)
Number_of_terminals = 7		
1	Pin I/O	pin_name A1 Aggressor_Only
2	Buffer I/O	pin_name A1 Aggressor_Only
3	Pin I/O	pin_name A2
4	Buffer I/O	pin_name A2

端子名の種類(Terminal_type_qualifier)

pin_name

[Pin]で定義

signal_name

[Pin]で定義

bus_label

[Pin],[Pin Mapping],[Bus Label],[Die Supply Pads]で定義

pad_name

[Die Supply Pads]で定義

【New】 [Interconnect Model]

```
[Interconnect Model]
File_IS dq_buf_pin_xtalk.s6
Number_of_terminals = 7
1 Pin_I/O      pin_name      A1      Aggressor_Only
2 Buffer_I/O   pin_name      A1      Aggressor_Only
3 Pin_I/O      pin_name      A2
4 Buffer_I/O   pin_name      A2
5 Pin_I/O      pin_name      A3      Aggressor_Only
6 Buffer_I/O   pin_name      A3      Aggressor_Only
7 Pulldown_ref pin_name      A1
[End Interconnect Model]
```

5列目
Aggressor_Only

2列目と3列目の記述がややこしい

2~3列目の組み合わせ

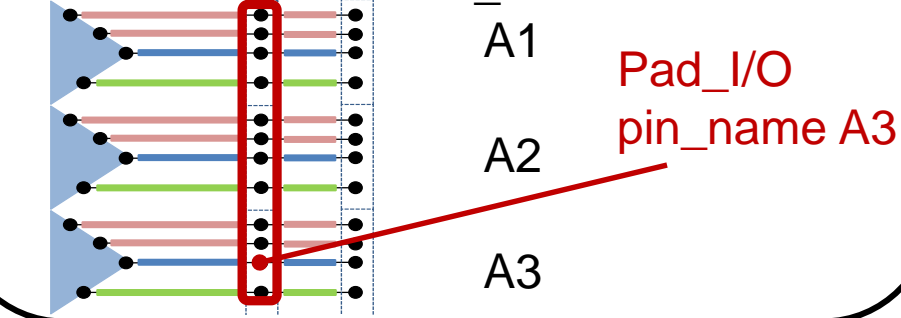
	2列目:物理的位置 (Terminal_type)	3列目:端子名の種類 (Terminal_type_qualifier)			
		pin_name	signal_name	pad_name	bus_label
信号	Pin_I/O	○			
	Pad_I/O	○			
	Buffer_I/O	○			
電源 GND	Pin_Rail	○	○		○
	Pad_Rail		○	○ 定義済みの場合	○
	Buffer_Rail		○		○
	*_ref	○			
	A_gnd				

2~3列目の組み合わせ

	2列目:物理的位置 (Terminal_type)	3列目:端子名の種類 (Terminal_type_qualifier)			
		pin_name	signal_name	pad_name	bus_label
信号	Pin_I/O	○			
	Pad_I/O	○			
	Buffer_I/O	○			
電源 GND	Pin_Rail	○			
	Pad_Rail				
	Buffer_Rail				
	*_ref	○			
	A_gnd				

信号には、Pad名などは定義できない。
 例えば、Padにモデルを接続するときには、
 「Pad_I/O」で位置がPadであることを明示し、
 「pin_name」でどのPadかを指定する。

Buffer Pad Pin Pin_name



Pad_I/O pad_name A3
 は間違いになるので注意！

2~3列目の組み合わせ

	2列目:物理的位置 (Terminal_type)	3列目:端子名の種類 (Terminal_type_qualifier)			
		pin_name	signal_name	pad_name	bus_label
信号	Pin_I/O	○			
	Pad_I/O	○			
	Buffer_I/O	○			
電源 GND	Pin_Rail	○	○		○
	Pad_Rail		○	○	○
	Buffer_Rail			○	
	*_ref				
	A_gnd				

電源・GNDピン(Pin_Rail)にモデルを接続する場合、普通に pin_name を用いることが出来る。他にも、例えば bus_label を用いても良い。「bus_label はDIE内部のネット名のようなもの」と説明してきたが、bus_label は必ず何らかのpin_nameと結びついているので、間接的にPinの指定ができる。

2~3列目の組み合わせ

	2列目:物理的位置 (Terminal_type)	3列目:端子名の種類 (Terminal_type_qualifier)			
		pin_name	signal_name	pad_name	bus_label
信号	Pin_I/O	○			
	Pad_I/O	○			
	Buffer_I/O	○			
電源 GND	Pin_Rail	○	○		○
	Pad_Rail		○	○	○
				定義済みの場合	
	Buffer_Rail		○		○
	*_ref	○			
A_	電源・GNDパッド(Pad_Rail)にモデルを接続する場合、pin_nameの代わりにpad_nameを用いる。				

電源・GNDパッド(Pad_Rail)にモデルを接続する場合、pin_nameの代わりにpad_nameを用いる。

2~3列目の組み合わせ

	2列目:物理的位置 (Terminal_type)	3列目:端子名の種類 (Terminal_type_qualifier)			
		pin_name	signal_name	pad_name	bus_label
信号	Pin_I/O	○			
	Pad_I/O	○			
	Buffer_I/O	○			
電源 GND	Pin_Rail	○	○		○
	Pad_Rail		○	○ 定義済みの場合	○
	Buffer_Rail		○		○
	*_ref	○			
	A_gnd				

bus_label や signal_name を使用して、モデルの1端子に複数のバッファの電源・GND端子を接続することができる。この場合、2列目は Buffer_Rail にする。

2~3列目の組み合わせ

	2列目:物理的位置 (Terminal_type)	3列目:端子名の種類 (Terminal_type_qualifier)			
		pin_name	signal_name	pad_name	bus_label
信号	Pin_I/O	○			
	Pad_I/O	○			
	Buffer_I/O	○			
電源 GND	Pin_Rail	○	○		○
	Pad_Rail		○	○ 定義済みの場合	○
	Buffer_Rail		○		○
	*_ref	○			
	A_gnd				

1つのバッファの電源・GND端子にモデルを接続する場合、2列目は *_ref で、3列目は pin_name にする。

*_ref

Pullup_ref、 Pulldown_ref、

Power_clamp_ref、 Gnd_clamp_ref、 Ext_ref

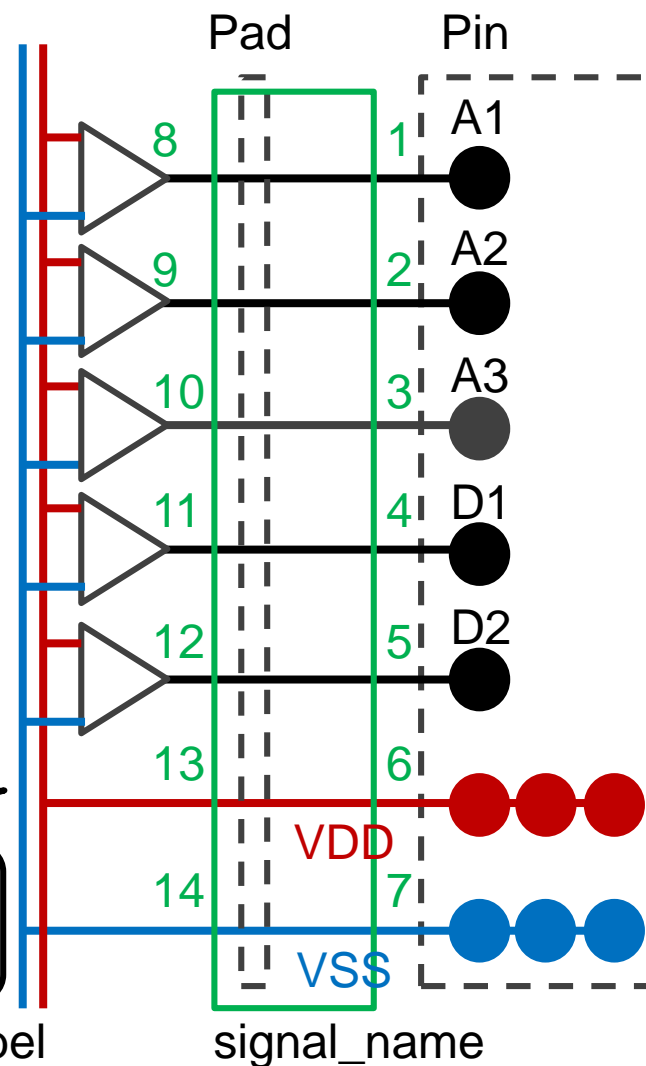
2~3列目の組み合わせ

	2列目:物理的位置 (Terminal_type)	3列目:端子名の種類 (Terminal_type_qualifier)			
		pin_name	signal_name	pad_name	bus_label
信号	Pin_I/O	○			
	Pad_I/O	○			
	Buffer_I/O	○			
電源 GND	Pin_Rail	○	○		○
	Pad_Rail		○	○	○
	Buffer_				○
	*_ref	○			
	A_gnd				

A_gnd はモデルに理想GNDを接続するための記述なので、端子名の指定はない。

[Interconnect Model] 記述例 1

```
[Interconnect Model]      Full_ISS_buf_pin_2
File_IBIS-ISS full_buf_pin.iss full_buf_pin_2_typ
Number_of_terminals = 14
1 Pin_I/O pin_name A1
2 Pin_I/O pin_name A2
3 Pin_I/O pin_name A3
4 Pin_I/O pin_name D1
5 Pin_I/O pin_name D2
6 Pin_Rail signal_name VDD
7 Pin_Rail signal_name VSS
8 Buffer_I/O pin_name A1
9 Buffer_I/O pin_name A2
10 Buffer_I/O pin_name A3
11 Buffer_I/O pin_name D1
12 Buffer_I/O pin_name D2
13 Buffer_Rail signal_name VDD
14 Buffer_Rail signal_name VSS
[End Interconnect Model]
```



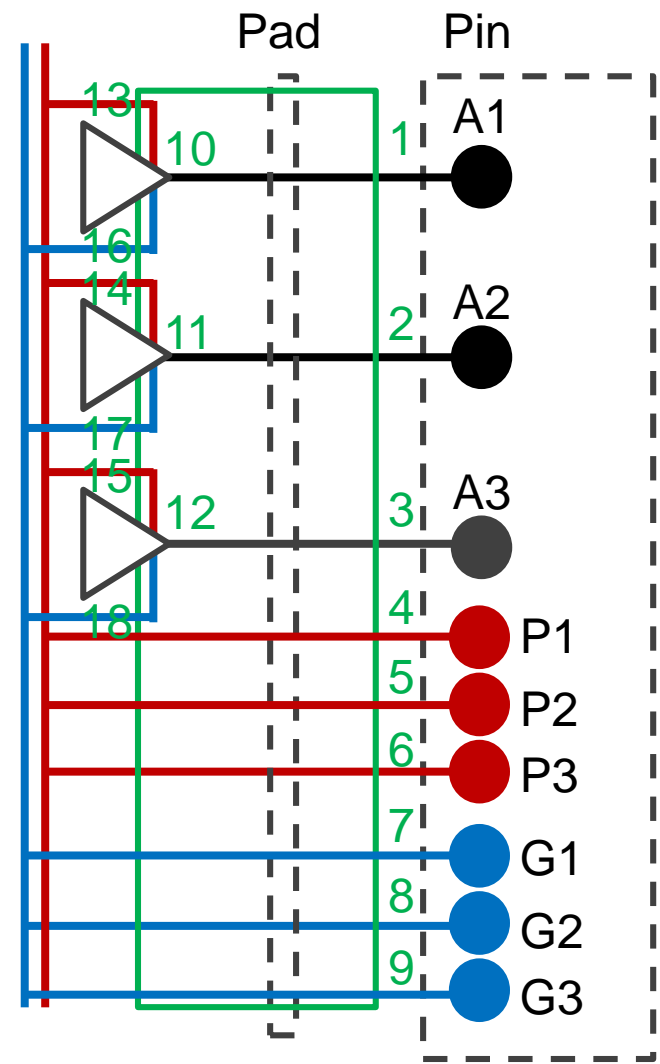
電源・GNDのPinはマージされて全て同じ電位
電源・GNDのバッファ端子はマージされて全て同じ電位

[Interconnect Model] 記述例 2

```

[Interconnect Model]      Full_ISS_buf_pin_1
File_IBIS-ISS    full_buf_pin_1.iss      full_buf_pin_typ
Number_of_terminals = 18
1 Pin_I/O    pin_name    A1
2 Pin_I/O    pin_name    A2
3 Pin_I/O    pin_name    A3
4 Pin_Rail   pin_name    P1
5 Pin_Rail   pin_name    P2
6 Pin_Rail   pin_name    P3
7 Pin_Rail   pin_name    G1
8 Pin_Rail   pin_name    G2
9 Pin_Rail   pin_name    G3
10 Buffer_I/O pin_name    A1
11 Buffer_I/O pin_name    A2
12 Buffer_I/O pin_name    A3
13 Pullup_ref pin_name    A1
14 Pullup_ref pin_name    A2
15 Pullup_ref pin_name    A3
16 Pulldown_ref pin_name  A1
17 Pulldown_ref pin_name  A2
18 Pulldown_ref pin_name  A3
[End Interconnect Model]
  
```

現実に最も近い
モデル接続方法

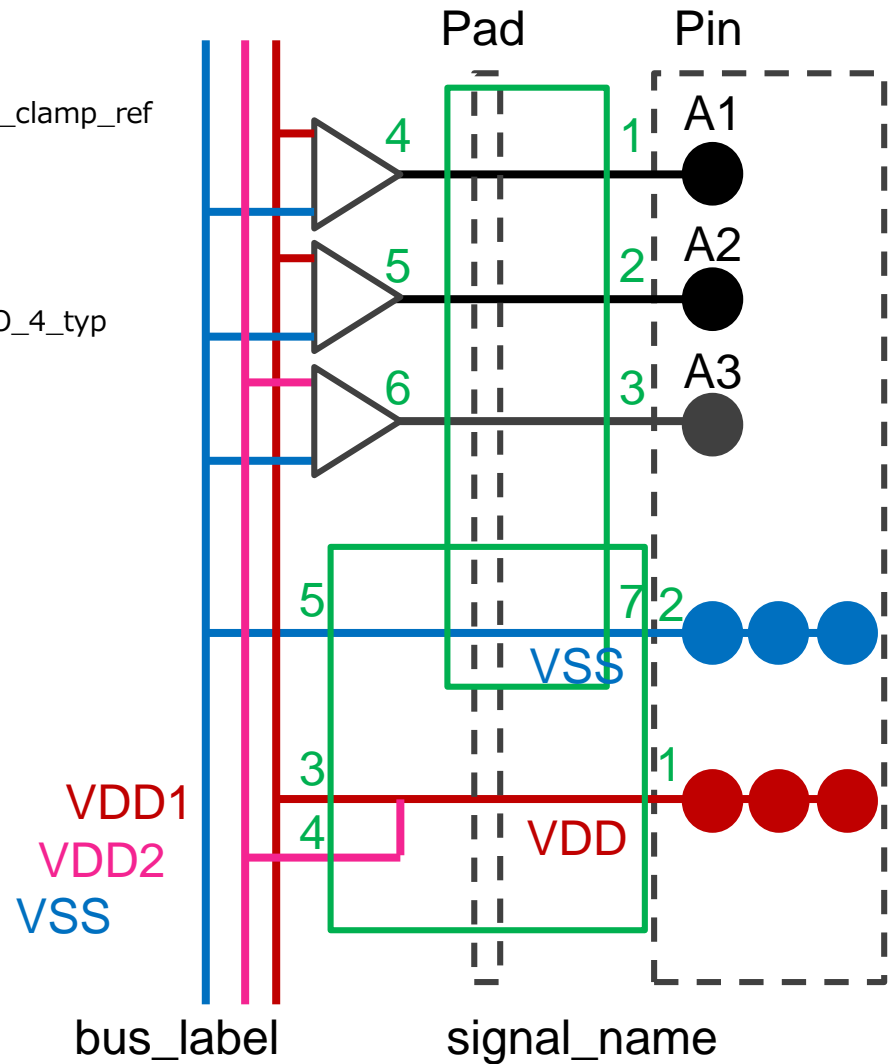


[Interconnect Model] 記述例3

```

[Bus Label] signal_name
VDD1      VDD
VDD2      VDD
[Pin Mapping] pulldown_ref pullup_ref gnd_clamp_ref power_clamp_ref
A1        VSS      VDD1      NC      NC
A2        VSS      VDD1      NC      NC
A3        VSS      VDD2      NC      NC
[Interconnect Model]      Full_ISS_buf_pin_IO_4
File_IBIS-ISS  full_iss_buf_pin_io_4.iss  full_iss_buf_pin_IO_4_typ
Number_of_terminals = 7
1 Pin_I/O      pin_name      A1
2 Pin_I/O      pin_name      A2
3 Pin_I/O      pin_name      A3
4 Buffer_I/O   pin_name      A1
5 Buffer_I/O   pin_name      A2
6 Buffer_I/O   pin_name      A3
7 Pin_Rail     signal_name   VSS
[End Interconnect Model]
[Interconnect Model]      Full_ISS_PDN_bl_sn
File_IBIS-ISS  buf_pin_pdn.iss  buf_pin_PDN_typ
Number_of_terminals = 5
1 Pin_Rail     signal_name   VDD
2 Pin_Rail     signal_name   VSS
3 Buffer_Rail   bus_label    VDD1
4 Buffer_Rail   bus_label    VDD2
5 Buffer_Rail   signal_name   VSS
[End Interconnect Model]

```



【New】 [Interconnect Model Set]

- 複数の Interconnect Model をまとめて Interconnect Model Set を定義できる。
- Interconnect Model Set は独立して別ファイル(.ims)で存在できる。（次項参照）
- 例えば、DDR部分のパッケージモデルがバイトレーンごとにモデリングされていた場合

```
[Interconnect Model Set] DDR3_PKG
[Manufacturer] AAA Packaging, Inc.
[Description] This set contains one model for each byte lane.
[Interconnect Model] DQ_byte0
...
[End Interconnect Model]
[Interconnect Model] DQ_byte1
...
[End Interconnect Model]
[Interconnect Model] DQ_byte2
...
[End Interconnect Model]
[Interconnect Model] DQ_byte3
...
[End Interconnect Model]
[End Interconnect Model Set]
```

[Interconnect Model Set]
DDR3_PKG

byte0.s16p

byte1.s16p

byte2.s16p

byte3.s16p

【New】 [Interconnect Model Group]

- 複数(または単数)の Interconnect Model Set をまとめて Interconnect Model Group を定義できる。
- 同じ対象に対して、複数の Interconnect Model Group を定義できる。どれを使用するかはユーザーがEDAで指定する。
- Interconnect Model Set が.ibs内にあるのか、外部ファイルの.imsファイルにあるのか指定する。

```
[Interconnect Model Group] A1_TS
| Interconnect Model Set  file_reference
A1_TS                touchstone/ts_sets.ims
[End Interconnect Model Group]
|
[Interconnect Model Group] A1_ISS_buf_pad_TS_pad_pin
| Interconnect Model Set  file_reference
A1_ISS_buf_pad        NA
A1_TS_pad_pin         NA
[End Interconnect Model Group]
```

[Interconnect Model Group]
A1_TS

[Interconnect Model Set]

[Interconnect Model Group]
A1_ISS_buf_pad_TS_pad_pin

[Interconnect Model Set]

[Interconnect Model Set]

まとめ IBISv7から,,,

- 幾つかのキーワードが加わりました
 - [Interconnect Model]
 - [Interconnect Model Set]、[Interconnect Model Group]
 - [Bus Label]
 - [Die Supply Pads]
- bus_label の考え方が強化されましたが、記述が非常に複雑です。
 - [Pin]で bus_label が自動的(暗黙的)に定義されるようになりました。
 - [Bus Label], [Die Supply Pads], [Pin Mapping] で bus_labelを上書きして定義可能。ただし、この3つのキーワードで同じPinに定義しないように管理が必要。
- 電源・GNDのみ pad_name が定義できるようになりました。信号は定義できません。
- [Interconnect Model] でSpara等が使用可能となりましたが、記述が非常に複雑です。
 - 「padにモデルを接続するために、pin_nameを用いなければならない」、「pinにモデルを接続するために、bus_labelを用いてもよい」など、理解に苦しむこととなります。
 - 「Rail」や「I/O」など、独特な表現を用います。

付録

[Pin Mapping] と [Package Model]の[Merge]

- [Pin Mapping]は、複数の電源GNDピンをまとめてbus_labelを定義できる。
- [Package Model]の[Merged Pins]は、複数の電源GNDピンをまとめることができる。

```
[Pin] signal_name model_name R_pin L_pin C_pin
A1 VDD POWER 12m 0.14n 14p
A2 VDD POWER
A3 sig1 bufa 1.23 5.3n 4p
A4 VSS GND 6m 0.1n 16p
```

[Pin Mapping]

```
A1 NC bus_1
A2 NC bus_1
```

```
A4 bus_2 NC
A3 bus_2 bus_1 bus_2 bus_1
```

[Define Package Model] BGA500

[Pin Numbers]

```
A1 |VDD
A3 |sig1
A4 |VSS
```

```
[Merged Pins] A1
A2
```

...

両者はほぼ同じ意味

[Merged Pins]の記述ルール

*[Merged Pins] XXX
YYY*

XXX : [Pin]でPOWER又はGND
: かつ [Pin Mapping]にある
: かつ [Pin Numbers]にある

YYY : [Pin]でPOWER又はGND
: かつ XXXと同じBus_label
: かつ [Pin Numbers]にない

[Pin Mapping] と [Package Model]の[Merge]

[Package]

	typ	min	max
R_pkg	1.56	1.23	2.03
L_pkg	3.11n	2.87n	3.68n
C_pkg	3.3p	2.1p	4.6p

[Pin] signal_name model_name R_pin L_pin C_pin

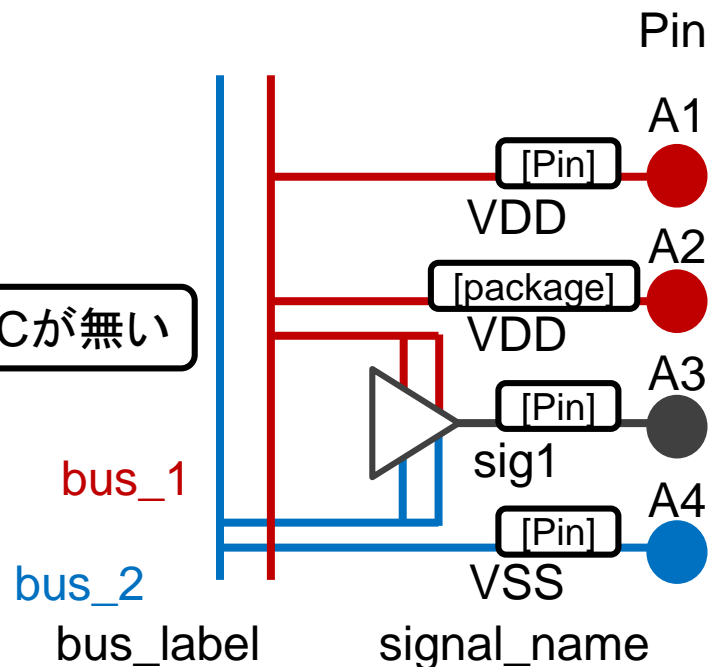
A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p

A2のRLCが無い

[Pin Mapping]

A1	NC	bus_1			
A2	NC	bus_1			
A4	bus_2	NC			
A3	bus_2	bus_1	bus_2	bus_1	

A2が有る



[Pin Mapping] と [Package Model]の[Merge]

[Package]

	typ	min	max
R_pkg	1.56	1.23	2.03
L_pkg	3.11n	2.87n	3.68n
C_pkg	3.3p	2.1p	4.6p

[Pin] signal_name model_name R_pin L_pin C_pin

A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p

A2のRLCが無い

[Pin Mapping]

A1	NC	bus_1			
A2	NC	bus_1			
A4	bus_2	NC			
A3	bus_2	bus_1	bus_2	bus_1	

A2が有る

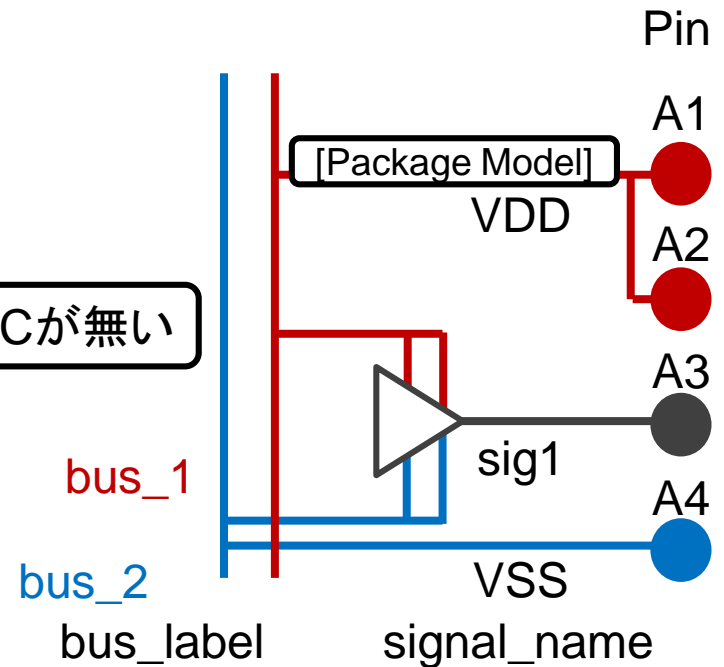
[Define Package Model] BGA500

[Pin Numbers]

A1	VDD
A3	sig1
A4	VSS

...

A2が無い。
[Pin Mapping] で同じbus_labelに指定されているPinは[Package Model]でも自動的にショート



[Pin Mapping] と [Package Model]の[Merge]

[Package]

	typ	min	max
R_pkg	1.56	1.23	2.03
L_pkg	3.11n	2.87n	3.68n
C_pkg	3.3p	2.1p	4.6p

[Pin]

signal_name	model_name	R_pin	L_pin	C_pin
A1 VDD	POWER	12m	0.14n	14p
A2 VDD	POWER			
A3 sig1	bufa	1.23	5.3n	4p
A4 VSS	GND	6m	0.1n	16p

A2のRLCが無い

[Pin Mapping]

A1	NC	bus_1			
A2	NC	bus_1			
A4	bus_2	NC			
A3	bus_2	bus_1	bus_2	bus_1	

A2が有る

[Define Package Model]

A2が無い。
[Pin Mapping] で同じbus_labelに指定されているPinは[Package Model]でも自動的にショート

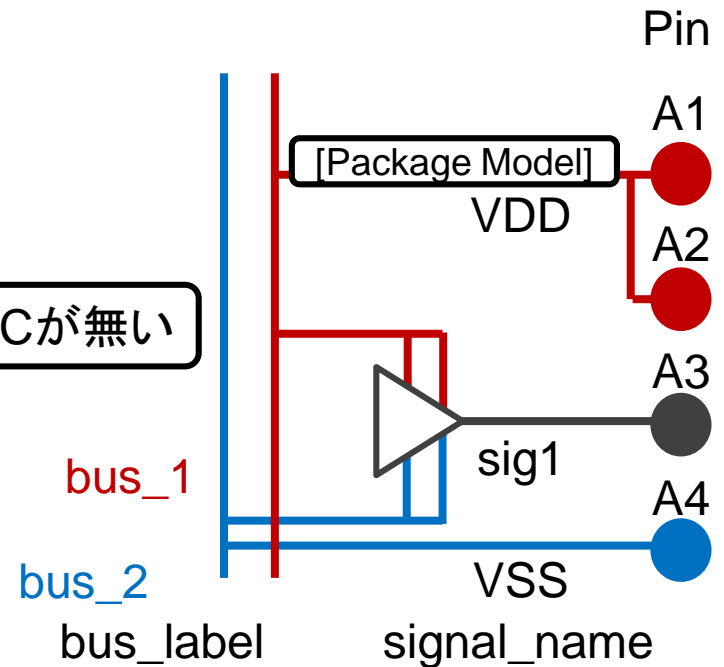
[Pin Numbers]

A1	VDD
A3	sig1
A4	VSS

[Merged Pins]

A1	
A2	
...	

[Merged Pins]で明示しても良い



[Pin Mapping] と [Package Model]の[Merge]

[Package]

	typ	min	max
R_pkg	1.56	1.23	2.03
L_pkg	3.11n	2.87n	3.68n
C_pkg	3.3p	2.1p	4.6p

[Pin] signal_name model_name R_pin L_pin C_pin

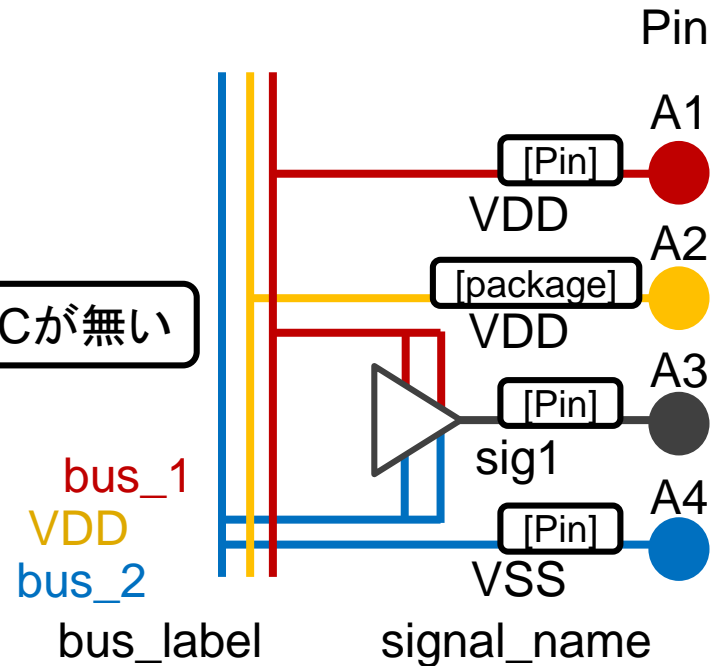
A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p

[Pin Mapping]

A1	NC	bus_1			
A4	bus_2	NC			
A3	bus_2	bus_1	bus_2	bus_1	

A2のRLCが無い

A2が無い
A1のBus_label ≠ A2のBus_label



[Pin Mapping] と [Package Model]の[Merge]

[Package]

	typ	min	max
R_pkg	1.56	1.23	2.03
L_pkg	3.11n	2.87n	3.68n
C_pkg	3.3p	2.1p	4.6p

[Pin]

signal_name	model_name	R_pin	L_pin	C_pin
A1 VDD	POWER	12m	0.14n	14p
A2 VDD	POWER			
A3 sig1	bufa	1.23	5.3n	4p
A4 VSS	GND	6m	0.1n	16p

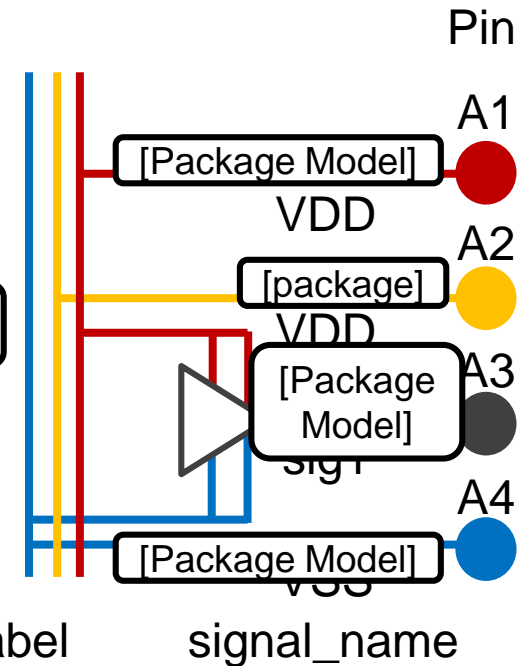
[Pin Mapping]

A1	NC	bus_1		
A4	bus_2	NC		
A3	bus_2	bus_1	bus_2	bus_1

[Define Package Model] BGA500

[Pin Numbers]

A1	VDD
A3	sig1
A4	VSS
...	



A2のRLCが無い

A2が無い
A1のBus_label ≠ A2のBus_label

A2が無い

[Pin Mapping] と [Package Model]の[Merge]

[Package]

	typ	min	max
R_pkg	1.56	1.23	2.03
L_pkg	3.11n	2.87n	3.68n
C_pkg	3.3p	2.1p	4.6p

[Pin] signal_name model_name R_pin L_pin C_pin

A1	VDD	POWER	12m	0.14n	14p
A2	VDD	POWER			
A3	sig1	bufa	1.23	5.3n	4p
A4	VSS	GND	6m	0.1n	16p

A2のRLCが無い

[Pin Mapping]

A1	NC	bus_1			
A4	bus_2	NC			
A3	bus_2	bus_1	bus_2	bus_1	

[Define Package Model] BGA500

[Pin Numbers]

A1	VDD
A3	sig1
A4	VSS

A2が無い

[Merged Pins] A1

A2
...

[Merged Pins] で A1
とA2をマージ

同じBus_labelのPinのみ
[Merge Pins]に記述できる

A2が無い
A1のBus_label ≠ A2のBus_label

