JEITA LPB-SC
LPB モデルベースデザイン・システム設計WG
IEC 62433 バウンダリモデルTG
2019年度Annualレポート

2020.04.16

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

WG　メンバー

フロントローディングTG … 8名

リーダ：東芝

図研	EPSON	村田製作所
図研	東芝	ANSYS
SONY	パナソニック	

IEC 62433/バウンダリモデルTG… 8名

リーダ：コニカミノルタ

EPSON	リコー	客員　弘前大
デンソー	マジレム	
東芝	ANSYS	

IBIS 活用 TG… 8名

リーダ：ルネサス）

デンソー	リコー	客員　弘前大
東芝	ソシオネクスト	
パナソニック	SONY	

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

モデルベースデザイン・システム設計WG　スコープ

協調設計ツールであるLPB-formatの今後の高度化の方向性を探るために
『協調設計のフロントローディング化』と『システム設計との協調』
について研究を行う

1. フロントローディングTG
   - ・フロントローディング設計フロー確立
   - ・MBD/MBSEの最新技術動調査　業界横展開、人材育成

本TGの位置付け

2. IEC62433/バウンダリモデルTG
   - ・EMCを課題としたシステムvsICの協調設計の研究

3. IBIS活用TG
   - ・電源系の協調設計をフロントローディング化させるための
     IBISモデル高度化

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

FY19計画 :IEC62433/バウンダリモデルTG

【目的】(中期計画)

EMC設計のバウンダリモデルとしてIEC62433の妥当性を検証する

【2019年の取り組み】

◆ IEC62433を理解する

✓ IEC62433の背景、規格ドキュメント、関連文献の調査

◆ IEC62433を使ってみる(イミュニティーモデル検証を優先)

✓ ターゲットLSIを選定しTLP法の試験を行い、誤動作モデルを作成する

✓ ESD評価、EFT評価と整合するかを検証する

◆ IEC62433を修正する

✓ Part6のを活用するための課題を示す

【2019年度の成果物】

◆ IEC62433の動向調査結果

◆ イミュニティーバウンダリモデルの検証結果

【日程】

	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月
IEC62433を理解する		規格ドキュメント／関連文献調査 →		★IEC62433動向調査結果						
IEC62433を使ってみる		→	LSI選定 → 計画作成	★TLP検証計画 → DUT設計	→	EvaluationKit入手 →	→ DPI／TLP評価	→	★DPI/TLP評価結果の報告	

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

2019年度の実績

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

◆IEC 62433を理解する

- IEC 62433 Part2～5の規格書を購入
- IEC 62433 Part6の審議団体として、SC47A国内委員会で承認
- 金本先生にIEC 62433の解析と関連文献調査

⇒〈添付資料1 〉を参照

システムレベルのESDは規格の守備範囲であると記載はあるが、イミュニティーモデルの実例が無い。

↓

JEITAの検証実験のターゲットとしてとり挙げる価値がある。

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

◆IEC 62433を使ってみる

- SerDesLSIを題材としてDPI試験を実施

EMC-SC パナソニック様とのコラボ⇒〈添付資料2〉を参照

- LSIのインピーダンス測定を実施

⇒〈添付資料3〉を参照

- DPI試験結果からイミュニティーモデルを策定した

⇒〈添付資料4〉を参照

DPI試験から求めたイミュニティーモデルは周波数ドメインの分析に向いている。しかし、システムのESD試験のようなパルス印加に対する耐性を求めるには不向きである。

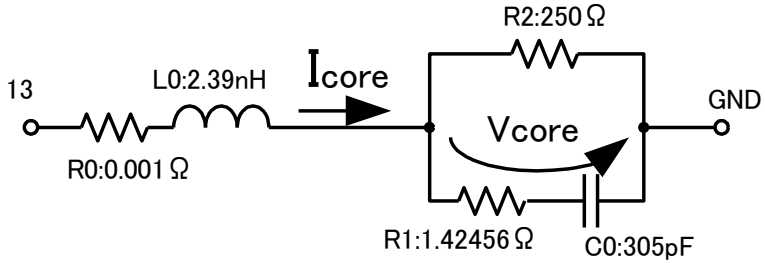
DPI試験から得られたイミュニティーモデルは、周波数ドメインのBCI試験／放射イミュニティー試験のバウンダリとしては適している。フロントローディングTGと協力して具体的な協調設計の姿を考えてみる。
（5月のTGに参加させていただく）

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

◆IEC 62433を使ってみる

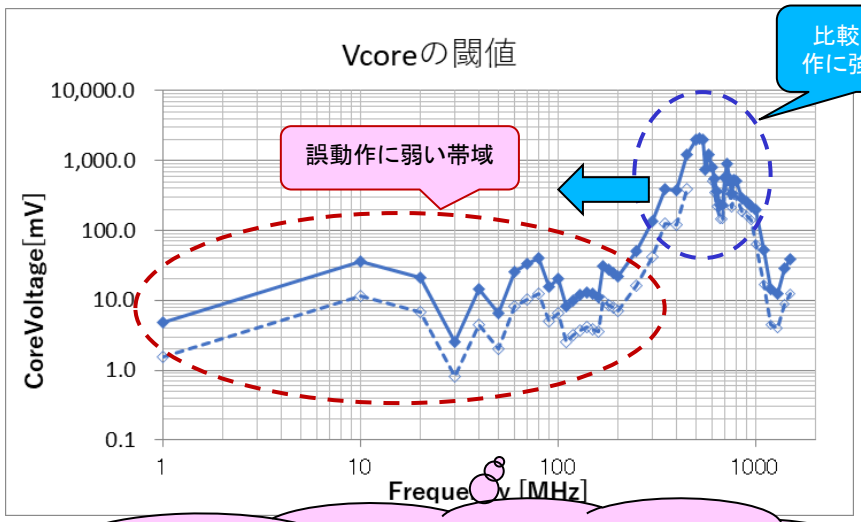
IEC 62433 Part4に従い導出したイミュニティーモデル=バウンダリ

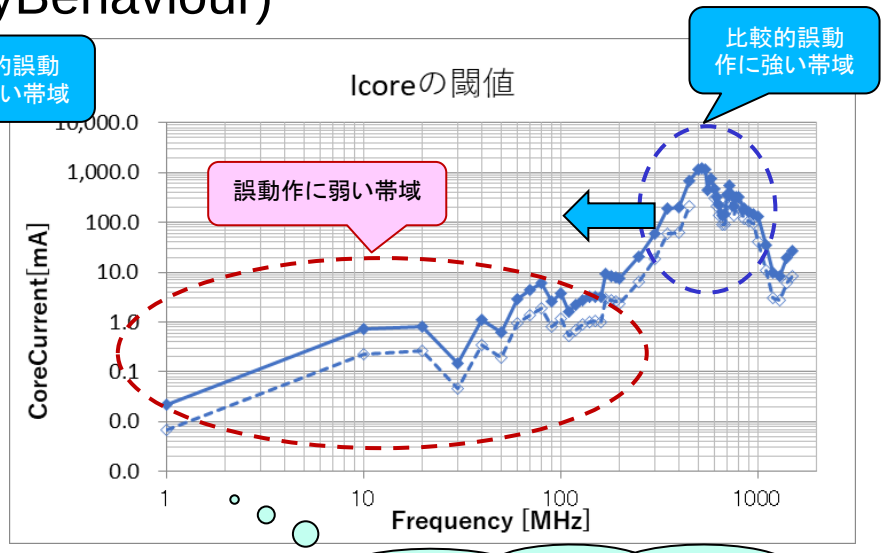
PDN（PassiveDistributionNetwork)



設計初期にこのようなモデルをもとにセットメーカーと半導体メーカーが協調設計を行えば以下のような議論も可能になるのでは？

IB（ImmunityBehaviour)





セットメーカーとしては、一定の耐量を基板パターンと合わせて保証したい。
半導体の誤動作耐性をより低周波まで高めて欲しい。

半導体メーカーとしては、低域の弱さはセット側（基板）で補ってほしい。セット側で対応するインダクタンス成分は2nHを確保してほしい。

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

イミュニティーモデルの活用

IEC 62433Part4に沿ってバウンダリーとしてイミュニティーモデル（バウンダリ）を作成しました。

セットメーカーと半導体メーカーがこの具体的なバウンダリを設計初期にどう活用していくか半導体メーカの皆さんの意見がほしい

DPI試験から作成したイミュニティーモデルを使ってどのようにフロントローディングを実現するか？

〈意見〉

2020年度にフロントローディングTGと共同で検討します。

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

◆IEC 62433を使ってみる

IEC 62433Part6（PulseImmunity）に従ってイミュニティーモデルの作成を試行

システムレベルESD解析WGの阪和電子様とのコラボ

→汎用の機能評価ボードを使い試験を実施したためインピーダンスを整合したパルス注入ができなかった。

試験方法を検討して2020年度も試験を行う。

TLPについて知見のある委員会に試験方法を相談させていただく。

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

◆IEC 62433を修正する

- 規格への提言レベルには至っていないが、システムレベルのESDに対する適切なバウンダリモデルを得るための手法はESD誘導パルスによるイミュニティ試験が必要であると考えられる。

DPI／TLPを改善した試験方法の検討を次年度の検討テーマの一つとして提案する

2020年度に検討

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

2020年度の計画

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

2020年度の方針

- 本TGは昨年同様バウンダリモデルをテーマとします。バウンダリを具体的に設定することでモデルベース設計の姿が見えてくるという切り口です。
- ESDテーマは継続しますが、その他取り組みを再検討します。
- フロントローディングTGとのコラボはもとより、他の委員会（EMC-SC、システムレベル解析WG）との情報共有により知見を得て検証をすすめます。

メンバーの皆さん、他のWGの皆さんの意見をいただきながら活動を広げていきます。FtoFの議論はできませんがメールベースでご意見をいただければと思います。

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

2020年度活動を募集します。

今期の活動テーマを募集します。（ご意見が無ければESDを継続）

意見を記載してください。ここに直接記載して

例）Part3（LSIの直接放射）のバウンダリを検討したい。特に放熱FINを付加しても使えるモデルとか・・・

2020年度に検討

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

2020年度計画（ESDの継続案）

- システムレベルのESD試験のバウンダリモデルとしての妥当性検証方法の検討

  ESD試験を行いシミュレーションと実測の相関を検証する

- システムレベルのESD試験のバウンダリモデルとしての試験方法の検討→規格への提言

案）振動減衰波の印加などTLP試験からのアプローチ

案）高速信号へのノイズ印加試験方法の検証

システムレベルESD試験のバウンダリモデルの導出方法を提案する。

※EMC-SCなどJEITAの他部会との連携を取りながらすすめる。

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

謝辞

- DPI測定につきましては、パナソニック株式会社プロダクト解析センターの皆様にご協力いただきました。
- また、今回報告書には記載できませんでしたが、TLP測定を阪和電子株式会社様にご提供いただいております。

ありがとうございました。

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

資料

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

資料の目次

1. IEC 62433の活用に関するディスカッション～IEC 62433 関連文献調査
   IEC 62433-6 について　　弘前大学
2. DPI試験結果（第2報）

   パナソニック(株)　プロダクト解析センター
3. THCV233_234インピーダンス測定結果

   弘前大学

   ルネサス
4. DPI法測定によるイミュニティーモデルの作成

   コニカミノルタ

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

資料1

IEC 62433の活用に関するディスカッション～IEC 62433 関連文献調査
IEC 62433-6 について

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433の活用に関するディスカッション
～IEC 62433 関連文献調査
IEC 62433-6 について

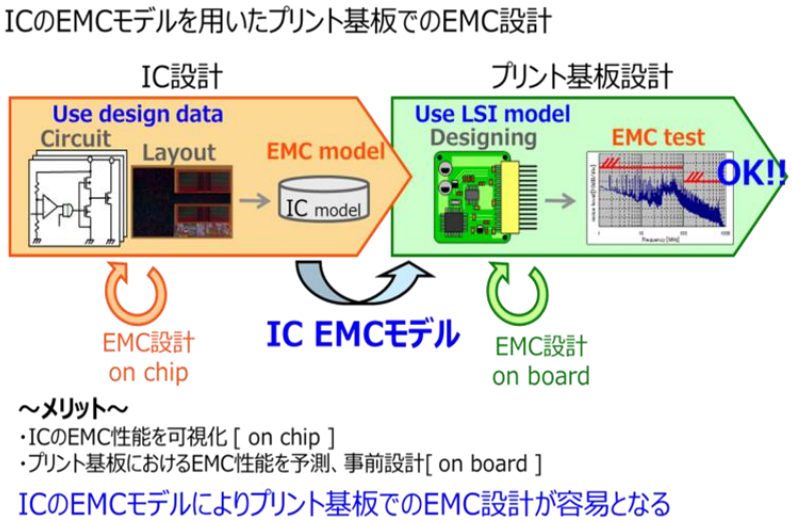
モデルベースデザイン・システムWG
弘前大学

Semiconductor & System Design Technical Committee

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433 とは

- 電磁両立性(EMC：Electromagnetic Compatibility）検証に関する IC (Integrated Circuit) モデリングの国際電気標準会議(IEC)規格



集積回路製品技術委員会/半導体EMC-SC

2

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433 とは

- 電磁両立性(EMC：Electromagnetic Compatibility）検証に関する IC (Integrated Circuit) モデリングの国際電気標準会議(IEC)規格

- ICEM(Integrated Circuit Emission Model)：
  Models of integrated circuits for EMI behavioral simulation

✓他の機器に電磁妨害(EMI：Electro Magnetic Interference)を与えない

IEC 62433-2 ：Conducted Emissions modelling (ICEM-CE)

IEC 62433-3 ：Radiated Emissions modelling (ICEM-RE)

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433 とは

- 電磁両立性(EMC：Electromagnetic Compatibility）検証に関する
  IC (Integrated Circuit) モデリングの国際電気標準会議(IEC)規格

- ICIM(Integrated Circuit Immunity Model):
  Models of integrated circuits for RF immunity behavioral simulation

✓電磁妨害を受けても正常動作(EMS：Electro Magnetic Susceptibility)

IEC 62433-4 ：Conducted Immunity modelling (ICIM-CI)

IEC 62433-5 ：Radiated Immunity modelling (ICIM-RI) →未提案

4

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433 とは

- 電磁両立性(EMC：Electromagnetic Compatibility）検証に関する
  IC (Integrated Circuit) モデリングの国際電気標準会議(IEC)規格

- ICIM(Integrated Circuit Immunity Model):
  Models of integrated circuits for RF immunity behavioral simulation

✓電磁妨害を受けても正常動作(EMS：Electro Magnetic Susceptibility)

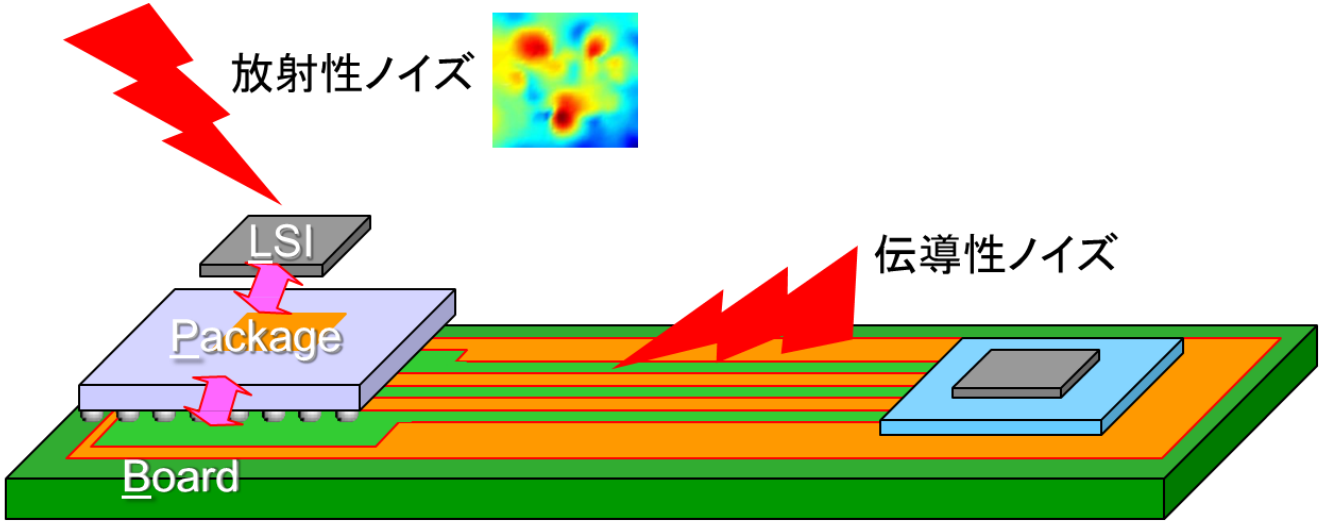
IEC 62433-6 ：Conducted Pulse Immunity modelling (ICIM-CPI)

5

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

ICEM Models of integrated circuits for EMI behavioral simulation

- 目的：ICの伝導性および放射性ノイズ放出をモデル化すること
  →他の機器に電磁妨害を与えない（許容範囲）ことを検証



Integrated Circuit Emission Model

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

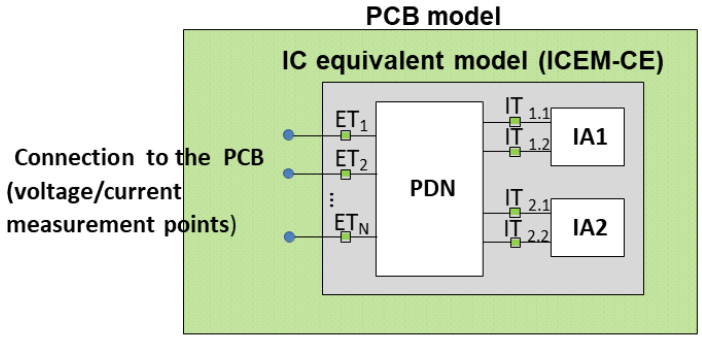
IEC 62433-2 (ICEM-CE)

- 目的：ICの伝導性ノイズ放出をモデル化すること
- 概要：ICを以下の要素で表現

✓IA(Internal Activity)：ICの内部動作。時間・周波数領域の電流・電圧源

✓PDN(Passive Distribution Network): 集中定数、分布定数、Sパラメータ等

✓IBC(Internal Block Coupling): 異電源間の結合等を表すマクロモデル



Chaimae Ghfiri, André Durier, Alexandre Boyer, Sonia Ben Dhia, Christian Marot. "Construction of an Integrated Circuit Emission Model of a FPGA." APEMC, May 2016, Shenzhen, China. pp. 402-405.

Integrated Circuit Emission Model - Conducted Emissions (ICEM-CE)

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-2 (ICEM-CE) ～引用文献

Bibliography

[1] IEC 61967 (all parts), Integrated circuits – Measurement of electromagnetic emissions　EMI評価方法
[2] T. Quarles, A.R.Newton, D.O.Pederson, A.Sangiovanni-Vincentelli, SPICE3 Version 3f3 User's Manual, Department Electrical Engineering Computer Sciences University of California, 1994 回路シミュレーション
[3] ISO 8879, Information processing – Text and office systems – Standard Generalized Markup Language (SGML), October 1986　データ記述マークアップ言語
[4] ANSI INCITS 4:1986, Information Systems – Coded Character Sets – 7-Bit American National Standard Code for Information Interchange　文字コード、ASCII
[5] POZAR, David M, Microwave engineering, 4th ed, ISBN 978-0-470-63155-3, Wiley, 2011 伝送線路
[6] IEC 61967-4, Integrated circuits – Measurement of electromagnetic emissions, 150 kHz to 1 GHz – Part 4: Measurement of conducted emissions, 1 ohm/150 ohm direct coupling method　1Ω/150Ω (VDE)法

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-2-1TR (ICEM-CE) ～引用文献

Technical Report

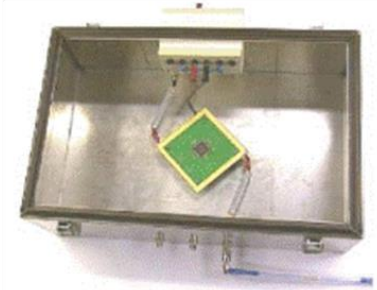
Bibliography

IEC 61967 (all parts), Integrated Circuits – Measurement of electromagnetic emissions　EMI評価方法

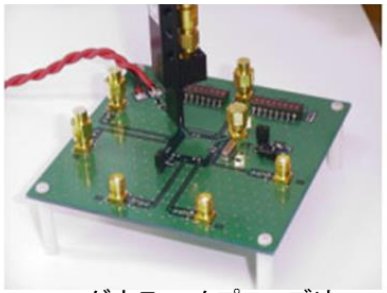
IEC 61967-4 Measurement of conducted emissions　1Ω/150Ω (VDE)法

IEC 61967-5 Measurement of conducted emissions　ワークベンチ・ファラデーケージ法

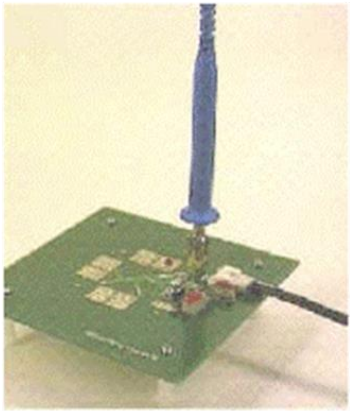
IEC 61967-6 Measurement of conducted emissions　マグネティックプローブ法



ワークベンチ・ファラデーケージ法



マグネティックプローブ法



1Ω/150Ω (VDE)法

IEC 62014-1, Electronic design automation libraries – Part 1: Input/output buffer information specifications (IBIS version 3.2)

IEC/TS 62433-1, EMC IC modelling – Part 1: General modelling framework1

IEC/TS 62404, Logic digital integrated circuits – Specification for I/O Interface Model for Integrated Circuit (IMIC version 1.3)

Integrated Circuit Emission Model - Conducted Emissions (ICEM-CE)

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-2 (ICEM-CE) ～被引用、関連文献(1/3)

C. Ghfiri, A. Boyer, A. Durier and S. Ben Dhia, “A New Methodology to Build the Internal Activity Block of ICEM-CE for Complex Integrated Circuits,” in IEEE Transactions on Electromagnetic Compatibility, vol. 60, no. 5, pp. 1500-1509, Oct. 2018.　IAのモデリング手法

Ghfiri, A. Durier, A. Boyer and S. Ben Dhia, “A new methodology to extract the ICEM-CE internal activity block of a FPGA,” 2017 International Symposium on Electromagnetic Compatibility – EMC EUROPE, Angers, 2017, pp. 1-6.　IAの抽出手法

A. Ramanujan, E. Sicard, A. Boyer, J. Levant, C. Marot and F. Lafon, ″Developing a universal exchange format for Integrated Circuit Emission Model – Conducted Emissions,″ 2015 10th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo), Edinburgh, 2015, pp. 252-257.

C. Ghfiri, A. Durier, C. Marot, A. Boyer and S. Ben Dhia, “Modeling the internal activity of an FPGA for conducted emission prediction purpose,” 2018 IEEE International Symposium on Electromagnetic Compatibility and 2018 IEEE Asia-Pacific Symposium on Electromagnetic Compatibility (EMC/APEMC), Singapore, 2018, pp. 309-314.　IAのモデリング手法

Integrated Circuit Emission Model - Conducted Emissions (ICEM-CE)

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-2 (ICEM-CE) ～被引用、関連文献(2/3)

N. Berbel, R. Fernandez-Garcia and I. Gil, “Characterization and Modeling of the Conducted Emission of Integrated Circuits Up To 3 GHz,” in IEEE Transactions on Electromagnetic Compatibility, vol. 56, no. 4, pp. 878-884, Aug. 2014. PDN, IAのモデリング手法

A. Hamouda, Z. Riah, F. Ndagijimana and S. Serpaud, “Development of Electronic Board Conducted Emissions Model EBEM-CE using the bottom-up approach,” 2014 International Symposium on Electromagnetic Compatibility, Gothenburg, 2014, pp. 751-755. ボトムアップモデリング手法

M. MOIGN, J. LECA, N. Froidevaux, Y. LEDUC and G. JACQUEMOD, ″Effect of SSN on signal and power integrity on 32-bit microcontroller : Modeling and correlation,″ 2019 15th Conference on Ph.D Research in Microelectronics and Electronics (PRIME), Lausanne, Switzerland, 2019, pp. 193-196.

N. Berbel, R. Fern?ndez-Garc?a, I. Gil, B. Li, S. Ben-Dhia and A. Boyer, “An alternative approach to model the Internal Activity of integrated circuits,” 2011 8th Workshop on Electromagnetic Compatibility of Integrated Circuits, Dubrovnik, 2011, pp. 88-92. IAのモデリング手法

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-2 (ICEM-CE) ～被引用、関連文献(3/3)

C. Ghfiri, A. Boyer, A. Bensoussan, A. Durier and S. Ben Dhia, “A New Methodology for EMC Prediction of Integrated Circuits After Aging,” in IEEE Transactions on Electromagnetic Compatibility, vol. 61, no. 2, pp. 572–581, April 2019. 経時変化を考慮したモデリング

C. Ghfiri, A. Durier, A. Boyer and S. B. Dhia, “Methodology of modelling of the internal activity of a FPGA for conducted emission prediction purpose,” 2017 11th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMCCompo), St. Petersburg, 2017, pp. 21–26. IAのモデリング手法

J. Gros, G. Duchamp and J. Levant, ″VHDL–AMS relevance for predicting integrated circuits emissivity and immunity,″ 10th International Symposium on Electromagnetic Compatibility, York, 2011, pp. 310–315.

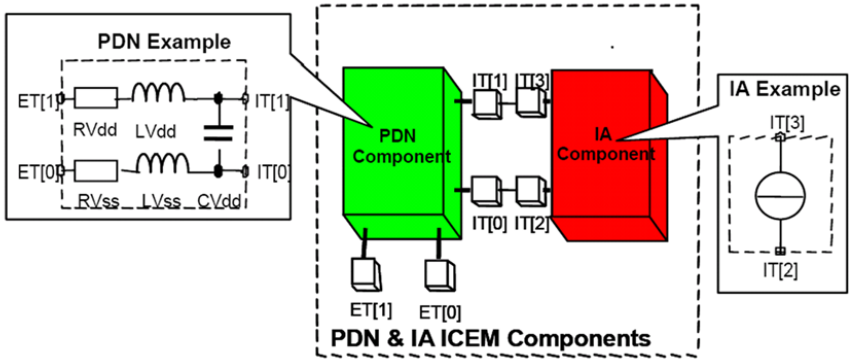
Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-3 (ICEM-RE)

- 目的: ICの放射性ノイズ放出をモデル化すること
- 概要: ICを以下の要素で表現

✓IA(Internal Activity): 放射のパワーを規定。電流の振幅と位相

✓PDN(Passive Distribution Network): (主にパッケージの)LCで表現した



ダイポールアンテナの配置

→ 実測 or IEC 63422-2 ベースの抽出

Lafon, Frederic & Ramanujan, Abhishek. (2014),"IEC 62433-3: ICEM-RE, a new standard for emissions sources description with XML format and implementation within CST". 10.13140/2.1.3179.9684.

Integrated Circuit Emission Model - Radiated Emissions (ICEM-RE)

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-3 (ICEM-RE) ～引用文献(1/2)

Bibliography

[1] ISO 8879, Information processing – Text and office systems – Standard Generalized Markup Language (SGML), October 1986　データ記述マークアップ言語

[2] F. De-Daran, J. Chollet-Ricard, F. Lafon, and O. Maurice, Prediction of the field radiated at one meter from PCB's and microprocessors from near EM field cartography, IEEE Symp. on EMC, pp. 479-482, Istanbul, Turkey, May 2003　近傍磁界スキャン手法

[3] F. De-Daran , F. Lafon, and O. Maurice, "Prediction of the Field Radiated at One Meter from PCB's and Microprocessors from Near EM Field Cartography", in Proc. ICONIC 2003, France, June 2003　同上

[4] Y. Vives, C. Arcambal, A. Louis, F. De-Daran, P. Eudeline, and B. Mazari, Modeling magnetic radiations of electronic circuits using near-field scanning method, IEEE Trans. on EMC, vol. 49, no. 2, pp. 391-400, May 2007

[5] Y. Vives, C. Arcambal, A. Louis, F. De-Daran, P. Eudeline, and B. Mazari, Modeling magnetic emissions combining image processing and an optimization algorithm, IEEE Trans. on EMC, vol. 51, no. 4, pp. 909-918, November 2009　近傍磁界スキャンを用いたモデリング手法

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-3 (ICEM-RE) ～引用文献(2/2)

Bibliography

[6] A. Ramanujan, Z, Riah, A. Louis, and B. Mazari, “Modeling the electromagnetic radiations of passive microwave components using a near-field scanning method”, IEEE Trans. on EMC, Vol. 52, No. 4, November 2010

[7] A. Ramanujan, Z. Riah, A. Louis, and B. Mazari, “Computational Optimizations Towards an Accurate and Rapid Electromagnetic Emission Modeling”, Progress In Electromagnetics Research B, Vol. 27, 2011

[8] A. Ramanujan, Z. Riah, and A. Louis, “Modeling the time-harmonic electromagnetic emissions of microwave circuits”, IEEE Trans. on EMC, Vol. 54, No. 2, April 2012

[9] P. Fernandez Lopez, C. Arcambal, D. Baudry, S. Verdeyme, and B. Mazari, ″ Simple electromagnetic modeling procedure: from near-field measurements to commercial electromagnetic simulation tool″, IEEE Trans. Instr. Meas., vol. 59, no. 12, pp. 3111 – 3121, December 2010

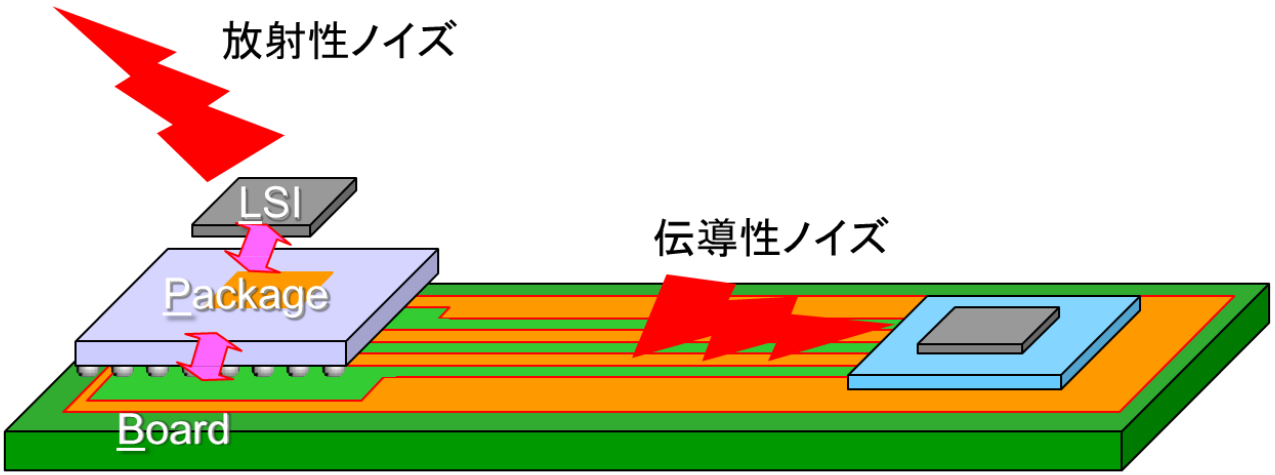
[10] C. Labussière-Dorgan, S. Bendhia, E. Sicard, J. Tao, H.J. Quaresma, C. Lochot, and B.Vrignon, “Modeling the electromagnetic emission of a microcontroller using a single model”, IEEE Trans. on EMC, vol. 50, pp. 22-34, February 2008

[11] A. Boyer, E. Sicard, and J.L. Levant, On the prediction of near-field microcontroller emission, 5th International EMC Compo 05 (EMC Compo 05), pp. 216-220, Munich, Germany, November 2005

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

ICIM Models of Integrated Circuits for RF Immunity behavioral simulation

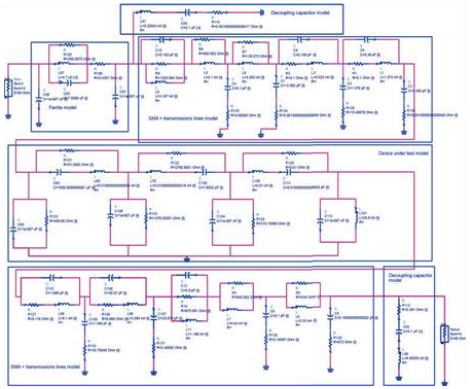
- 目的: ICの伝導性および放射性ノイズ耐性をモデル化すること
  →電磁妨害を受けても正常動作することを検証



Integrated Circuit Immunity Model

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-4 (ICIM-CI)

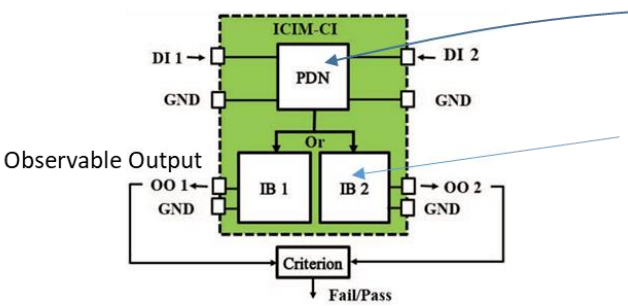


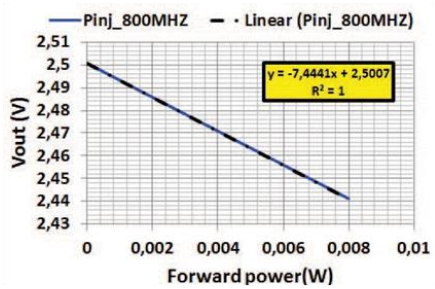
- 目的: ICの伝導性ノイズ耐性をモデル化すること
- 概要: ICを以下の要素で表現

✓IB(Immunity Behaviour): ノイズ印加に対する出力の応答を表す関数

✓PDN(Passive Distribution Network):集中定数、分布定数、Sパラメータ等

✓IBC(Internal Block Coupling): 異電源間の結合等を表すマクロモデル





S. H. Airieau, T. Dubois, G. Duchamp and A. Durier, "Multiport ICIM-CI modeling approach applied to a bandgap voltage reference," 2016 International Symposium on Electromagnetic Compatibility – EMC EUROPE, Wroclaw, 2016, pp. 526-531.

Integrated Circuit Immunity Model - Conducted Immunity (ICIM-CI)

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-4 (ICIM-CI) ～引用文献

Bibliography

[1] Paoli, J, Maler, E, Yergeau, F, Sperberg- McQueen, C, and T. Bray, Extensible Markup Language (XML) 1.0 (Fourth Edition), World Wide Web Consortium Recommendation REC-xml- 20060816, August 2006　マークアップ言語

[2] Quarles, T, Newton, A.R, Pederson,D.O, Sangiovanni-Vincentelli, A, SPICE3 Version 3f3 User's Manual, Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, May 1993　回路シミュレータ

[3] POZAR, David M, Microwave engineering, 4th ed, ISBN 978-0-470-63155-3, Wiley, 2011　伝送線路

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-4 (ICIM-CI) ～被引用、関連文献(1/2)

S. H. Airieau, T. Dubois, G. Duchamp and A. Durier, “Multiport ICIM−CI modeling approach applied to a bandgap voltage reference,” 2016 International Symposium on Electromagnetic Compatibility − EMC EUROPE, Wroclaw, 2016, pp. 526−531. バンドギャップリファレンス回路に対するモデリング

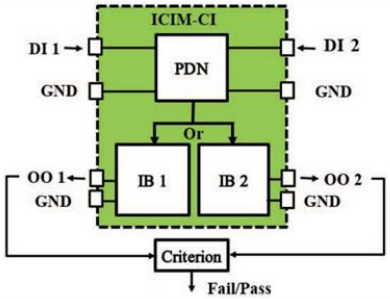
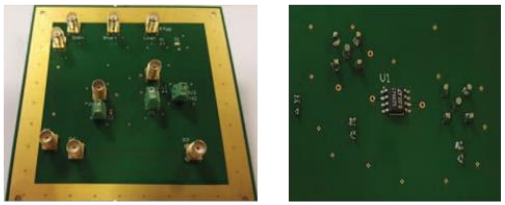


Fig. 1. ICIM - CI model



a) Bottom side b) Top side

Fig. 2. ELECIS-V demonstrator

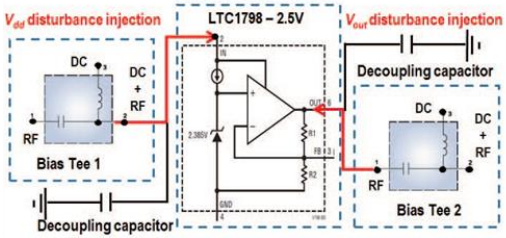


Fig. 3. LTC1798-2.5V block diagram + bias tees

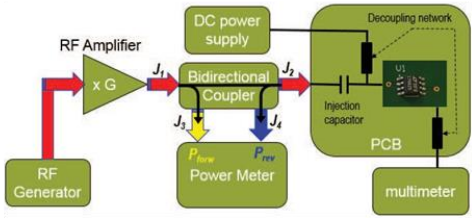


Fig. 4. Illustration of the DPI setup

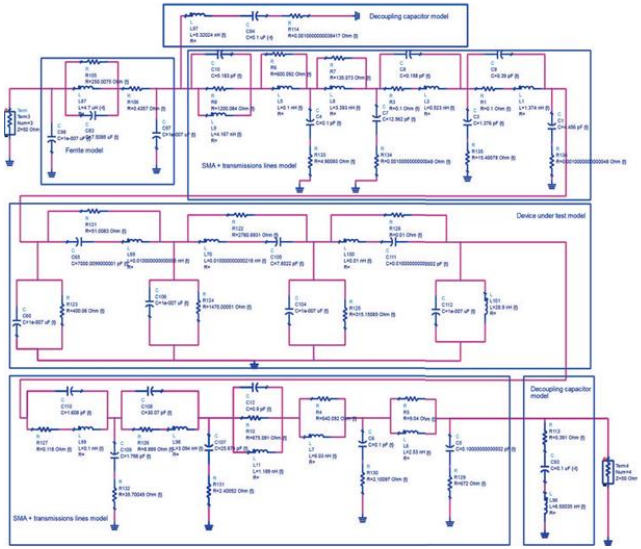


Fig. 11. PDN electrical schematic

Integrated Circuit Immunity Model - Conducted Immunity (ICIM-CI)

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-4 (ICIM-CI) ～被引用、関連文献(2/2)

A. Devi, S. S. Veluri, B. P. Nayak and S. Prabhudesai, "Hardware-Simulation Correlation of BCI failures in Capacitive Touch Sensing Application using ICIM," 2018 15th International Conference on ElectroMagnetic Interference & Compatibility (INCEMIC), Bengaluru (Bangalore), India, 2018, pp. 1-4.

J. Cheng, C. Zhou, D. Yu, Z. Xu and D. Zhang, "An ICIM-CI-T Model for EMI Prediction of IO Element on Typical FPGA With Temperature Effect Considered," in IEEE Transactions on Electromagnetic Compatibility.

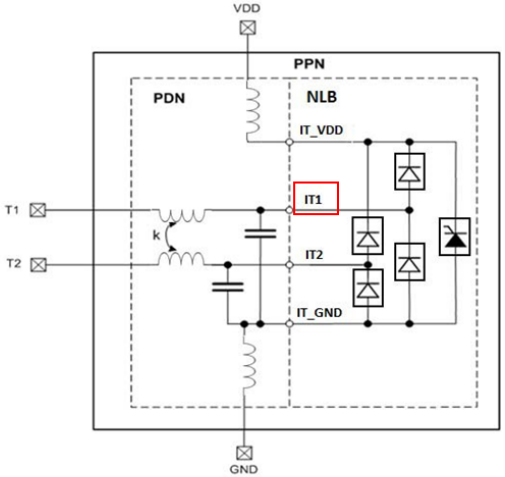
C. Yang, M. Wang, J. Wang, F. Shu and X. You, "Single-Tone Signaling Design for Intercell Interference Management With Applications to Femtocell Networks," in IEEE Transactions on Vehicular Technology, vol. 63, no. 3, pp. 1242-1255, March 2014.

A. Ayed, T. Dubois, J. Levant and G. Duchamp, "Immunity Measurement and Modeling of an ADC Embedded in a Microcontroller Using RFIP Technique," in IEEE Transactions on Electromagnetic Compatibility, vol. 57, no. 5, pp. 955-962, Oct. 2015.　IBのモデリング

A. Feinberg, "Beyond Miner's Rule: Free Energy Damage Equivalence," 2018 Annual Reliability and Maintainability Symposium (RAMS), Reno, NV, 2018, pp. 1-5.

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-6 (ICIM-CPI)



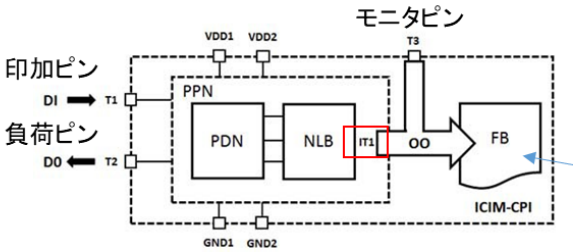
PPN: Pulse Propagation Network

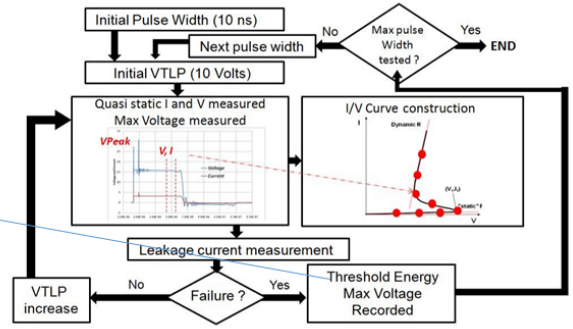
- 目的: ICの伝導パルス性ノイズ耐性をモデル化
- 概要: ICを以下の要素で表現　(↑ESD耐性)

✓FB(Failure Behaviour): ESD印加に対する挙動

✓PDN(Passive Distribution Network):集中定数、分布定数、Sパラメータ等

✓NLB(Nonlinear Block): ESD保護ダイオードなどの非線形素子回路





A. Durier, JL. Levant, P. Fernandez-Lopez, C. Marot, " ICIM-CPI : Integrated circuits immunity model : Conducted pulse immunity Description, extraction and example" in the 2018 Joint IEEE International Symposium on Electromagnetic Compatibility & Asia-Pacific Symposium on Electromagnetic Compatibility, Singapore May 2018

Integrated Circuit Immunity Model - Conducted Pulse Immunity (ICIM-CPI)

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-6 (ICIM-CPI)

- 目的：ICの伝導パルス性ノイズ耐性をモデル化
- 概要：ICを以下の要素で表現　(↑ESD耐性)

✓FB(Failure Behaviour)：ESD印加に対する挙動

故障のクライテリア

- Class EIC:　完全故障（ブレークダウン破壊）←オンチップESD設計の視点
- Class D1IC: 一時故障。人手介入により復帰
- Class D2IC: 一時故障。電源再投入により復帰
- Class CIC:　一時故障。自己復帰

Integrated Circuit Immunity Model - Conducted Pulse Immunity (ICIM-CPI)

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-6 (ICIM-CPI) ～引用文献(1/2)

Bibliography
[1]F. Escudi, F. Caignet, N. Nolhier, M. Bafleur “From quasi-static to transient system level ESD simulation: extraction of turn-on elements” LAAS-CNRS, Toulouse, Microelectronics Reliability Journal ESREF 2017 special issue TLP 関連
[2]Ille et al. “Reliability aspects of gate oxide under ESD pulse stress” EOS/ESD Symposium 2007 FB 関連
[3]Dwyer, V. M., A. J. Franklin, and D. S. Campbell. ″Thermal failure in semiconductor devices.″ Solid-State Electronics 33.5 (1990): 553-560.) Thermal Damage 関連
→ V. M. Dwyer, A. J. Franklin and D. S. Campbell, ″Electrostatic discharge thermal failure in semiconductor devices,″ in IEEE Transactions on Electron Devices, vol. 37, no. 11, pp. 2381-2387, Nov. 1990.
[4]S. Scheier, F. zur Nieden, B. Arndt, S. Frei “Simulation of ESD Thermal Failures and Protection Strategies on System Level” in IEEE Transactions on Electromagnetic Compatibility vol. 57, no. 6, pp. 1309-1319, December 2015. Thermal Damage関連
[5]C. Russ, M. Ammer, K. Esmark “Predicting System Level ESD Robustness Using a Comprehensive Modelling Approach” in 40th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), Reno, NV, 2018. NLB 関連
[6]ESDA TR26.1 : “Behavioral IC modeling to perform system level ESD simulations: General description and trends ?, NLB 関連
[7]ESDA TR26.2: ″Quasi-static Model definition – Building models“NLB 関連

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-6 (ICIM-CPI) ～引用文献(2/2)

Bibliography

[8]F Lafon, A. Ramanujan, P. Fernandez-Lopez, “Black box model of integrated circuits for ESD behavioural simulation and industrial application case”, Advanced Electromagnectics, vol. 4, No. 2 (2015), pp. 26-37. NLB 関連
[9]C. Austermann, S. Scheier, S. Frei, J. Kudlaty, “Modellierung von ESD Schutzelementen mit Snapback-Verhalten”, in Tagungsband 14. ESD-Forum, 2015, pp.115-120, ISBN 978-3-9813357-3-5.　NLB 関連
[10]M. Ammer, F. zur Nieden, A. Rupp, Y. Cao, M. Sauter, L. Maurer, “How to build a Generic Model of complete ICs for System ESD and Electrical Stress Simulation?” in 39th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), Tucson, AZ, 2017. NLB 関連
[11]J. Li, S. Joshi, R. Barnes and E. Rosenbaum, “Compact modelling of on-chip ESD protection devices using Verilog-A,” in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 25, no. 6, pp. 1047-1063, June 2006.　ESD関連↓
[12]A. Ramanujan, M. Kadi, J. Tremenbert, F. Lafon, and B. Mazari, “Modeling IC Snapback Characteristics under Electrostatic Discharge Stress” IEEE transactions on electromagnetic compatibility, Vol. 51, N°　4, Nov 2009
[13]A. Durier, JL. Levant, P. Fernandez-Lopez, C. Marot, “ ICIM-CPI : Integrated circuits immunity model : Conducted pulse immunity Description, extraction and example” in the 2018 Joint IEEE International Symposium on Electromagnetic Compatibility & Asia-Pacific Symposium on Electromagnetic Compatibility, Singapore May 2018
ICIM-CPI のマイコン事例

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

IEC 62433-6 (ICIM-CPI) ～被引用、関連文献

W. Mao, W. Li, Y. Tian, B. Vrignon, J. Shepherd and R. Wang, “A pad ICIM model for EMC immunity simulation,” 2012 Asia-Pacific Symposium on Electromagnetic Compatibility, Singapore, 2012, pp. 397-400. ICIM-CPI 相当のマイコン事例

C. M. Somashekaraiah, ″Overview of ESD impacts over industry yield: Technical consideration to control ESD during prototype development and production, advanced inspection techniques for ESD failure analysis,″ 2016 International Conference on ElectroMagnetic Interference & Compatibility (INCEMIC), Bangalore, 2016, pp. 1-4. ICIM-CPI 相当のマイコン事例

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

資料2

DPI試験結果

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

Panasonic

JEITA 半導体＆システム設計技術委員会 御中

DPI試験結果（第２報）

2020.1.14

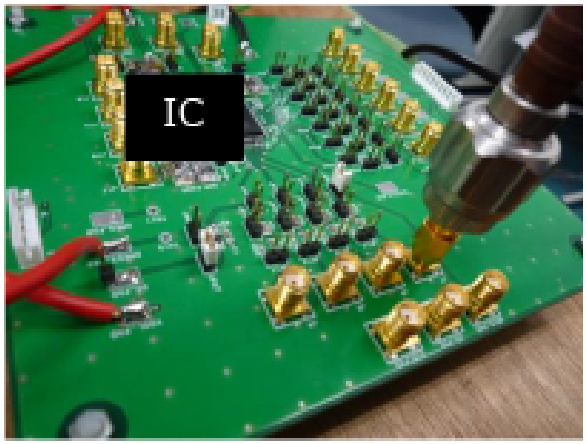
パナソニック株式会社 プロダクト解析センター
Panasonic Corporation Product Analysis Center

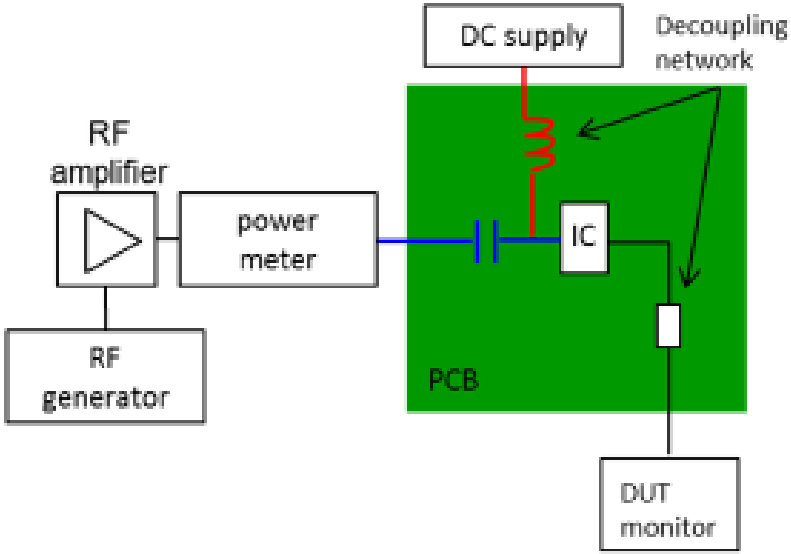
Copyright© JEITA SD-TC All Rights Reserved 2019-2020

DPI試験とは？

Direct RF power injection Method （IEC 62132-4）

・インジェクションポイントに容量カップリングでノーマルモードのRF電力を直接注入し、IC誤動作の有無を確認
・ICの1ピンごとに評価が可能
・IC近傍まで50Ω線路で印加されるため、周波数特性が良い
・注入電力は進行波電力で定義

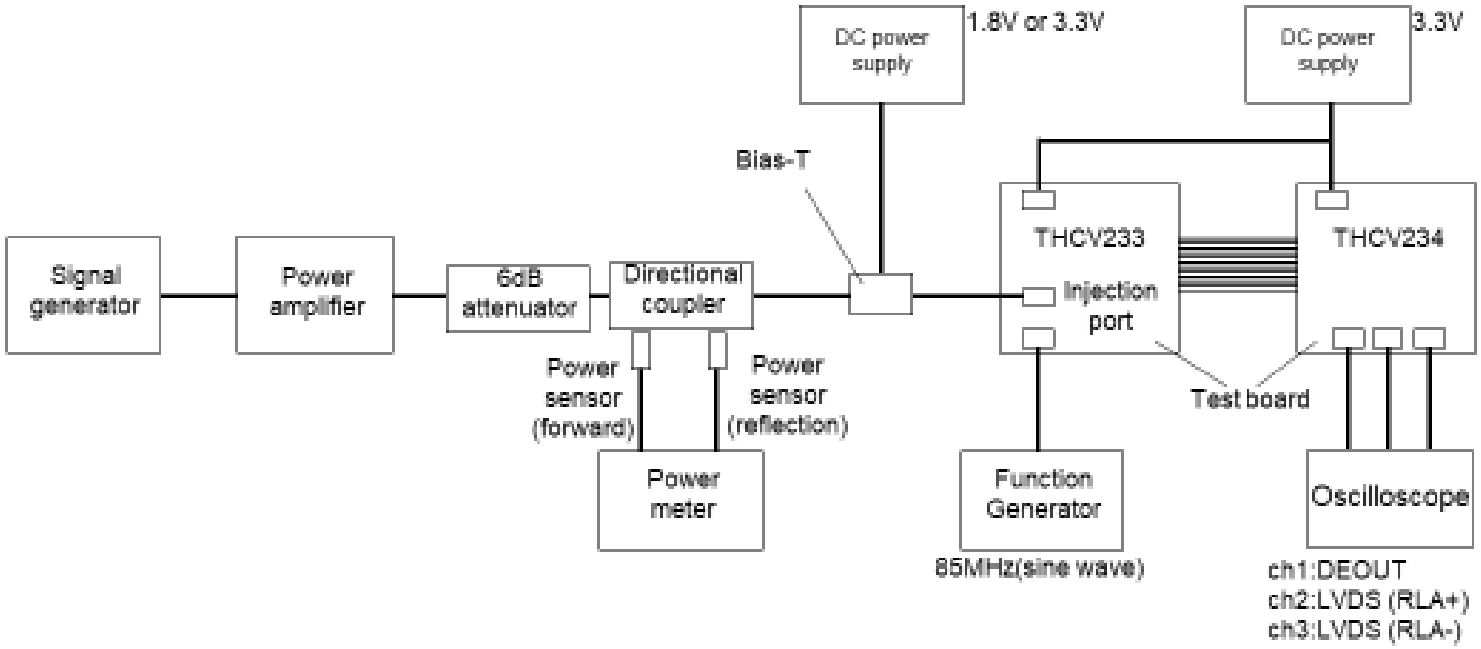




【（一般的な）試験条件】
・測定周波数　150kHz～1GHz
・変調　CW, AM80%(1kHz)
(CWとAM80%変調のピーク値は同じ)
・印加レベル　最大37dBm(5W)

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

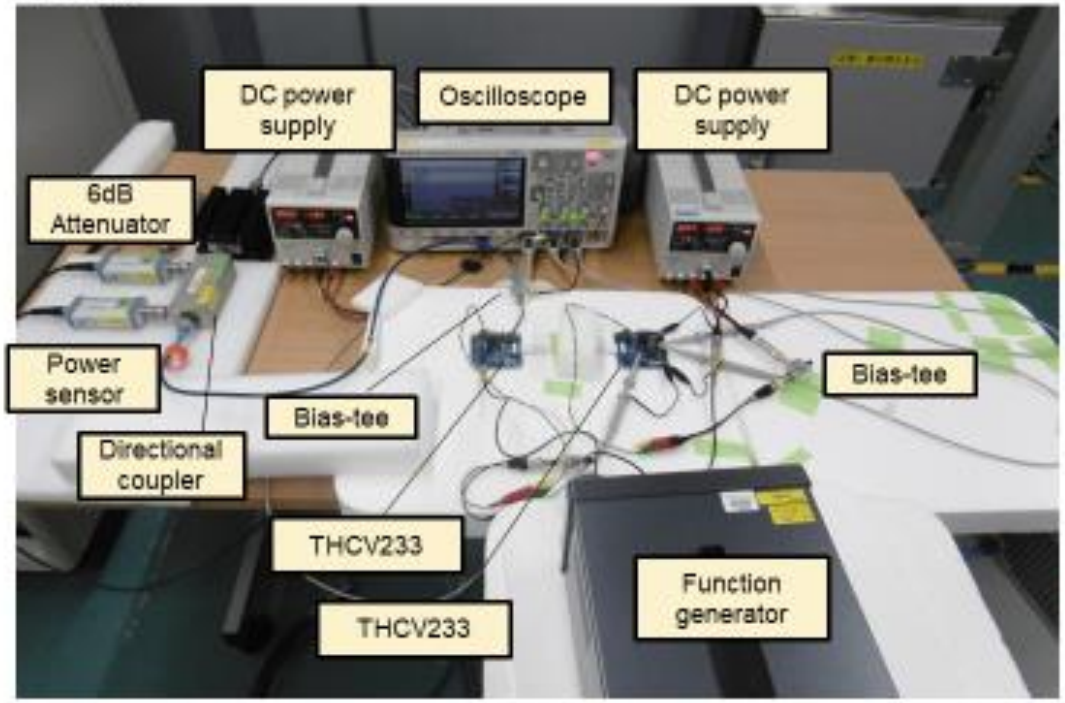
測定ブロック図



Copyright© JEITA SD-TC All Rights Reserved 2019-2020

測定風景

全体像



THCV233

THCV234

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

測定条件

＜Step1＞端子毎の耐性確認

試験周波数：1MHz~1500MHz

周波数[MHz]	ステップ[MHz]
1MHz-200MHz	10
200MHz-1000MHz	50
1000MHz-1500MHz	100

印加レベル：10dBm～37dBm　（5dBステップ）

誤動作判定方法：オシロスコープにてDEOUT(BET_Modeでの誤動作を検出する信号）をモニタ

パスコン有り:（0.1uF×2、PLLのみ×1）

印加端子

・THCV233（送信基板）:CAVDL、CPVDL、VDD、LAVDH

・THCV234（受信基板）:CAVDL

＜Step2＞パスコン有無による差分確認

詳細な周波数特性の取得(CPVDLに対して実施)

No	印加端子	C12、C17（アナログ）	C18（PLL）
01	CAVDL（アナログ）	有り	有り
06	CAVDL（アナログ）	有り	無し
07	CAVDL（アナログ）	無し	無し
08	CAVDL（アナログ）	無し	有り

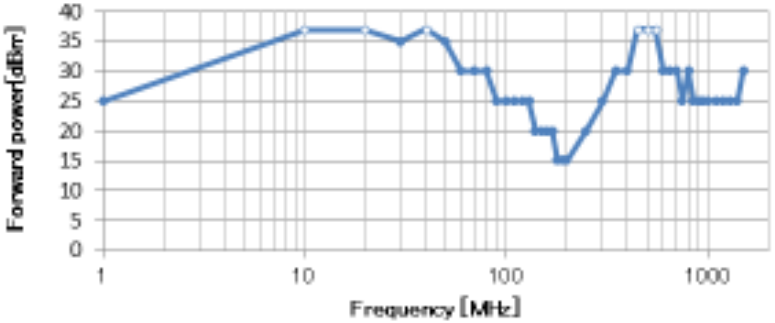
No	印加端子	C12、C17（アナログ）	C18（PLL）
01	CPVDL（PLL）	有り	有り
09	CPVDL（PLL）	有り	無し

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

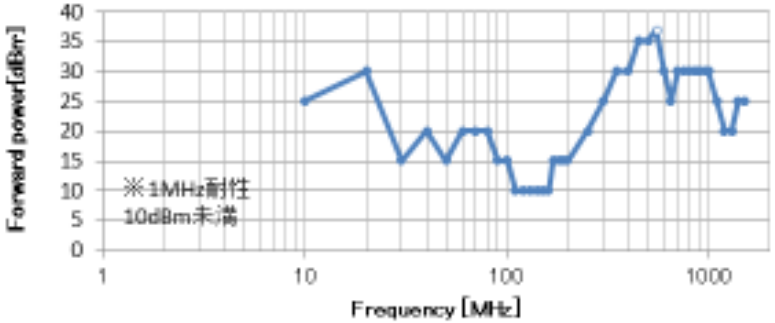
試験結果（Step1:端子毎の耐性確認）

白抜きは誤動作なし

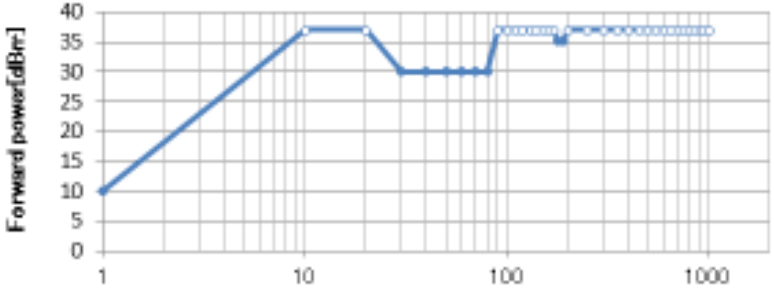
01_THCV233_CAVDL



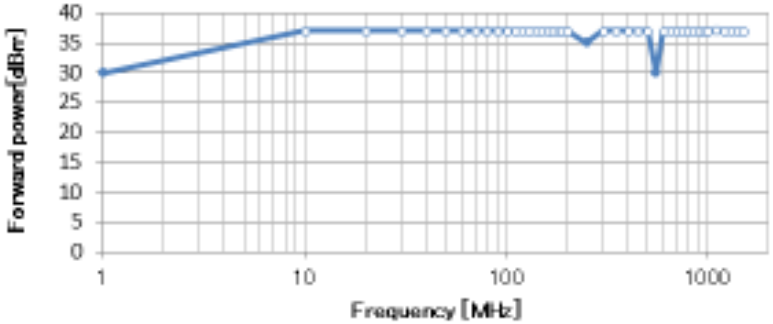
02_THCV233_CPVDL



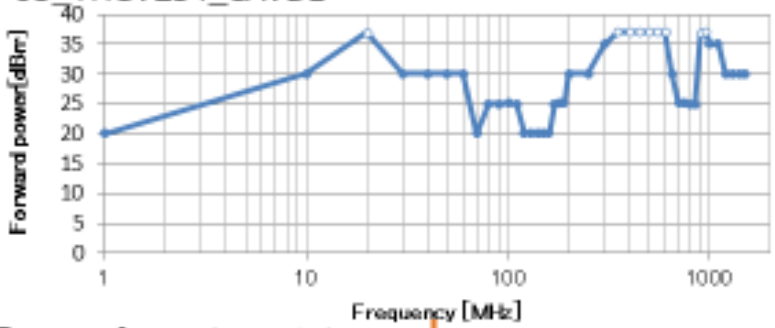
03_THCV233_VDD



04_THCV233_LAVDH



05_THCV234_CAVDL



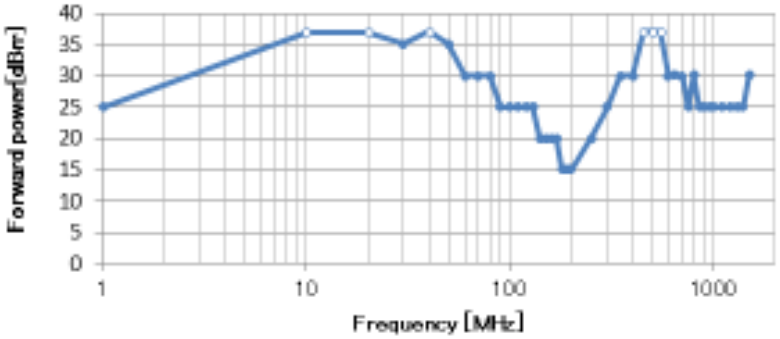
Copyright© JEITA SD-TC All Rights Reserved 2019-2020

試験結果（Step2:CAVDLのパスコンの有無による差分確認）

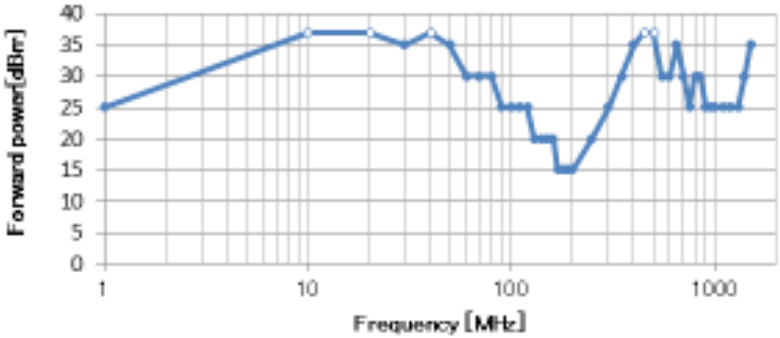
白抜きは誤動作なし

C12,C17 アナログのパスコン、C18PLLのパスコン

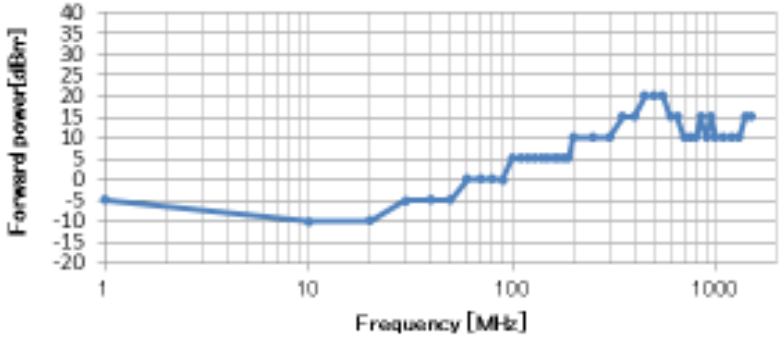
01_THCV233_CAVDL



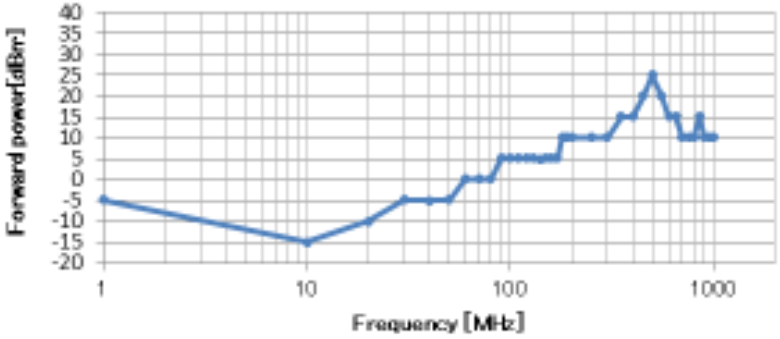
06_THCV233_CAVDL_C18を削除



07_THCV233_CAVDL_C12,17,18を削除



08_THCV233_CAVDL_C12,17を削除

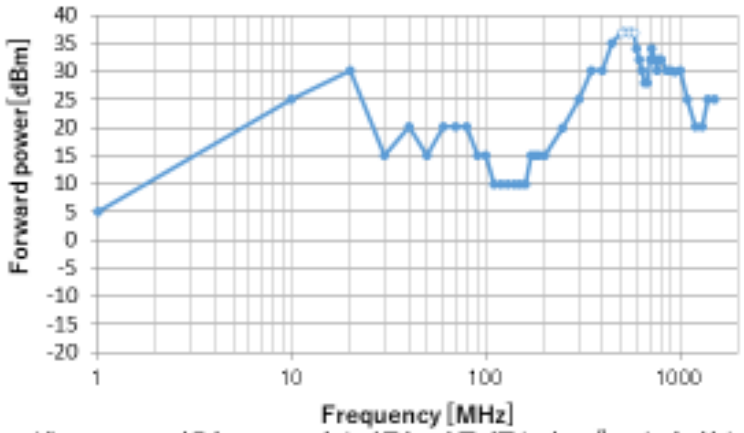


Copyright© JEITA SD-TC All Rights Reserved 2019-2020

試験結果（Step2:CPVDLのパスコンの有無による差分確認）

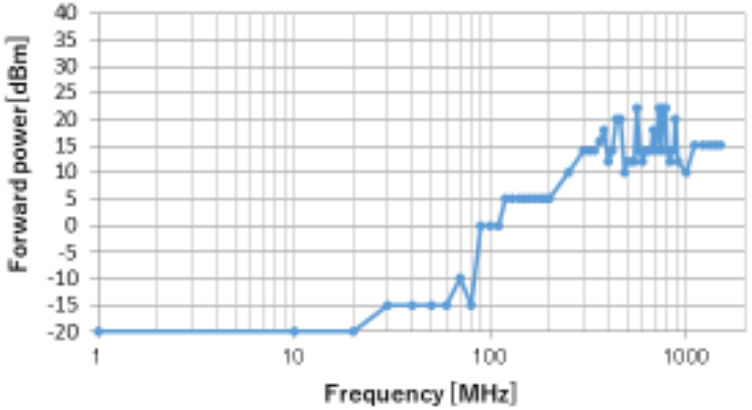
白抜きは誤動作なし

02_THCV233_CPVDL（一部再取得）



・グラフの一部をStep1より細かく取得したデータと差し替え
500MHz～800MHz間
横軸50MHz→20MHz step
縦軸5dB→2dB step
・1MHzの耐量確認

09_THCV233_CPVDL_C18（PLLのパスコン）削除



・グラフの一部をStep1より細かく取得
300MHz～900MHz間
横軸50MHz→20MHz step
縦軸5dB→2dB step
※400MHz～900MHzの再現性が低く、
結果が±4dB程度ばらつく事を確認
後述するPAVDLの電源のノイズが原因の可能性あり

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

測定時波形 1/4

エラー発生時の波形確認
02_THCV233_CPVDL
パスコン有り:（0.1uF×2、PLLのみ×1）
印加ノイズ 周波数　60MHz、進行電力21dBm

Ch1黄 :DEOUT
Ch2緑 :LVDS (RLA+)
Ch3青 :LVDS (RLA-)
Math桃:Ch2-Ch3

Timescale 10ns/div

Timescale 5us/div

ノイズ波形印可時、DEOUTがLに変化後、約23μs後にHに復帰する現象を確認

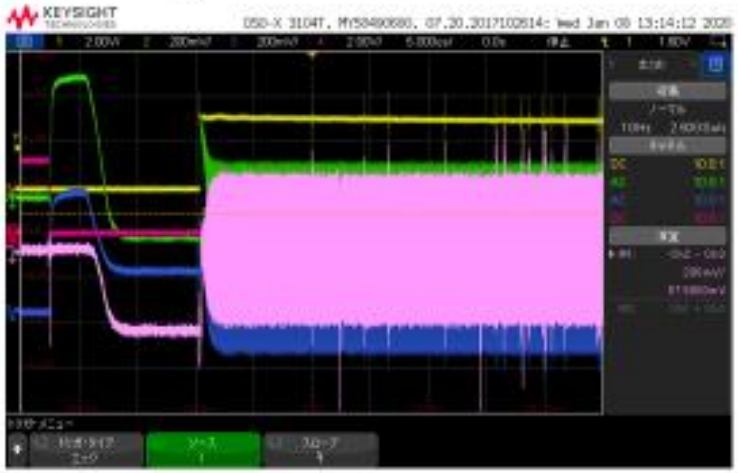
Copyright© JEITA SD-TC All Rights Reserved 2019-2020

測定時波形 2/4

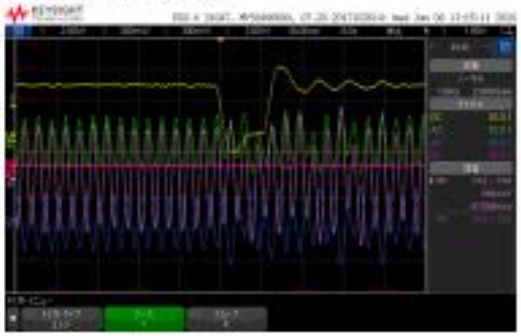
エラー発生時の波形確認
7_THCV233_CAVDL_C12,17,18を削除
印加ノイズ 周波数　20MHz、進行電力 −6.1dBm

Ch1黄 :DEOUT
Ch2緑 :LVDS (RLA+)
Ch3青 :LVDS (RLA-)
Math桃:Ch2-Ch3

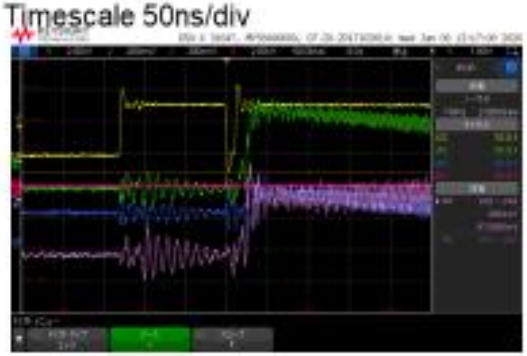
Timescale 5μs/div



Timescale 10ns/div



Timescale 50ns/div



エラー時の状態が複数ある事を確認

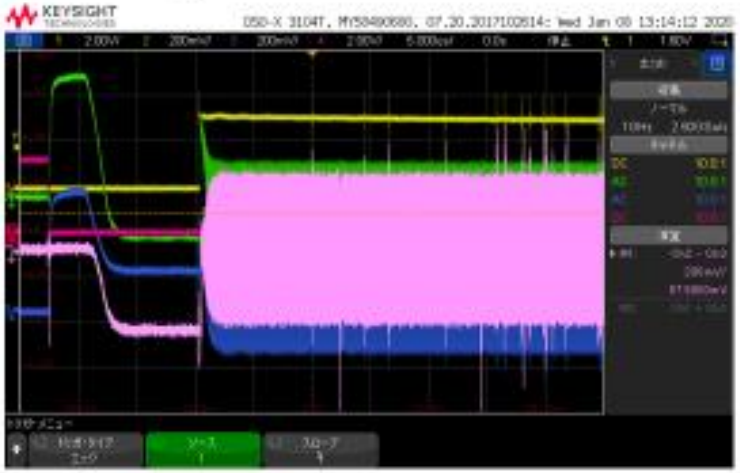
Copyright© JEITA SD-TC All Rights Reserved 2019-2020

測定時波形 2/4

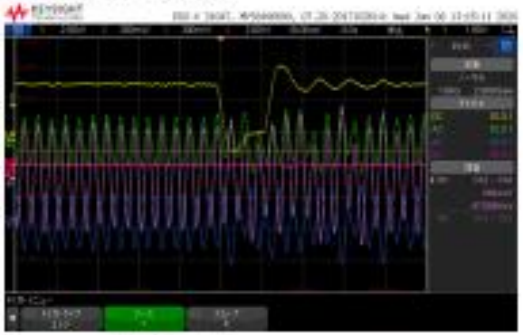
エラー発生時の波形確認
7_THCV233_CAVDL_C12,17,18を削除
印加ノイズ 周波数　20MHz、進行電力 −6.1dBm

Ch1黄 :DEOUT
Ch2緑 :LVDS (RLA+)
Ch3青 :LVDS (RLA-)
Math桃:Ch2-Ch3

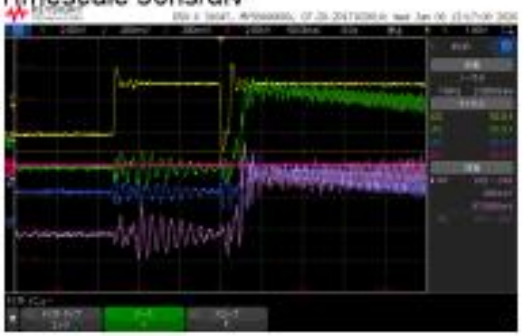
Timescale 5μs/div



Timescale 10ns/div



Timescale 50ns/div



エラー時の状態が複数ある事を確認

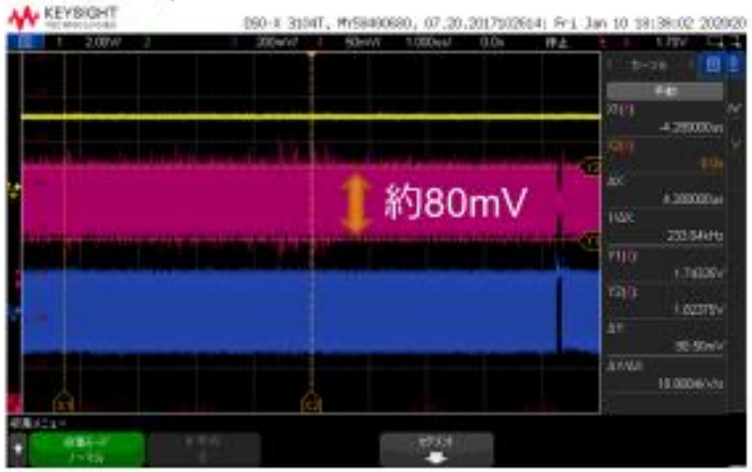
Copyright© JEITA SD-TC All Rights Reserved 2019-2020

測定時波形 4/4

電源PAVDLの揺れを確認
THCV233_CPVDL_C18を削除
印加ノイズ無し

Ch1黄 :DEOUT
Ch3青 :LVDS (RLA-)
Ch4桃 :ICの電源CPVDL

Timescale 1μs/div



Timescale 10ns/div

ノイズ印可無しの状態で約80mVの揺れを確認。また、不定期に約170mVの揺れを確認

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

資料3

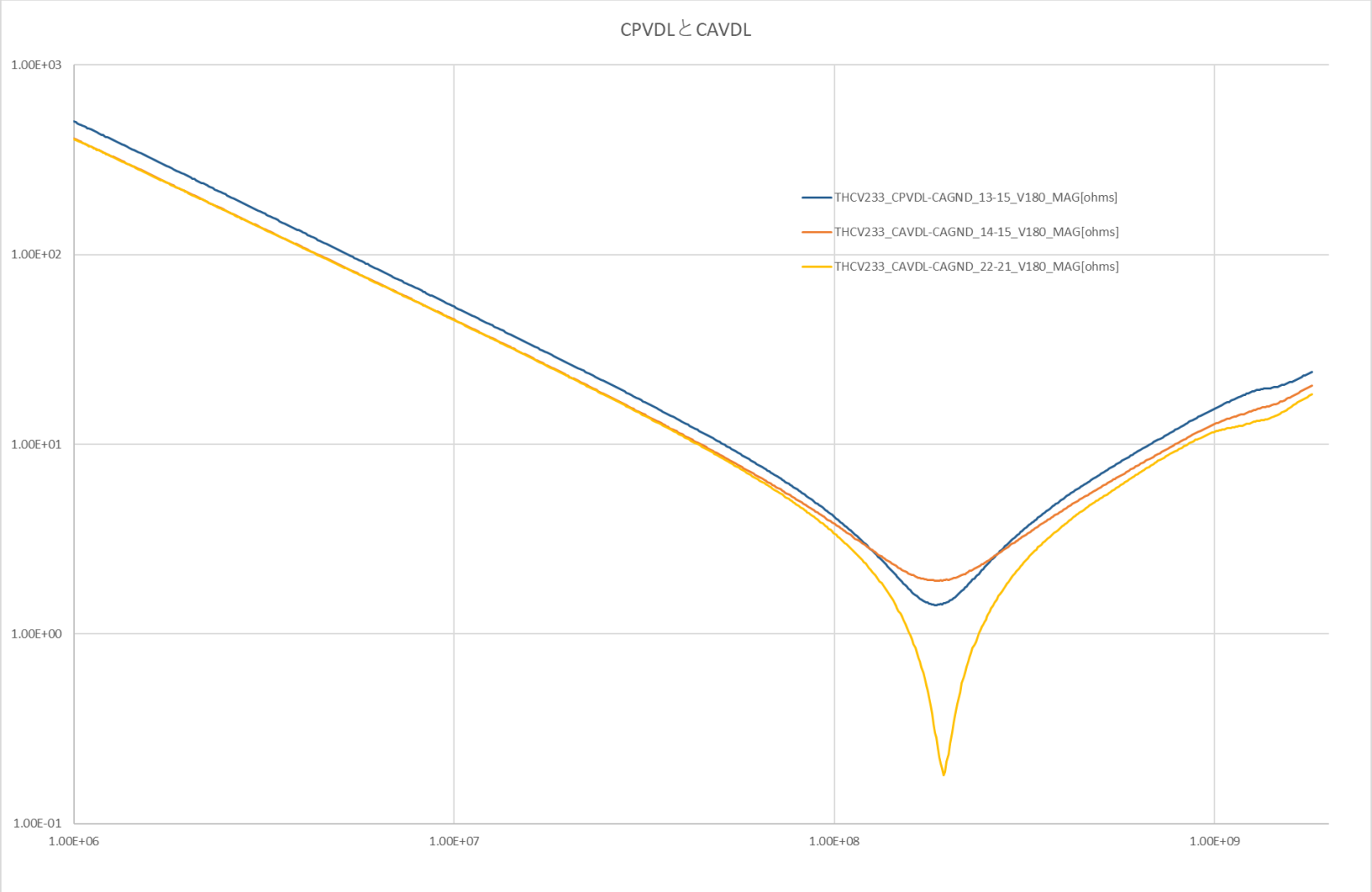
THCV233/234インピーダンス測定結果

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

THCV233インピーダンス特性

Copyright© JEITA SD-TC All Rights Reserved 2019-2020

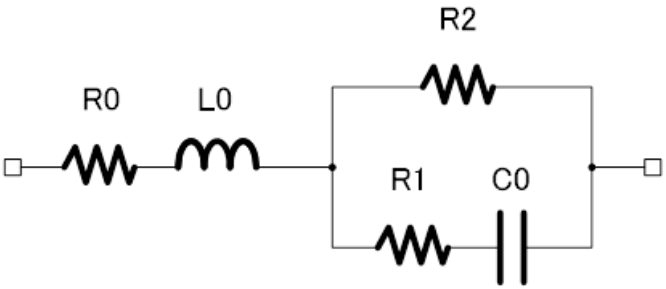
THCV233_CPVDL／CAVDL



Copyright© JEITA SD-TC All Rights Reserved 2019-2020

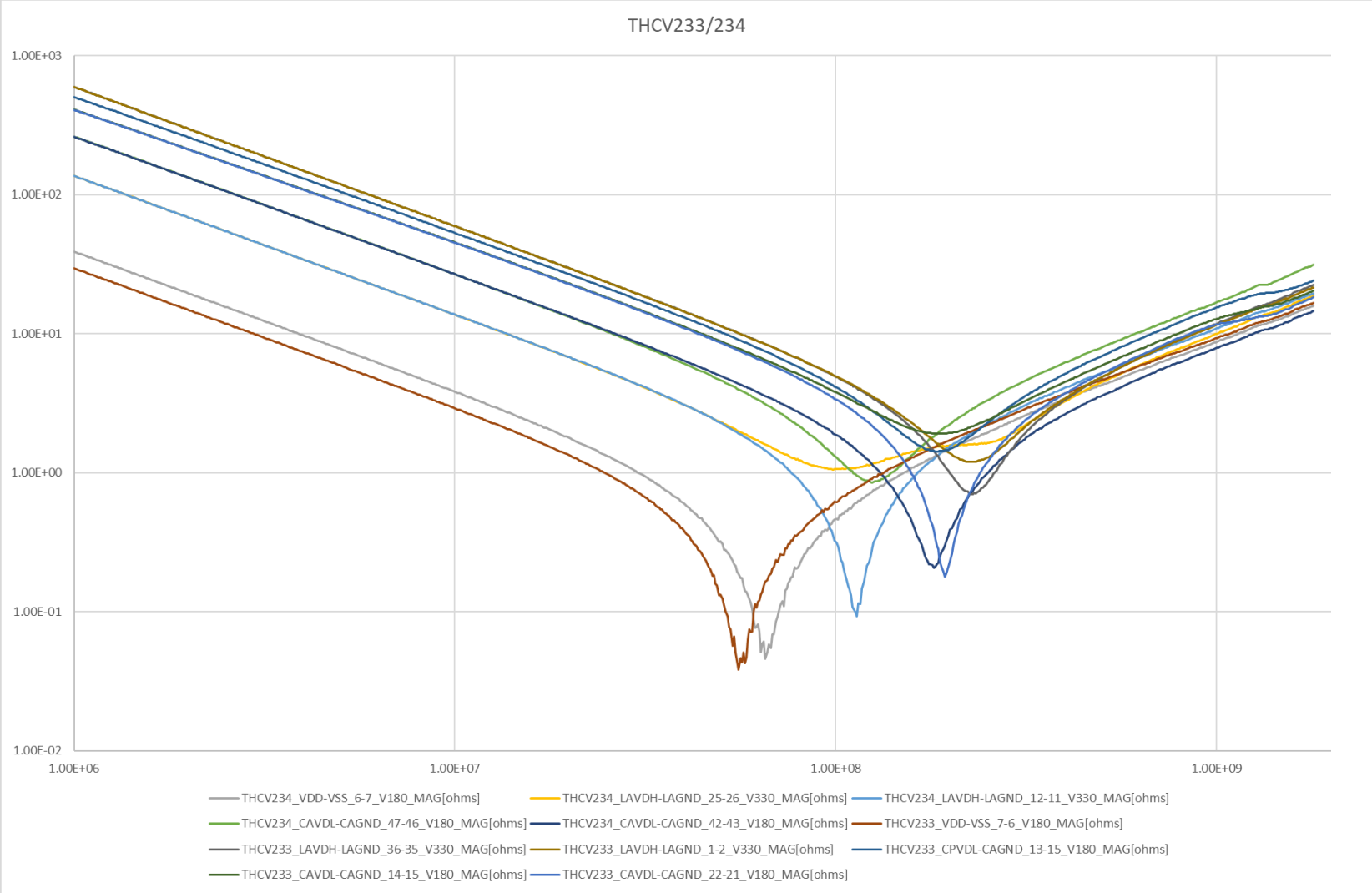
THCV233/234各端子の等価回路

name	sig_net	ref_net	sig_pin	ref_pin	bias	date	model	R0(ohms)	L0(H)	C0(F)	R1(ohms)	L1(H)	C1(F)	R2(ohms)
THCV233	CAVDL	CAGND	14	15	1.8	20200203	RLC4	0.001	1.92E-09	3.72E-10	1.91137			1424.17
THCV233	CAVDL	CAGND	22	21	1.8	20200203	RLC4	0.001	1.80E-09	3.74E-10	0.181147			1438.38
THCV233	CPVDL	CAGND	13	15	1.8	20200203	RLC4	0.001	2.39E-09	3.05E-10	1.42456			1901.2
THCV233	LAVDH	LAGND	1	2	3.3	20200203	RLC4	0.001	1.85E-09	2.67E-10	1.19675			187409
THCV233	LAVDH	LAGND	36	35	3.3	20200203	RLC4	0.001	1.83E-09	2.67E-10	0.702954			390746
THCV233	VDD	VSS	7	6	1.8	20200203	RLC4	0.001	1.50E-09	5.37E-09	0.043898			6577.3
THCV234	CAVDL	CAGND	42	43	1.8	20200203	RLC4	0.001	1.30E-09	6.00E-10	0.209349			1551.58
THCV234	CAVDL	CAGND	47	46	1.8	20200203	RLC4	0.001	2.69E-09	5.98E-10	0.86268			1531.66
THCV234	LAVDH	LAGND	12	11	3.3	20200203	RLC4	0.001	1.72E-09	1.16E-09	0.099191			1974.03
THCV234	LAVDH	LAGND	25	26	3.3	20200203	RLC4	0.001	1.74E-09	1.16E-09	1.08082			1863.09
THCV234	VDD	VSS	6	7	1.8	20200203	RLC4	0.001	1.43E-09	4.08E-09	0.050347			16239.9



Copyright© JEITA SD-TC All Rights Reserved 2019-2020

THCV233/234インピーダンス特性



Copyright© JEITA SD-TC All Rights Reserved 2019-2020

資料4

DPI法によるイミュニティーモデルの作成

Copyright© JEITA SD-TC All Rights Reserved 2016

ボードモデル

- Step１：Siwaveでボードモデルを作成する。
- 必要なPortをたててパターンのSparaを抽出する。

Copyright© JEITA SD-TC All Rights Reserved 2016

層構造

層の厚みはザインエレクトロニクス様から入手
材料は材料ライブラリにあるFr4_epoxyとした

Layer Stackup Editor

Col...	Name	Type	Thickness (mm)	Material	Conductivity (S...	Dielectric Fill	Dielectric const...	Loss tange...	Translucency	Elevation (mm)	Roughness (mm)	Trace Cross-secti...
	METAL-1	METAL	0.035	copper	5.8E+07	air	1.0006	0	65	1.505	HJ: 0 , HJ: 0	Rectangle
	DIELECTRIC-1	DIELECTRIC	0.1	FR4_epoxy	0		4.4	0.02		1.405		
	METAL-2	METAL	0.035	copper	5.8E+07	FR4_epoxy	4.4	0.02	65	1.37	HJ: 0 , HJ: 0	Rectangle
	DIELECTRIC-2	DIELECTRIC	1.2	FR4_epoxy	0		4.4	0.02		0.17		
	METAL-3	METAL	0.035	copper	5.8E+07	FR4_epoxy	4.4	0.02	65	0.135	HJ: 0 , HJ: 0	Rectangle
	DIELECTRIC-3	DIELECTRIC	0.1	FR4_epoxy	0		4.4	0.02		0.035		
	METAL-4	METAL	0.035	copper	5.8E+07	air	1.0006	0	65	0	HJ: 0 , HJ: 0	Rectangle

Add / Delete / Move Layer(s)
- Add Above Selected Layer
- Add Below Selected Layer
- Delete Selected Layers
- Move Selected Layers Up
- Move Selected Layers Down

Edit Selected Layer(s)

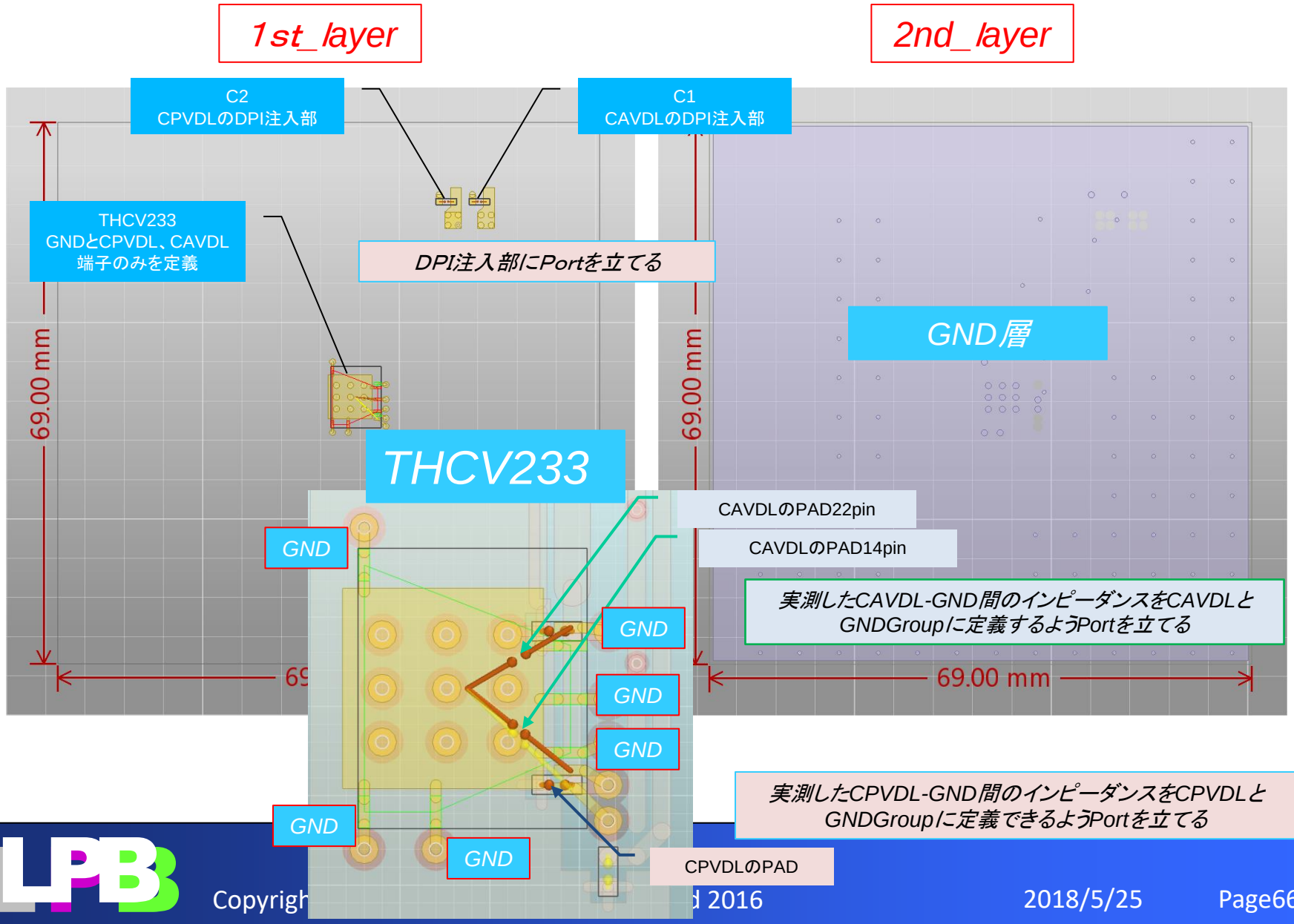
Color	988fc0	Update	Dielectric Fill	FR4_epoxy	Update
Name	METAL-2	Update	Translucency	65%	Update
Type	METAL	Update	Thickness	0.035 mm	Update
Material	copper	Update	Roughness	HJ: 0 , HJ: 0 mm	Update

Select all DIELECTRIC layers | Scheme-1 | Save Current Color Scheme | Color scheme As Is | Set as Default | Default Scheme for new projects: SIwave

☐ Thickness change affects die elevations | Edit Material Properties | Invert Stackup | ☐ Conformal Coat | Units mm | ☐ Copper Weight | OK | Cancel

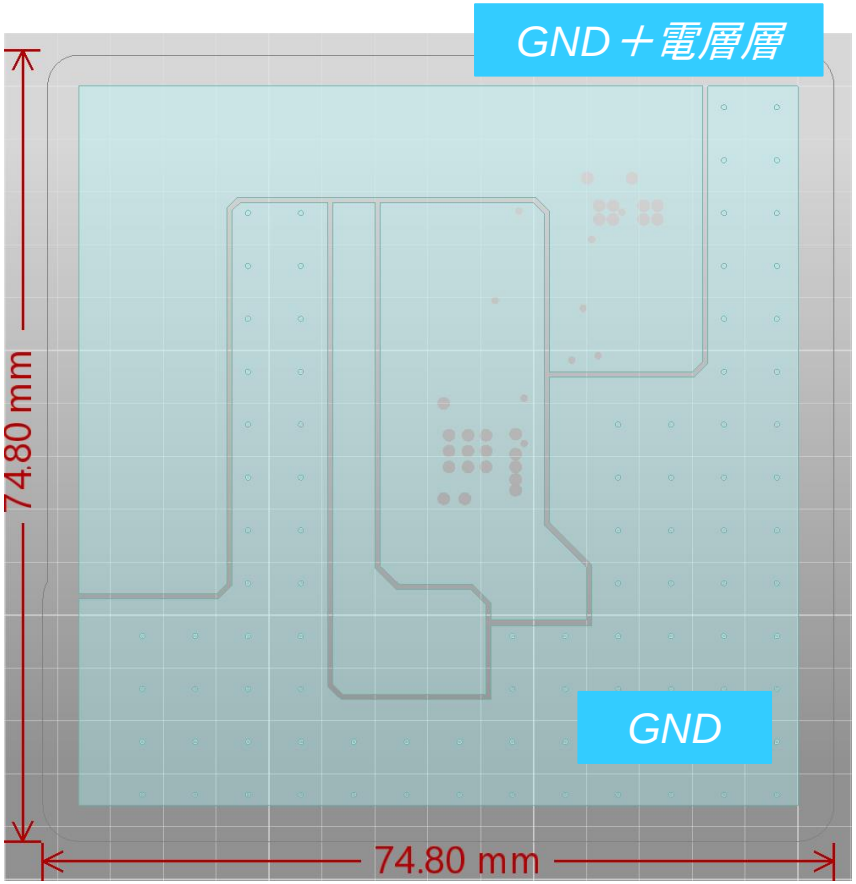
Copyright© JEITA SD-TC All Rights Reserved 2016

パターンと部品

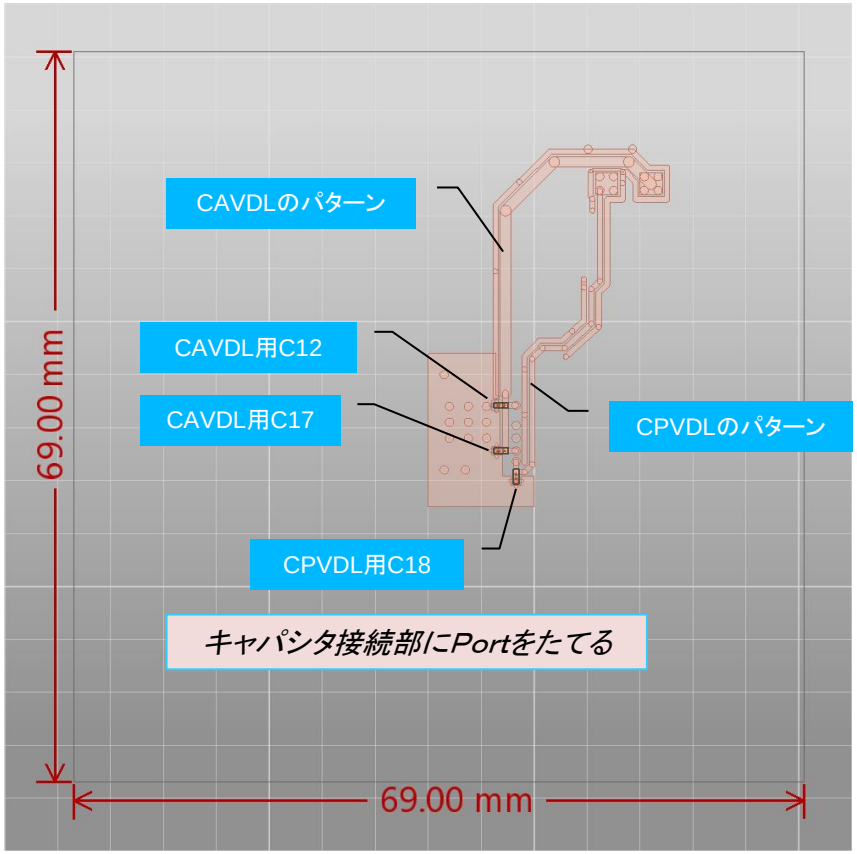

1st_layer
2nd_layer
C2
CPVDLのDPI注入部
C1
CAVDLのDPI注入部
THCV233
GNDとCPVDL、CAVDL
端子のみを定義
DPI注入部にPortを立てる
GND層
69.00 mm
69.00 mm
69.00 mm
69
THCV233
GND
GND
GND
GND
GND
GND
CAVDLのPAD22pin
CAVDLのPAD14pin
実測したCAVDL-GND間のインピーダンスをCAVDLとGNDGroupに定義するようPortを立てる
実測したCPVDL-GND間のインピーダンスをCPVDLとGNDGroupに定義できるようPortを立てる
CPVDLのPAD

パターンと部品

3rd_layer



4th_layer



Copyright© JEITA SD-TC All Rights Reserved 2016

LSIモデル

- Step2：LSIの電源インピーダンスモデルを決める

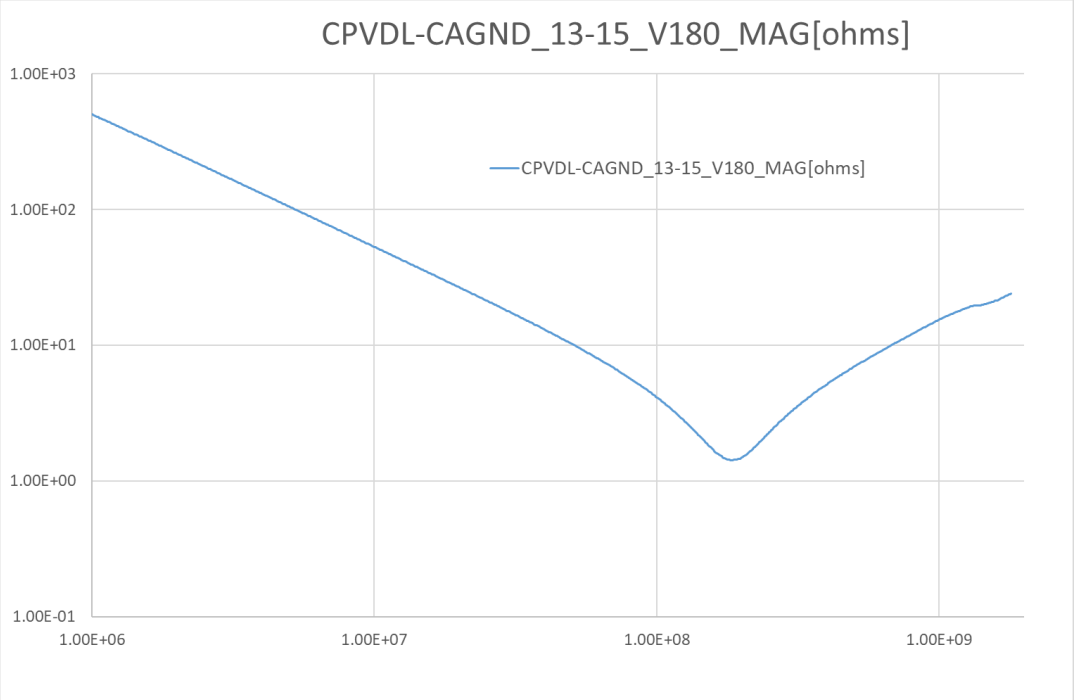
- 実測により求めたインピーダンス特性から等価回路モデルを決める

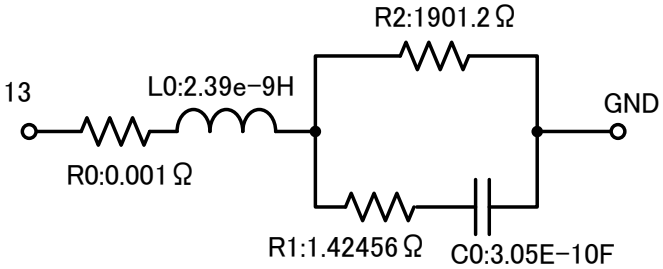
Copyright© JEITA SD-TC All Rights Reserved 2016

LSIのインピーダンス

CPVDLのインピーダンス

name	sig_ net	ref_ net	sig_pin	ref_pin	R0 (ohms)	L0 (H)	C0 (F)	R1 (ohms)	R2 (ohms)
THCV233	CPVDL	CAGND	13	15	0.001	2.39E-09	3.05E-10	1.42456	1901.2





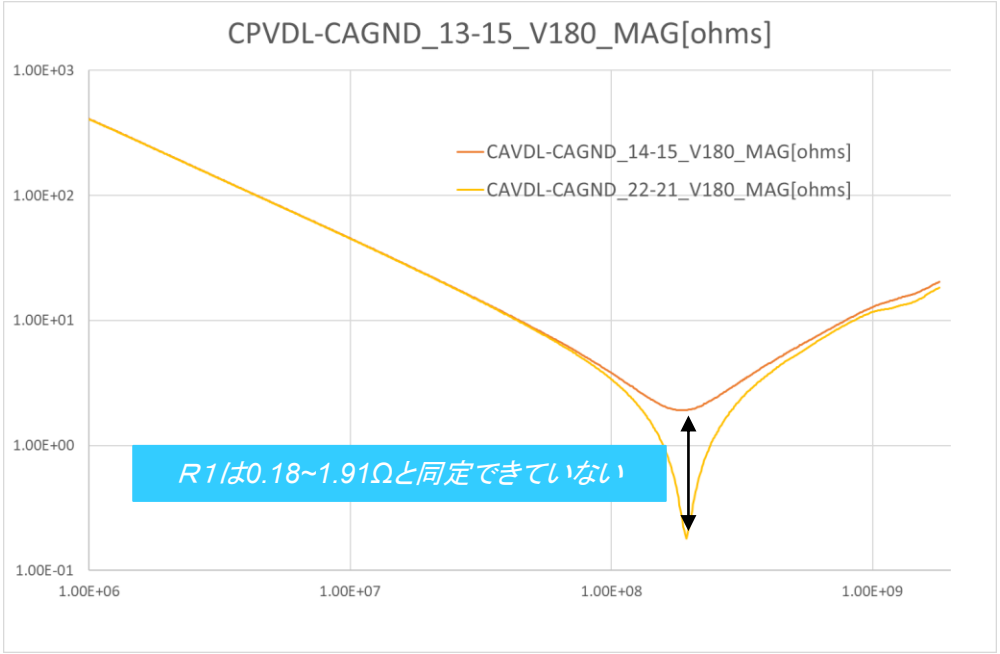
そのまま、実測したCPVDL-GND間のインピーダンスをCPVDLとGNDGroupに定義

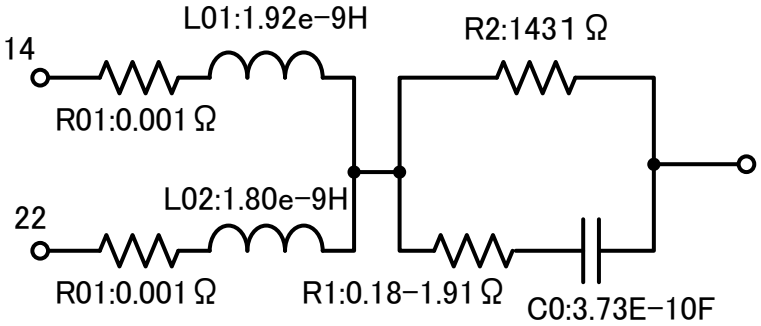
Copyright© JEITA SD-TC All Rights Reserved 2016

LSIのインピーダンス

CAVDLのインピーダンス

name	sig_ net	ref_ net	sig_pin	ref_pin	R0 (ohms)	L0 (H)	C0 (F)	R1 (ohms)	R2 (ohms)
THCV233	CAVDL	CAGND	14	15	0.001	1.92E-09	3.72E-10	1.91137	1424.17
THCV233	CAVDL	CAGND	22	21	0.001	1.80E-09	3.74E-10	0.181147	1438.38





CAVDLは電源が2PINある。内部は低抵抗で接続されているので本来はC0, R1は同等に測定されるはずである。Probeの接続状態で抵抗値が変化する現象は観測されているのでR1については別途議論する。

Copyright© JEITA SD-TC All Rights Reserved 2016

基板にLSIモデルを実装する

- Step3：基板＋LSIのインピーダンスを実測と比較する

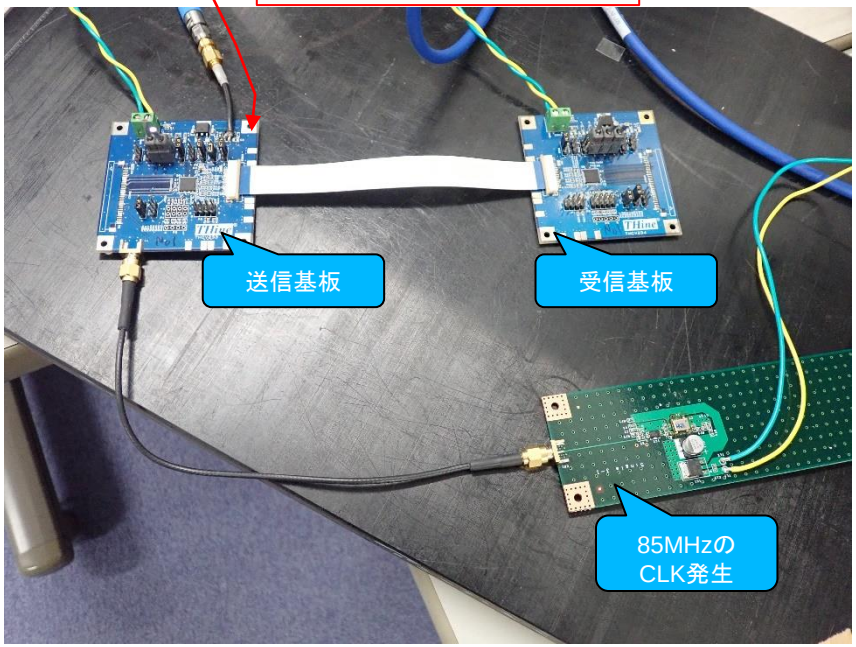
- Step1とStep2で求めた基板のパターンのSparaとLSIのインピーダンスモデルを接続し、DPIの注入ポイントから見たインピーダンス特性を比較する。

Copyright© JEITA SD-TC All Rights Reserved 2016

インピーダンスの実測方法

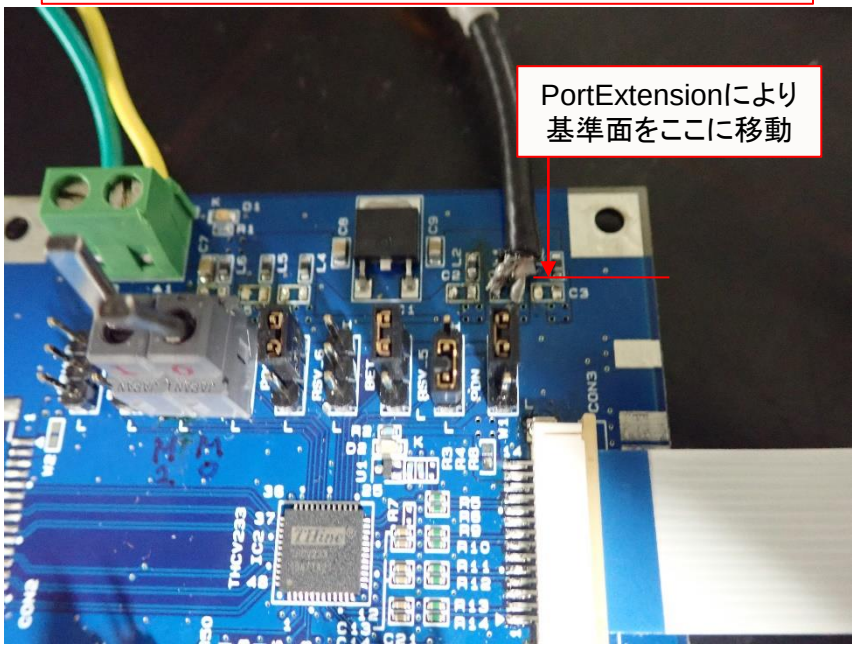
インピーダンスの実測 全体

送信基板のCPVDL／CAVDL電源のZ11を測定



インピーダンスの実測 DPI印加部との接続

DPI試験時にノイズを印加したポイントに同軸ケーブルを接続してネットアナケーブルと接続

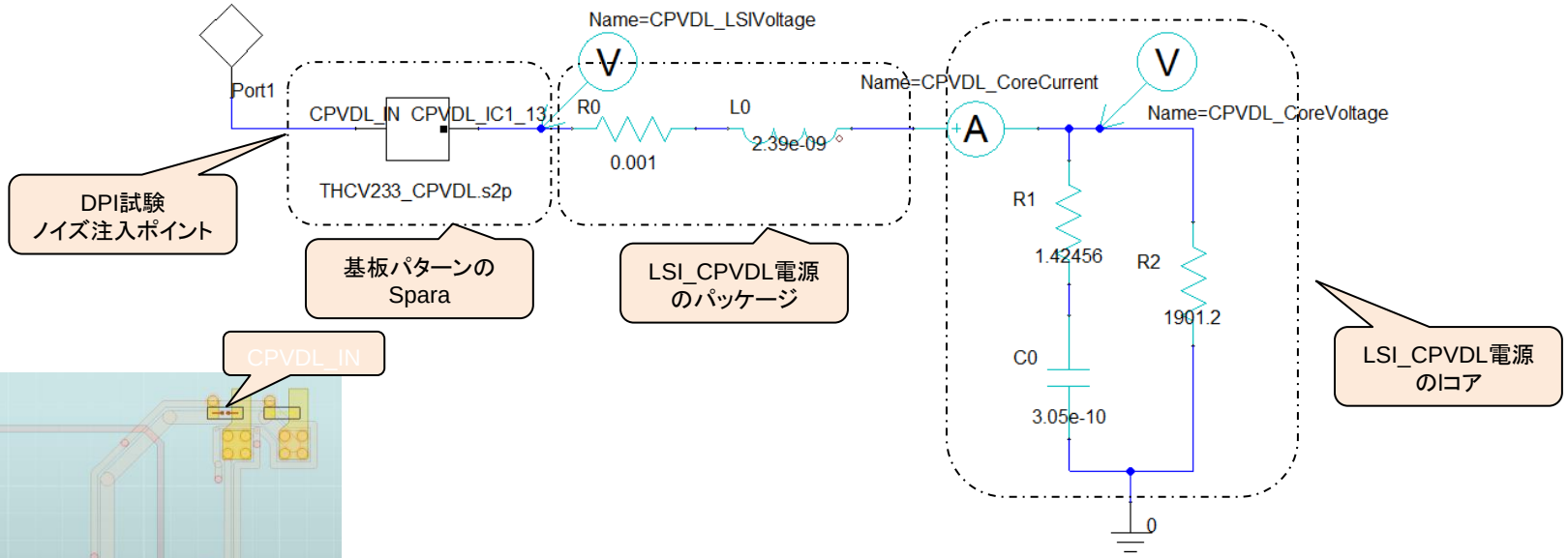


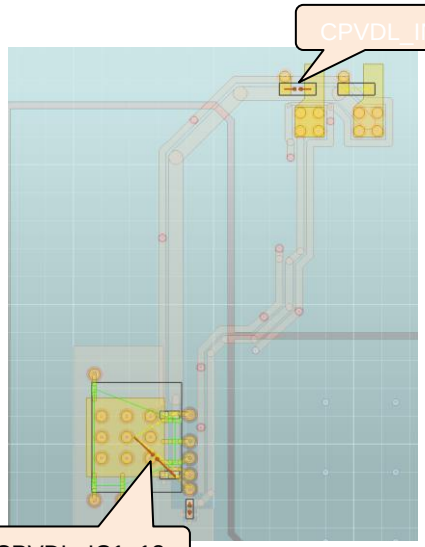
測定対象の電源（CPVDL／CAVDL）はネットアナからバイアスをかける。85MHzのCLKを接続し、BitErrorTestモードで動作させながら、インピーダンスを測定する

Copyright© JEITA SD-TC All Rights Reserved 2016

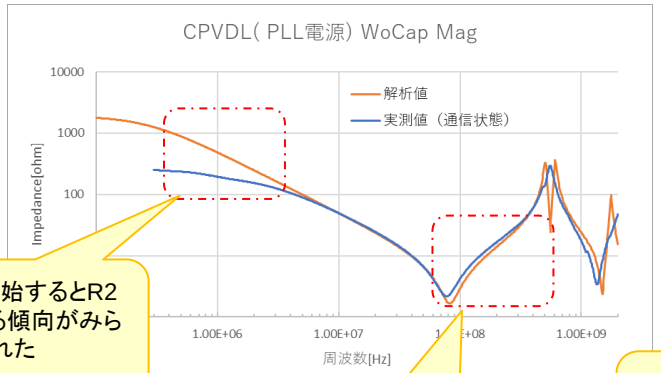
回路解析（CPVDL）

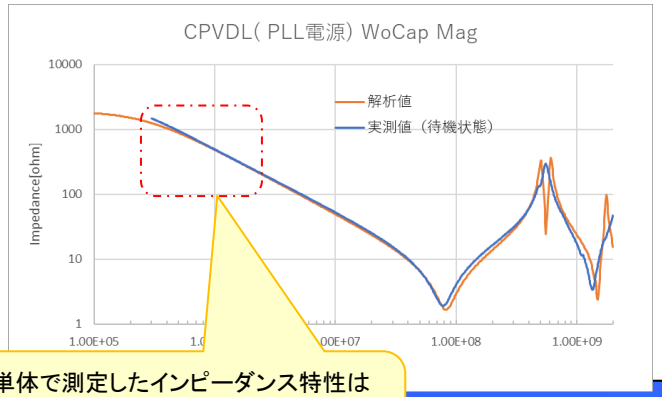
CPVDL電源のインピーダンス計算（キャパシタ無）





CPVDL電源のインピーダンス実測との比較（キャパシタ無）





通信を開始するとR2が低くなる傾向がみられた

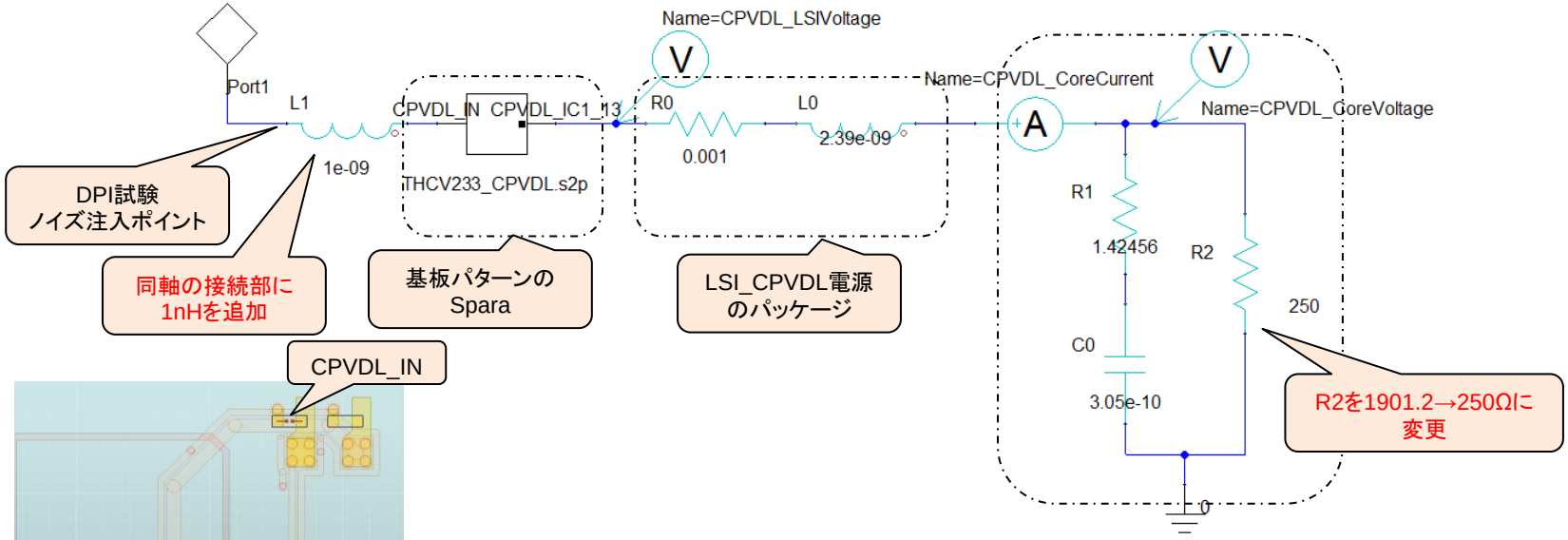
実測の方がL成分が高め

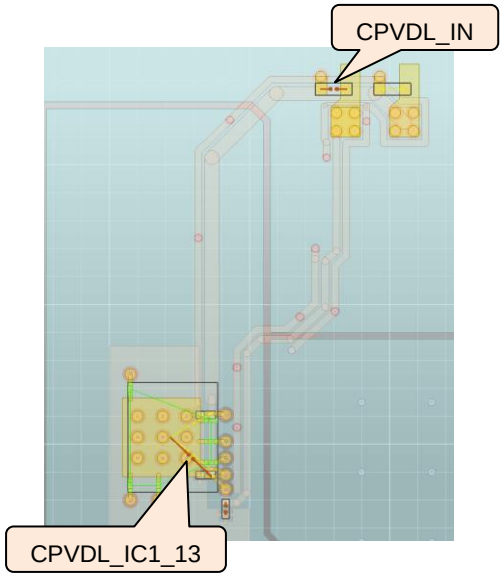
LSI単体で測定したインピーダンス特性は通信動作を行っていない場合（85MHzCLK非接続）の特性とあう。

Copyright© JEITA SD-TC All Rights Reserved 2016

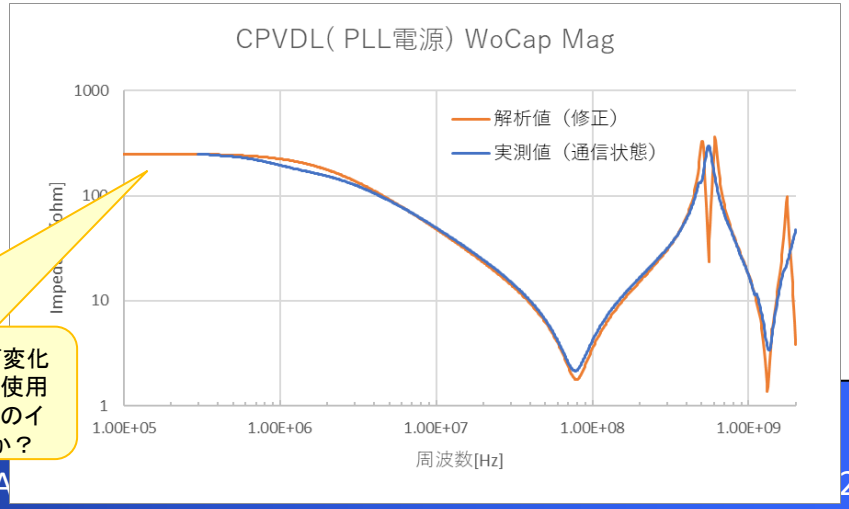
回路解析（CPVDL改）

CPVDL電源のインピーダンス計算（キャパシタ無）





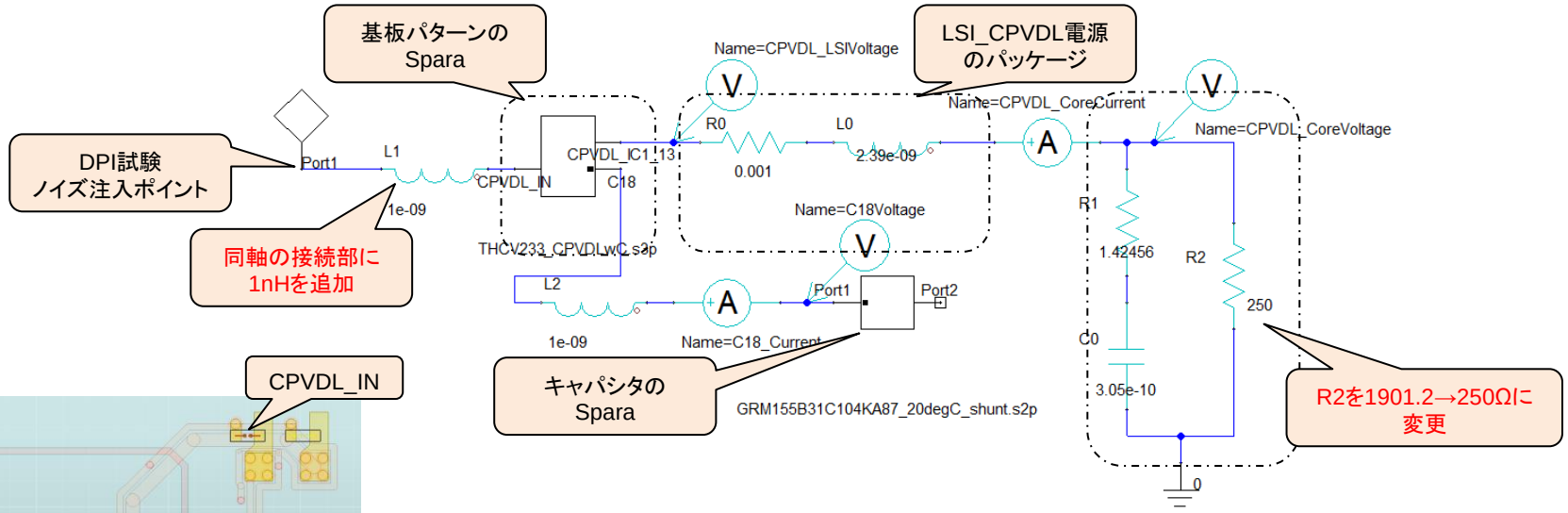
CPVDL電源のインピーダンス実測との比較（キャパシタ無）

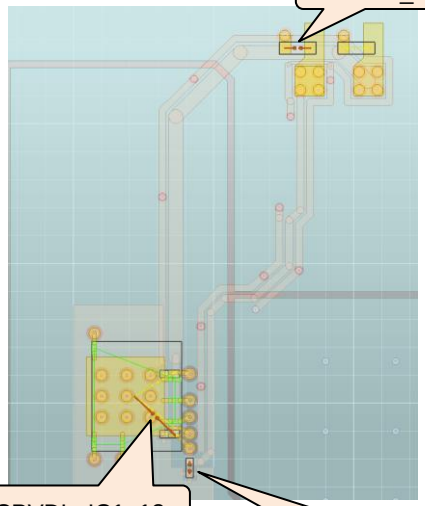


通信によりPLLの動作状態はほとんど変化しないと思われる。1.8Vの同一電源を使用しているCAVDLの状態変化がPLL側のインピーダンスにも表れたのではないか？

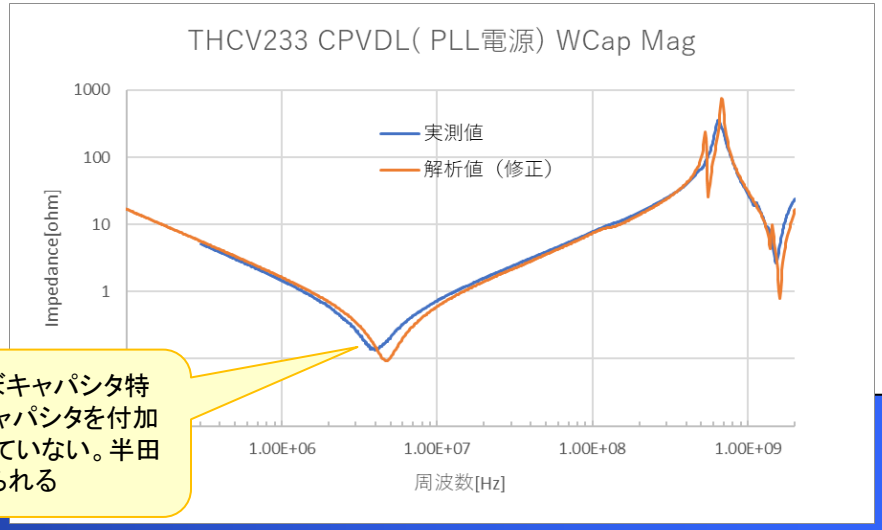
回路解析（CPVDL改）

CPVDL電源のインピーダンス計算（キャパシタ有）





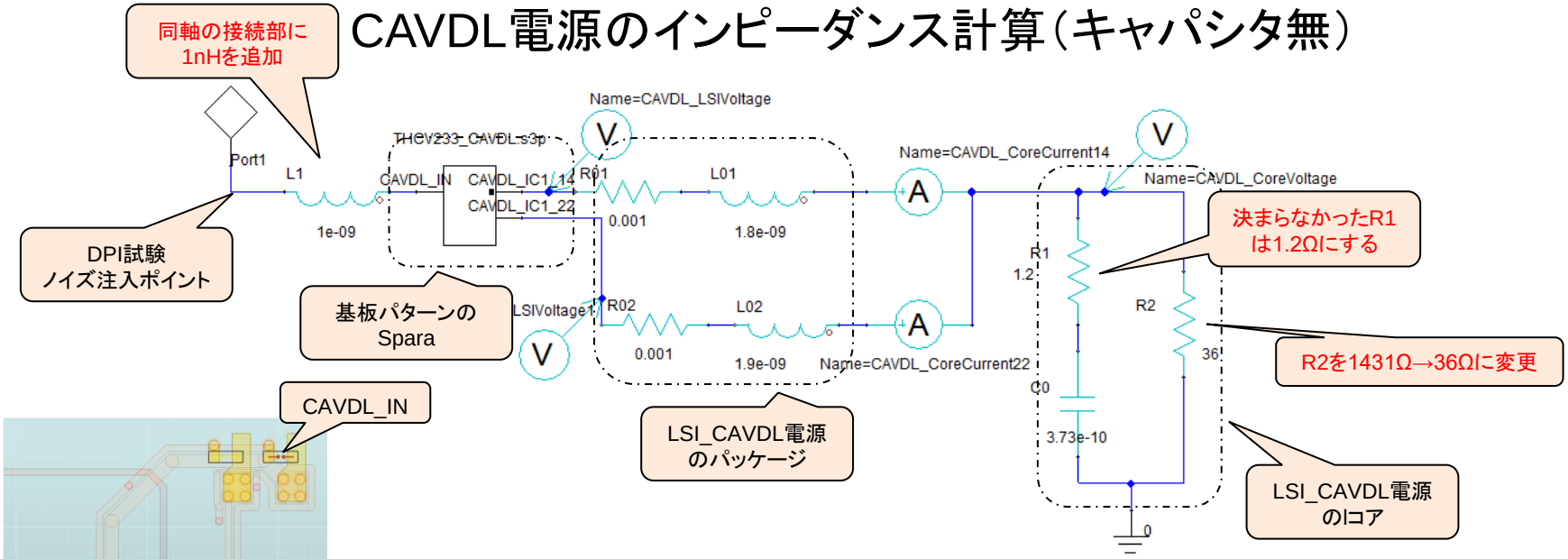
CPVDL電源のインピーダンス実測との比較（キャパシタ無）

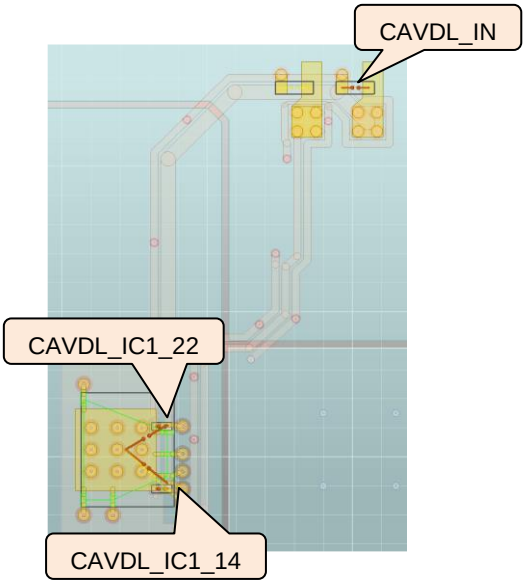


キャパシタを付加した場合、ほぼキャパシタ特性が支配的になる。解析値はキャパシタを付加する部分の特性が若干表現できていない。半田付けなどの影響も考えられる

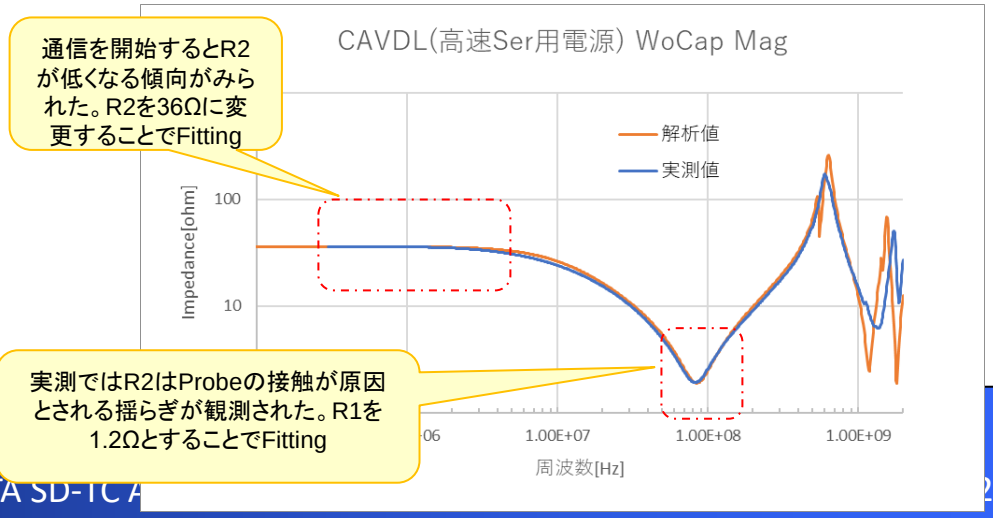
回路解析（CAVDL改）

CAVDL電源のインピーダンス計算（キャパシタ無）



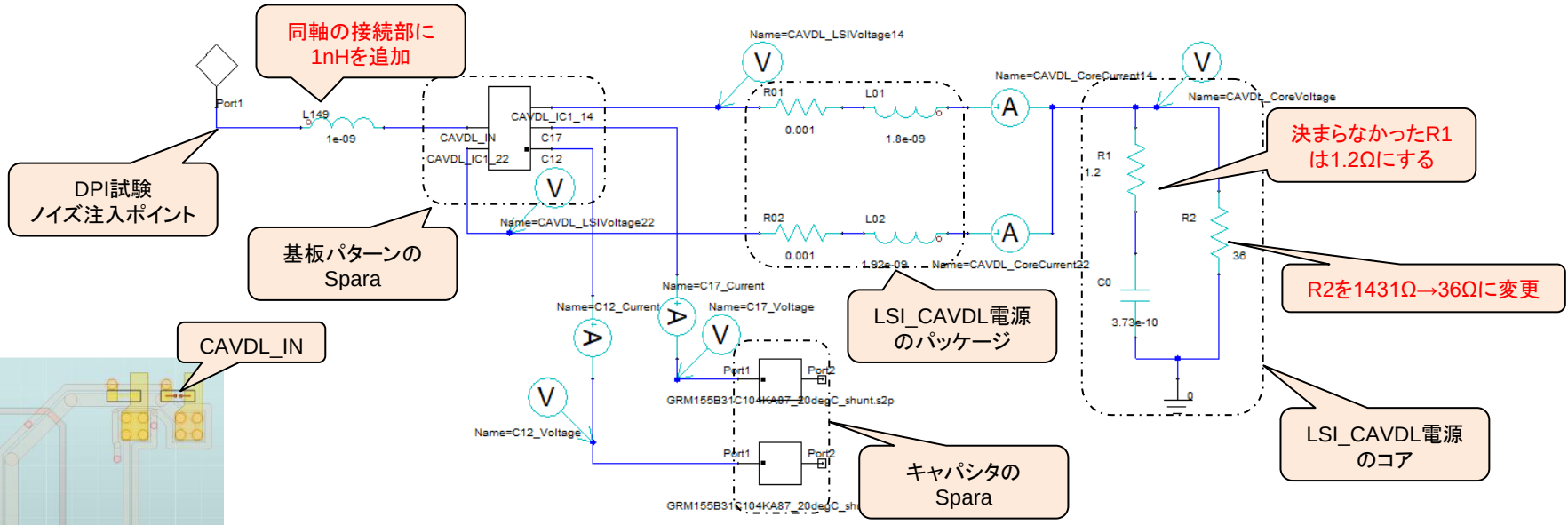


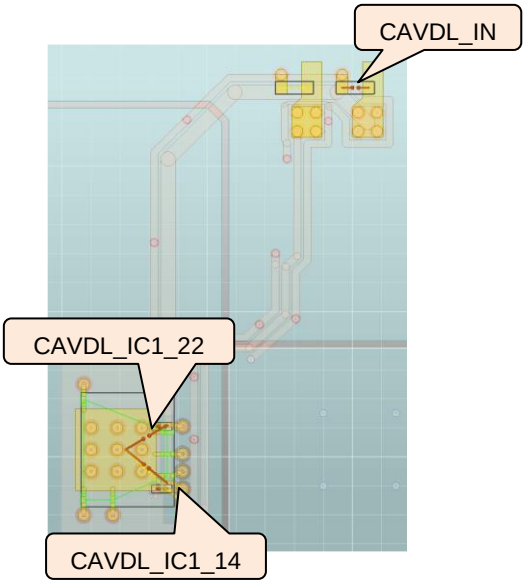
CPVDL電源のインピーダンス実測との比較（キャパシタ無）



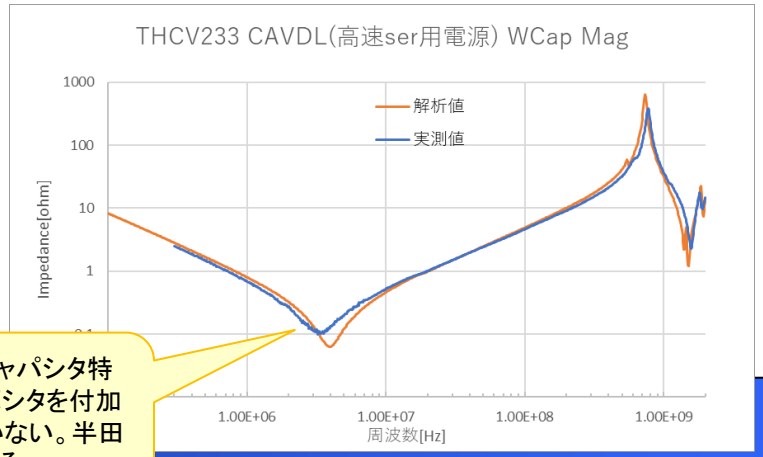
回路解析（CAVDL改）

CAVDL電源のインピーダンス計算（キャパシタ有）





CAVDL電源のインピーダンス実測との比較（キャパシタ有）



キャパシタを付加した場合、ほぼキャパシタ特性が支配的になる。解析値はキャパシタを付加する部分の特性が若干表現できていない。半田付けなどの影響も考えられる

基板モデルとLSIモデルのまとめ

- 基板のモデルとLSIのモデルをつなげ、DPI測定でのノイズの印加ポイントから見たインピーダンスを実測と比較することでLSIのインピーダンスモデルのフィッティングを行った。

- CPVDL,CAVDLとも通信動作により、R1が低下する傾向が観測されたので、修正。
- CACDLのコア抵抗R1はLSI単体測定で決まらなかったが、基板込みのインピーダンスをあわせることで1．2Ωとした。

- 実測と解析のインピーダンス特性はほぼ合わせられたのでこの条件でDPIを模した解析を行う。

Copyright© JEITA SD-TC All Rights Reserved 2016

DPI試験結果からイミュニティーモデルを作成する。

Copyright© JEITA SD-TC All Rights Reserved 2016

DPI試験回路解析（CPVDL改）

- CPVDL電源に対するDPI試験の等価回路を作成する
- DPI　1W当たりに誘導されるLSIのコア電圧、コア電流を求める
- DPI試験で誤動作の発生した閾値電力からそのときに発生しているLSIのコア電圧、コア電流を求め、誤動作閾値を計算してみる

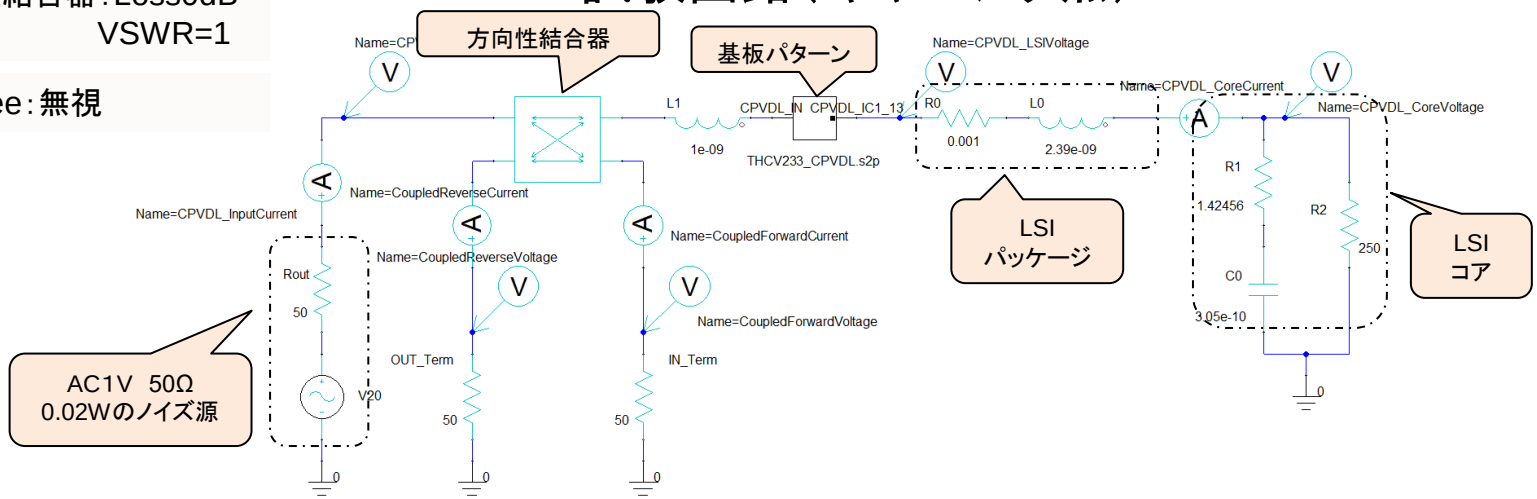
Copyright© JEITA SD-TC All Rights Reserved 2016

DPI試験回路解析（CPVDL改）

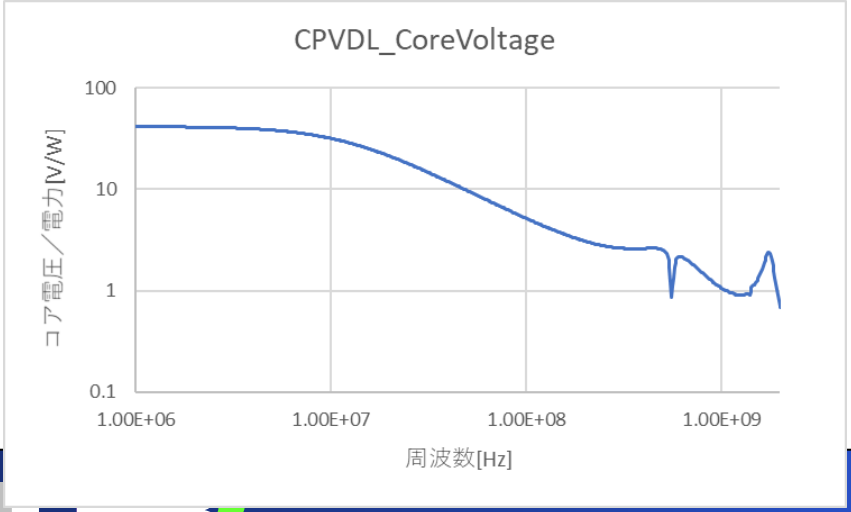
方向性結合器：Loss0dB
VSWR=1

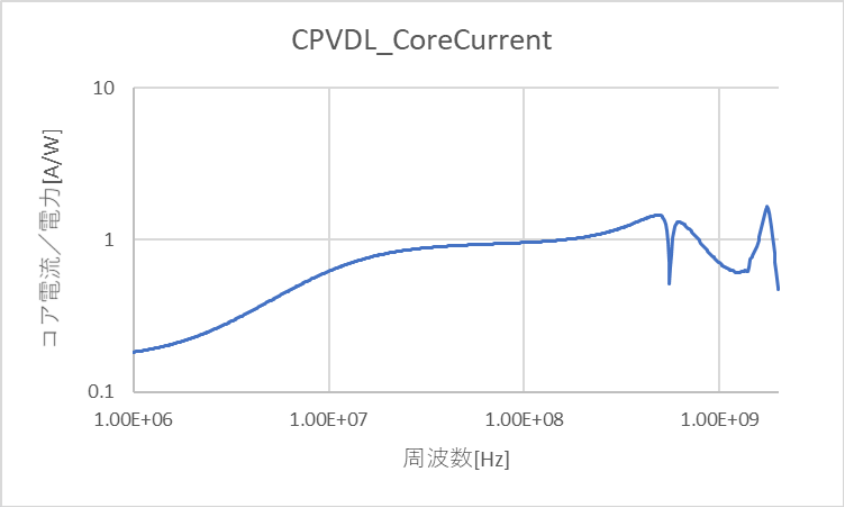
BiasTee：無視

DPI試験回路（キャパシタ無）



注入電力1Wあたりのコア電圧とコア電流

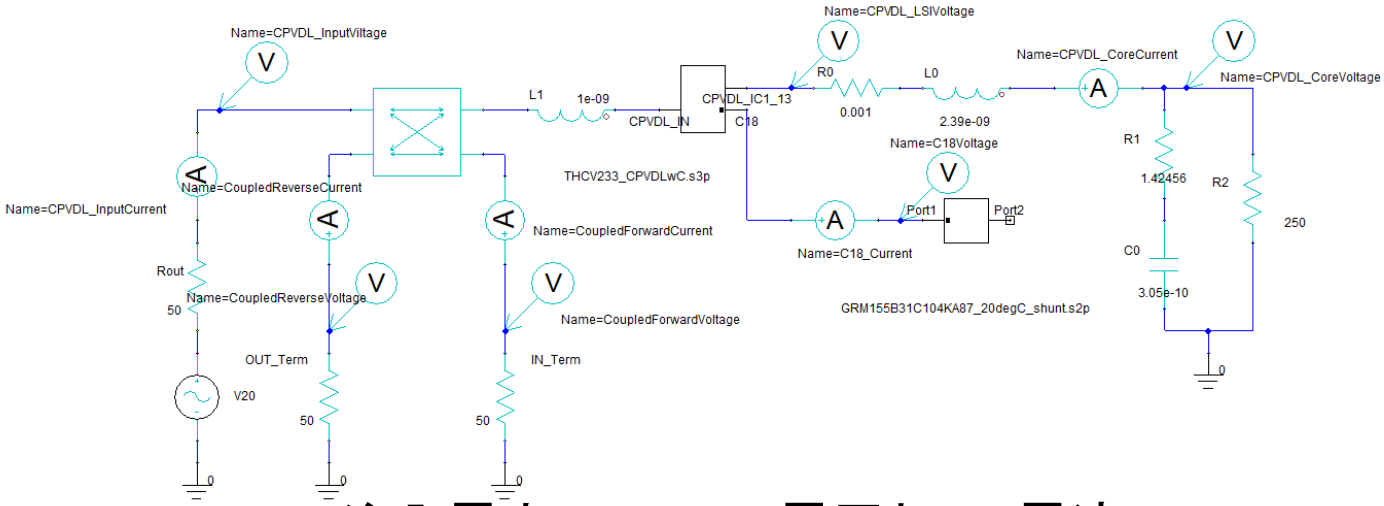




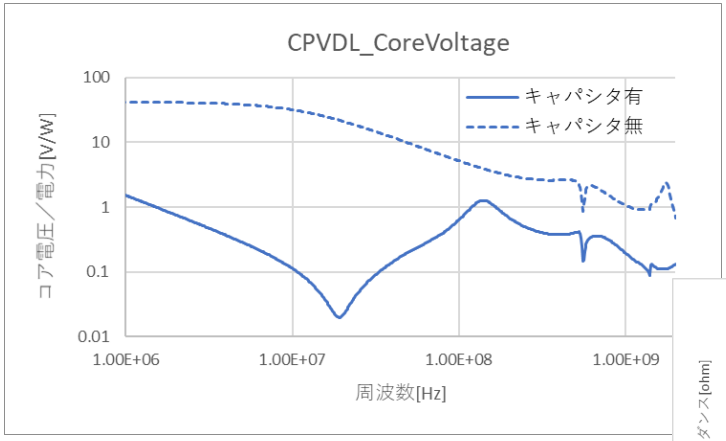
Copyright© JEITA SD-TC All Rights Reserved 2016

DPI試験回路解析（CPVDL改）

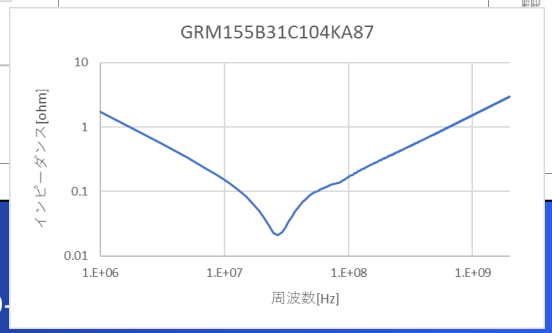
DPI試験回路（キャパシタ有）

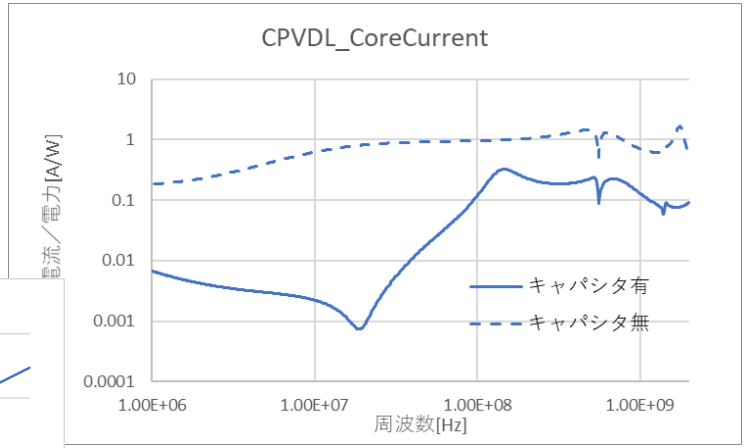


注入電力1Wのコア電圧とコア電流



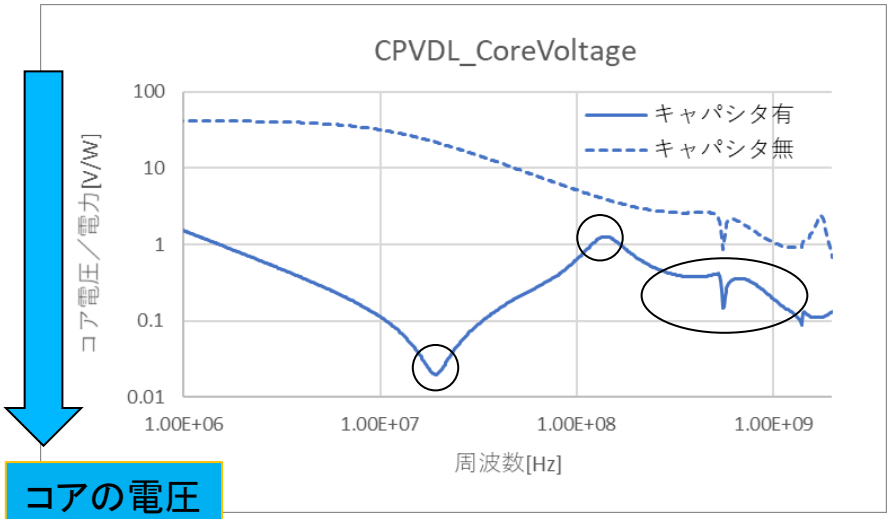
デカップリングキャパシタのインピーダンス特性によりコアの誘導電圧、電流は低減される





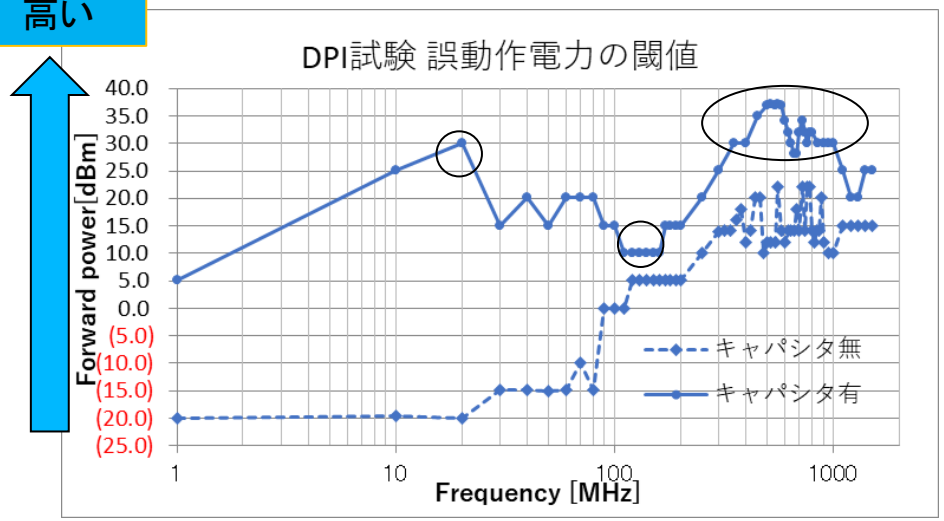
誤動作閾値（CPVDL改）

DPI試験の耐量とコア電圧の相関



コアの電圧が低い

耐量が高い



コアに誘導される電圧を下げると耐量があがる関係にあることがわかる。

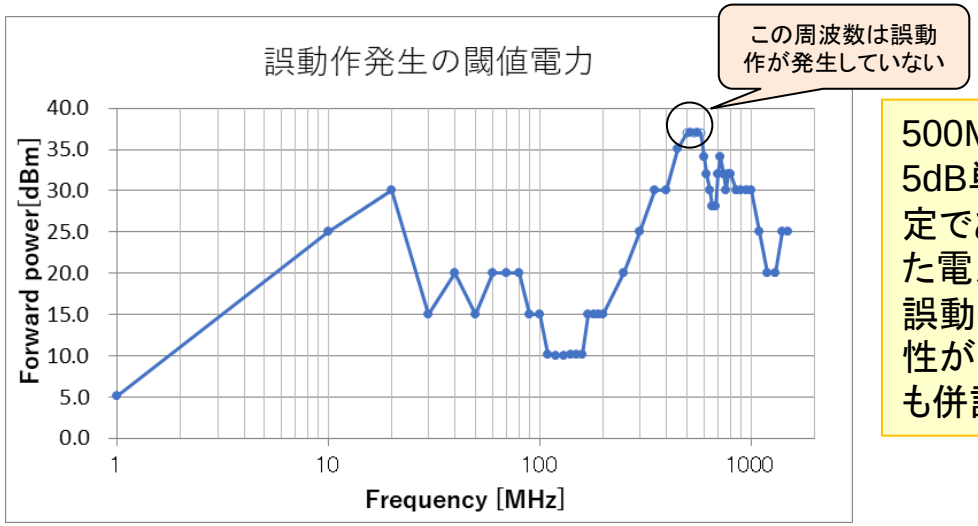
150MHz付近のコア電圧を下げれば、この付近の耐量の低下は低減できる。

500MHz付近の耐量が非常に高い。一方、誘導電圧はさほど低くない。この帯域はLSIがノイズに追従できない領域か？

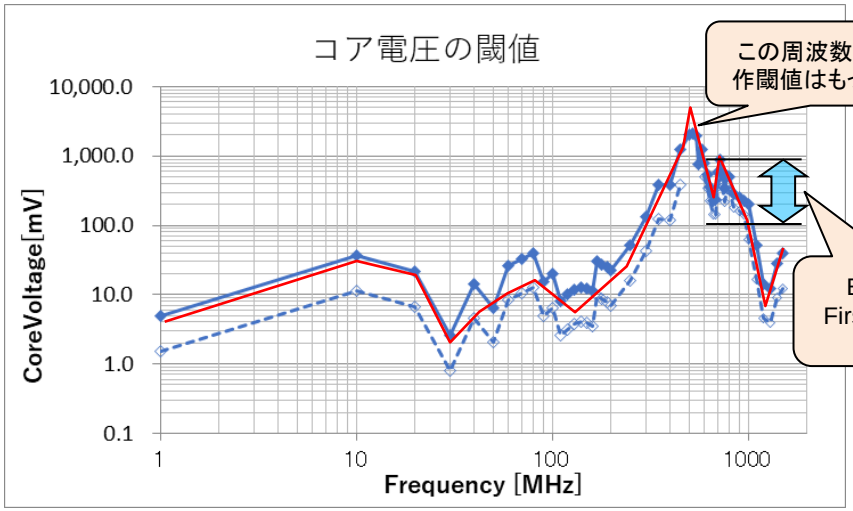
Copyright© JEITA SD-TC All Rights Reserved 2016

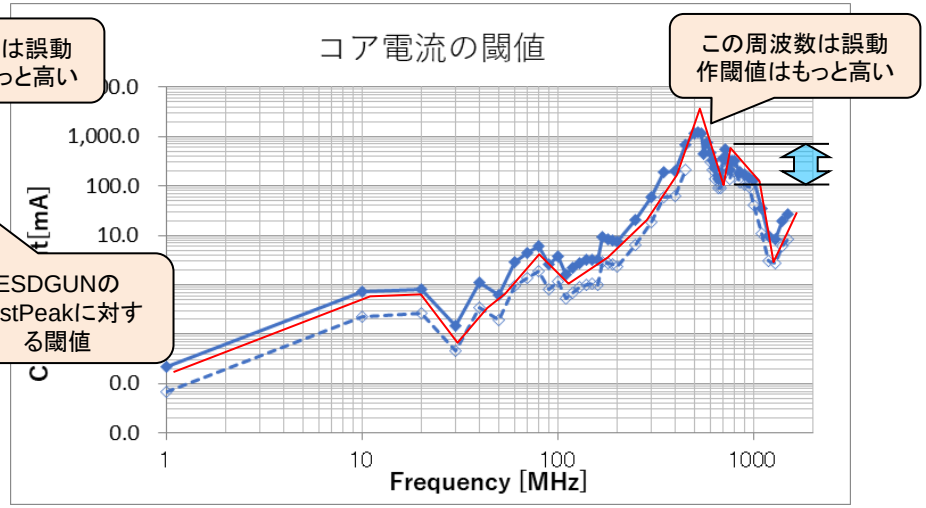
誤動作閾値（CPVDL改）

DPI試験によって誤動作の発生した注入電力から、その時にコアに印加される電圧、流入する電流をプロットした。



500MHzまでのDPI試験は5dB単位のざっくりとした測定である。誤動作が発生した電力より5dB低い電力でも誤動作は発生している可能性がある。5dB低いプロットも併記した。





誤動作の発生するコア電圧や電流は、周波数により変動する。
ESDのFirstPeakのパルス幅は1nsec程度。数百mVが閾値になると考えられる。

Copyright© JEITA SD-TC All Rights Reserved 2016

DPI試験回路解析（CAVDL改）

- CPVDL電源に対するDPI試験の等価回路を作成する
- DPI　1W当たりに誘導されるLSIのコア電圧、コア電流を求める
- DPI試験で誤動作の発生した閾値電力からそのときに発生しているLSIのコア電圧、コア電流を求め、誤動作閾値を計算してみる

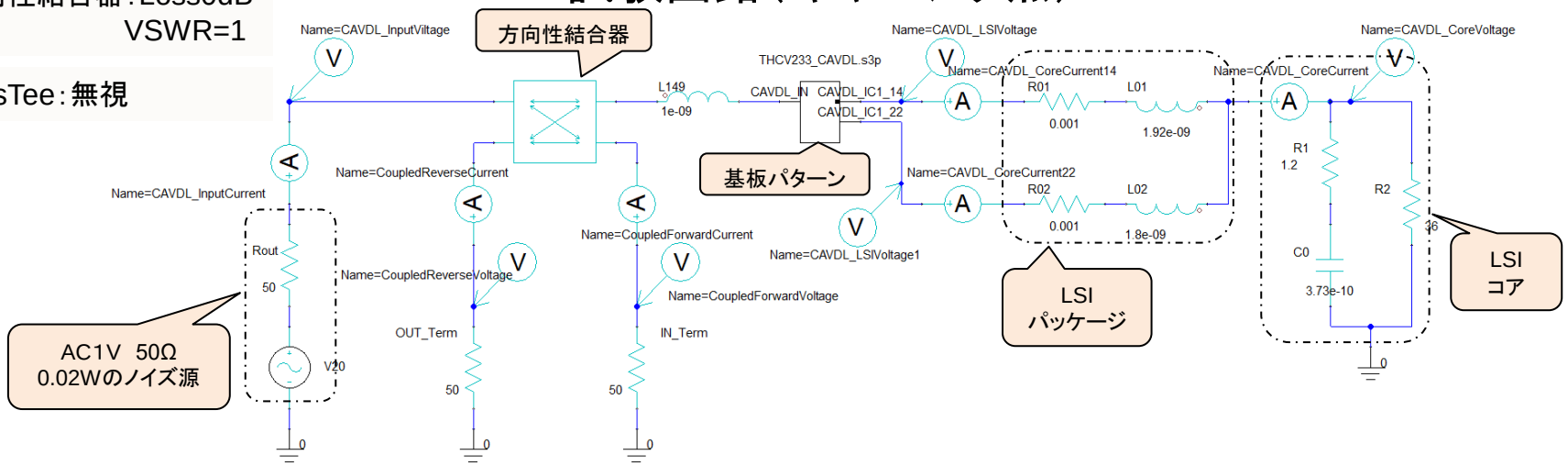
Copyright© JEITA SD-TC All Rights Reserved 2016

DPI試験回路解析（CAVDL改）

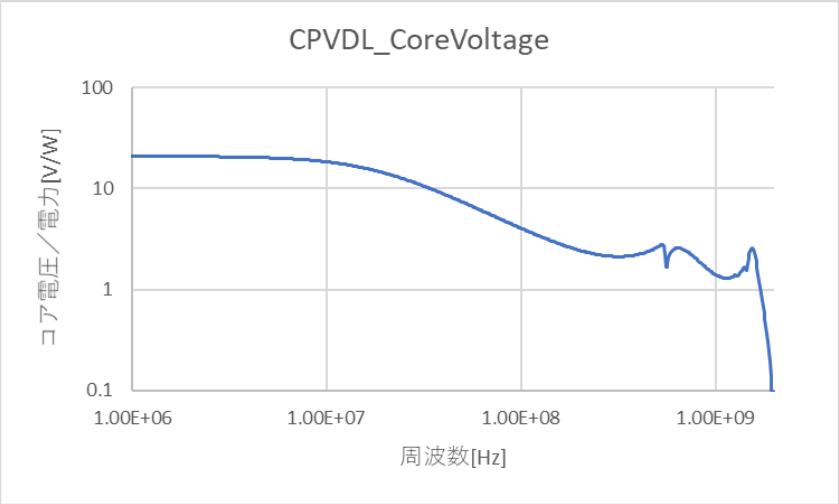
方向性結合器：Loss0dB
VSWR=1

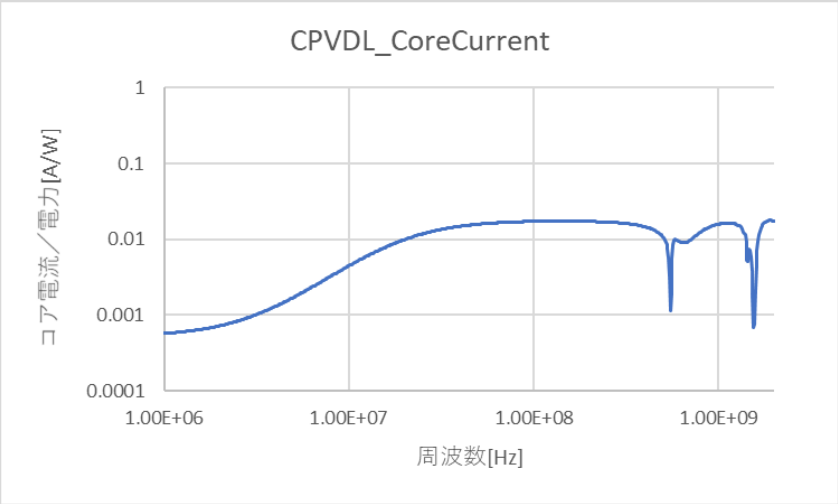
BiasTee：無視

DPI試験回路（キャパシタ無）



注入電力1Wあたりのコア電圧とコア電流

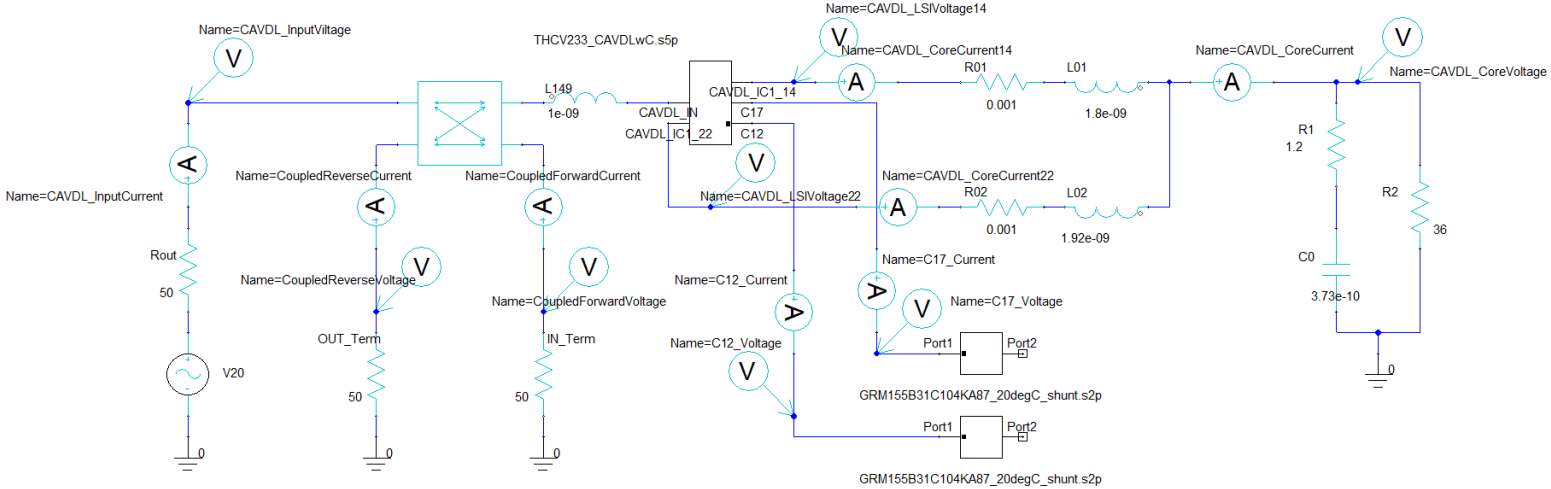




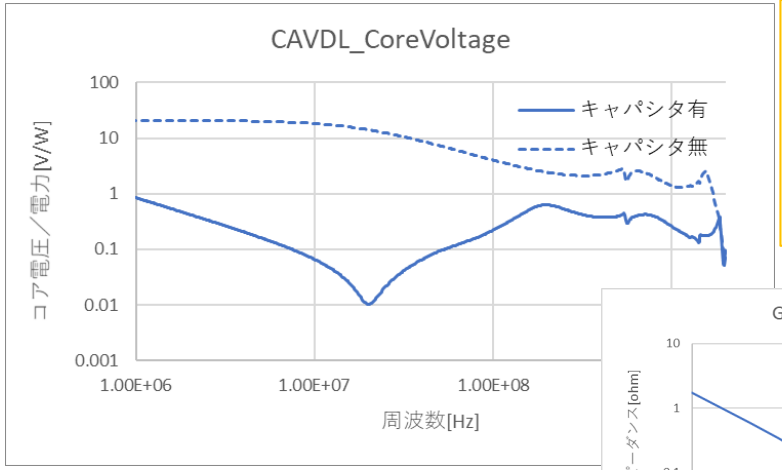
Copyright© JEITA SD-TC All Rights Reserved 2016

DPI試験回路解析（CAVDL改）

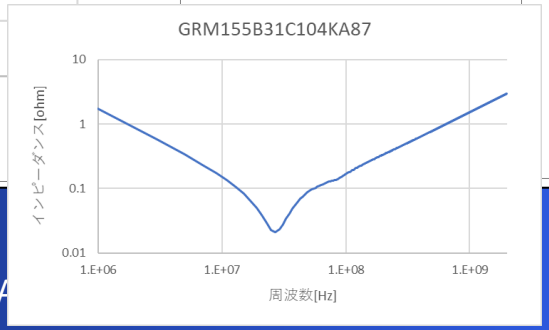
DPI試験回路（キャパシタ有）

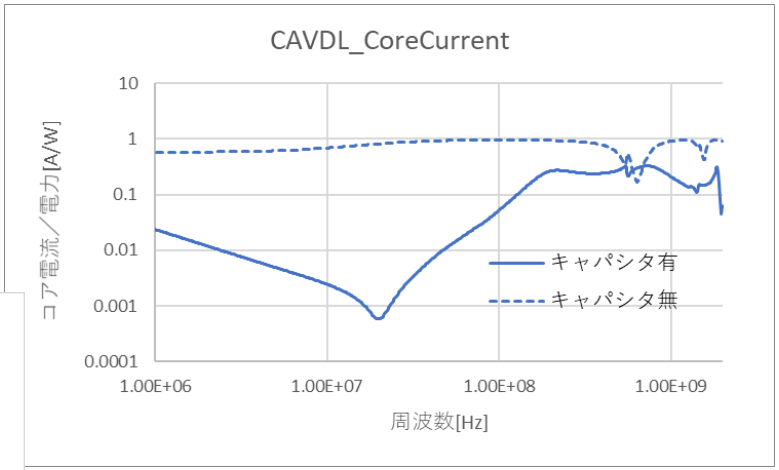


注入電力1Wのコア電圧とコア電流



デカップリングキャパシタのインピーダンス特性によりコアの誘導電圧、電流は低減される

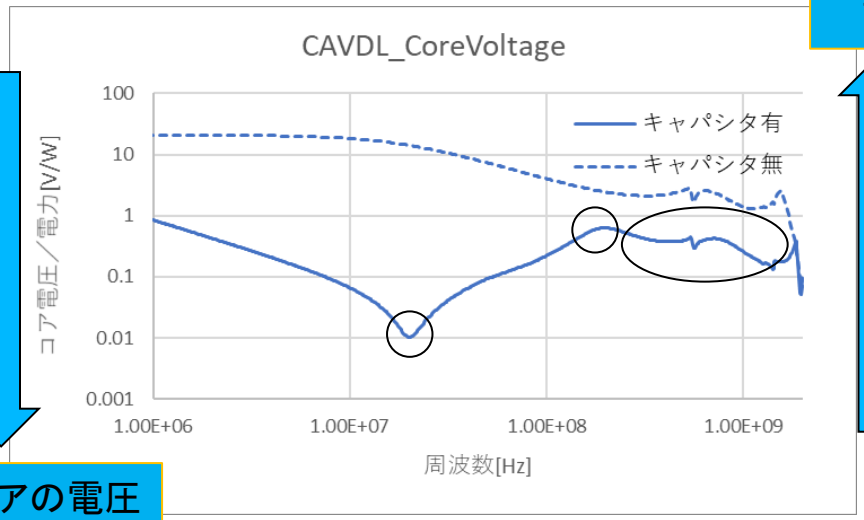




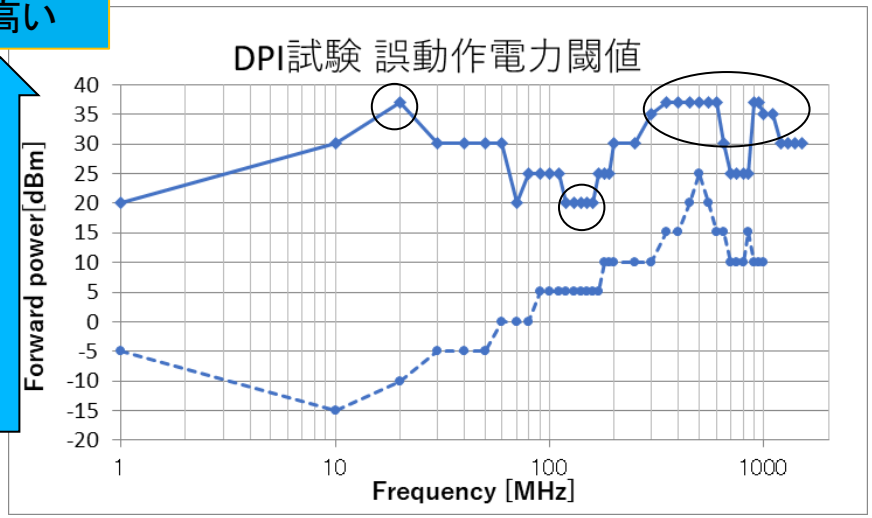
誤動作閾値（CAVDL改）

DPI試験の耐量とコア電圧の相関

耐量が高い



コアの電圧が低い



コアに誘導される電圧を下げると耐量が上がる関係にあることがわかる。

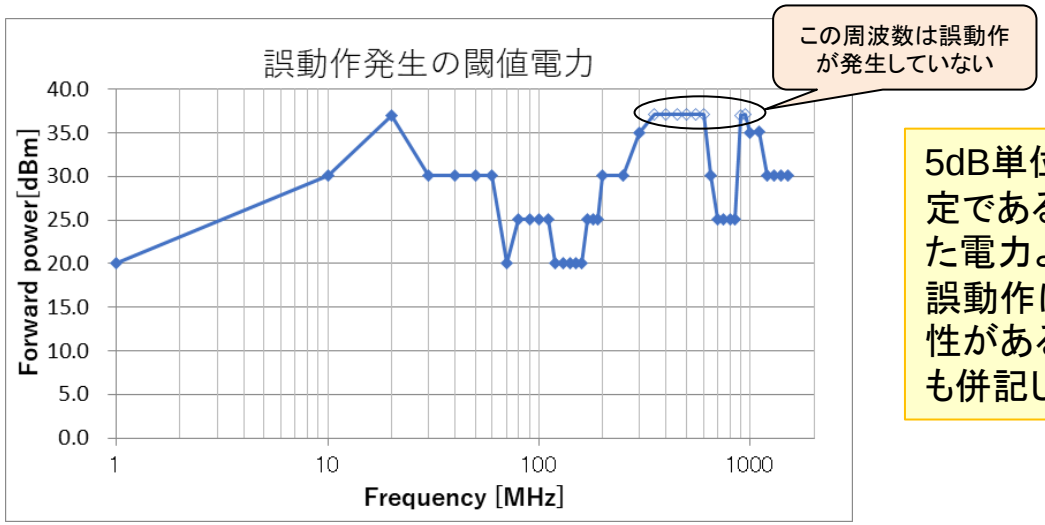
150MHz付近のコア電圧を下げれば、この付近の耐量の低下は低減できる。

500MHz付近の耐量が非常に高い。一方、誘導電圧はさほど低くない。この帯域はLSIがノイズに追従できない領域か？

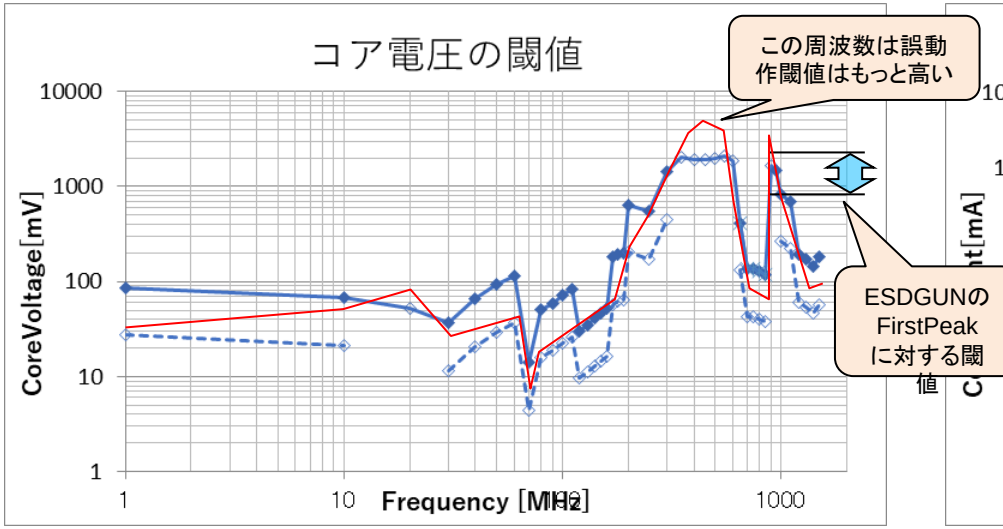
Copyright© JEITA SD-TC All Rights Reserved 2016

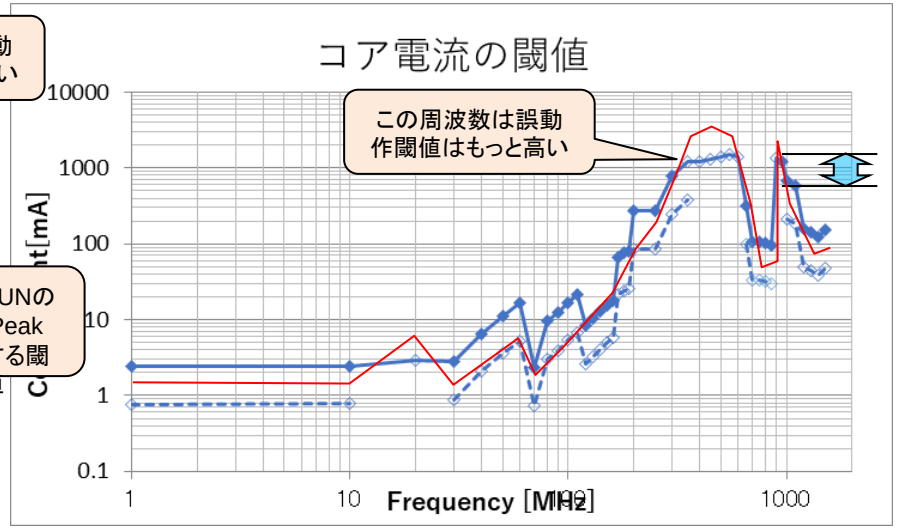
誤動作閾値（CAVDL改）

DPI試験によって誤動作の発生した注入電力から、その時にコアに印加される電圧、流入する電流をプロットした。



5dB単位のざっくりとした測定である。誤動作が発生した電力より5dB低い電力でも誤動作は発生している可能性がある。5dB低いプロットも併記した。





誤動作の発生するコア電圧や電流は、周波数により変動する。
ESDのFirstPeakのパルス幅は1nsec程度。1V-2Vが閾値になると考えられる。

Copyright© JEITA SD-TC All Rights Reserved 2016

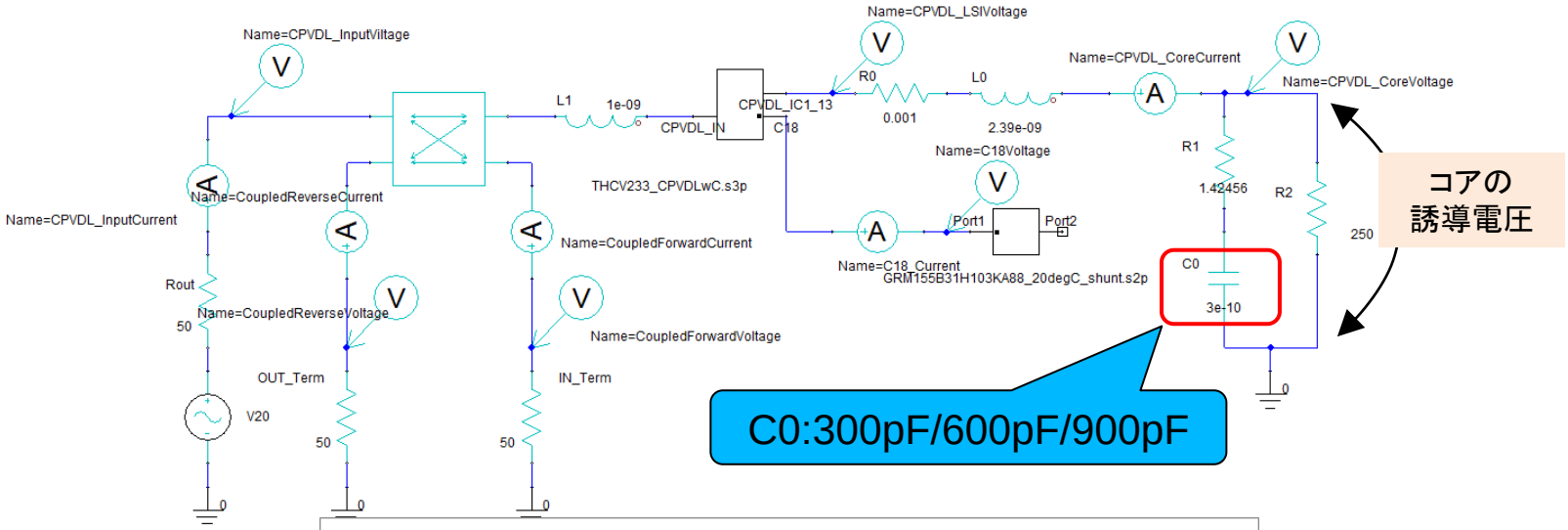
DPI試験パラメータスタディー

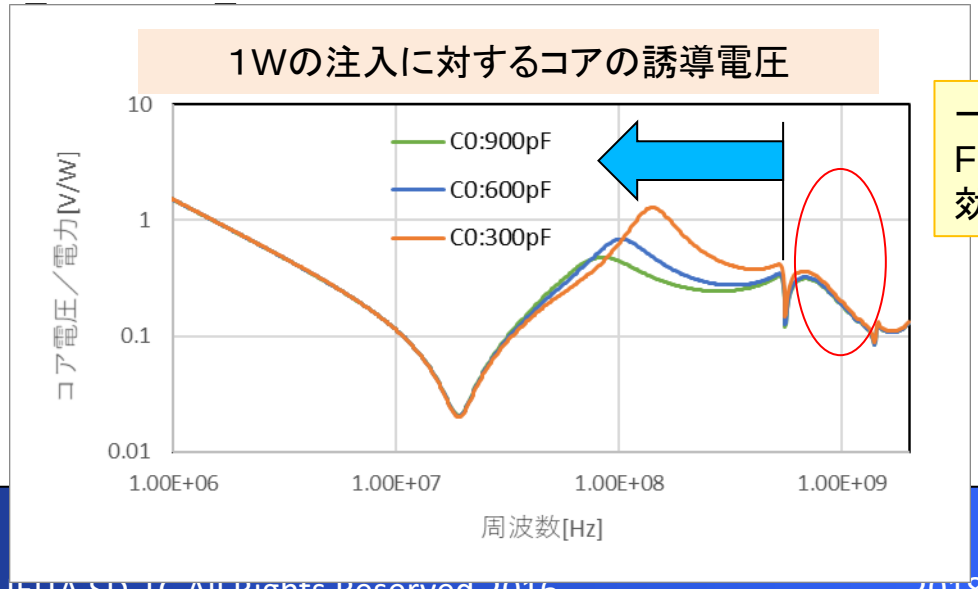
- 作成したモデルを使ってパラメータスタディーを行う

Copyright© JEITA SD-TC All Rights Reserved 2016

S1:コア容量に対する変化

DPI試験回路（キャパシタ有） コア容量：300pF／600pF／900pF





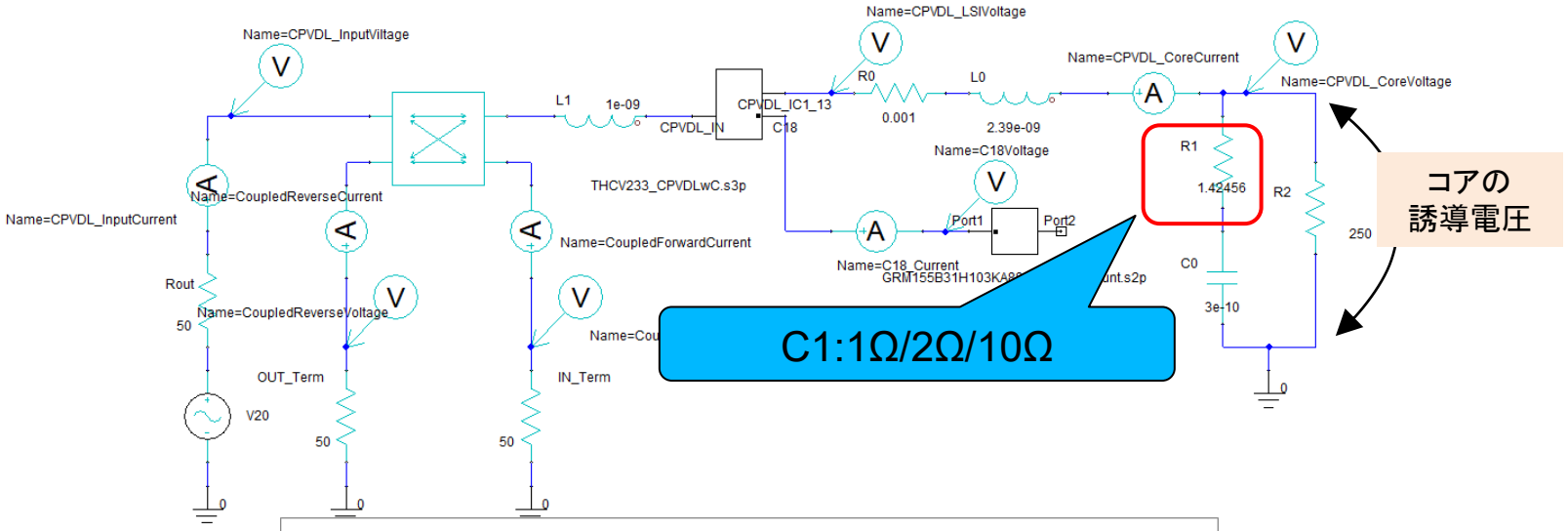
オンチップキャパシタの増加によりコアの容量を大きくした場合、600MHz以下の誘導電圧の低減効果は期待できる。

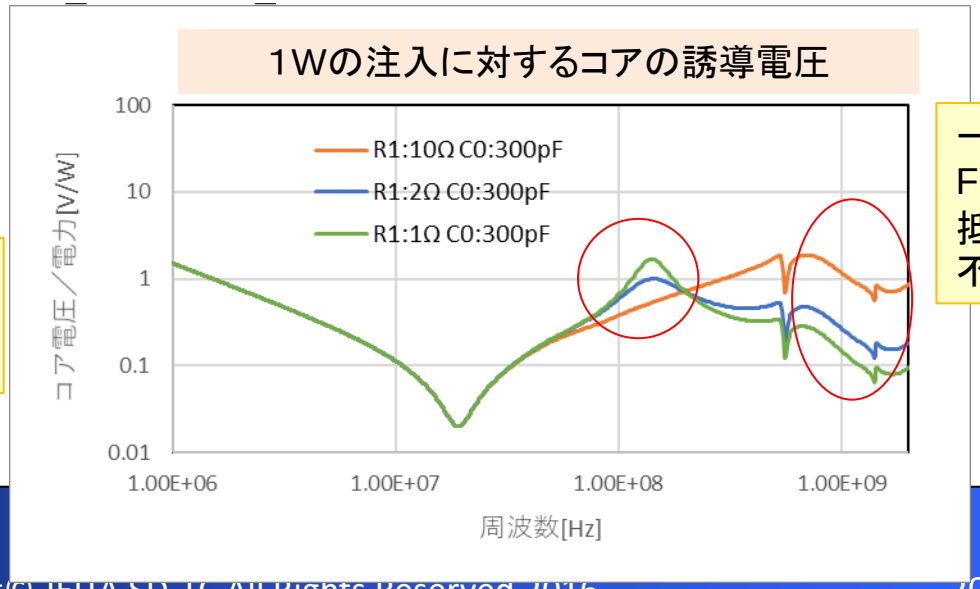
一方、ESDのFirstPeakに対しては効果は期待はできない

Copyright© JEITA SD-TC All Rights Reserved 2016

S2:コア抵抗に対する変化

DPI試験回路（キャパシタ有） コア抵抗：1Ω／ 2Ω／10Ω





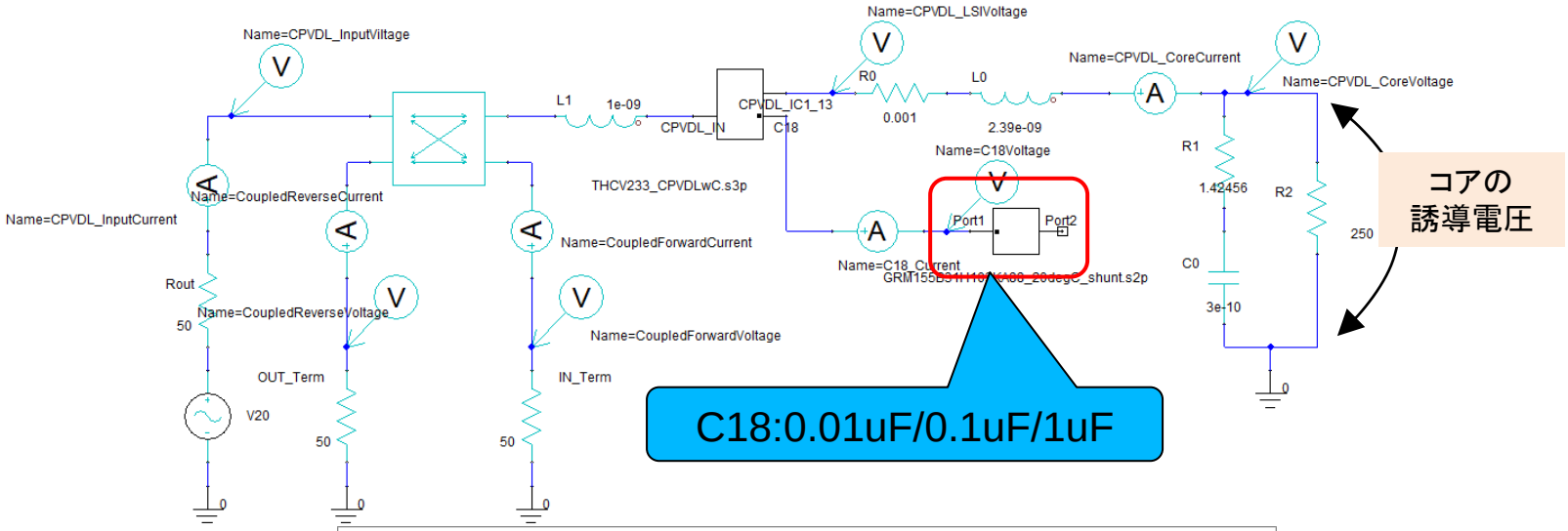
コア抵抗が増加すると150MHzのピークは低減される

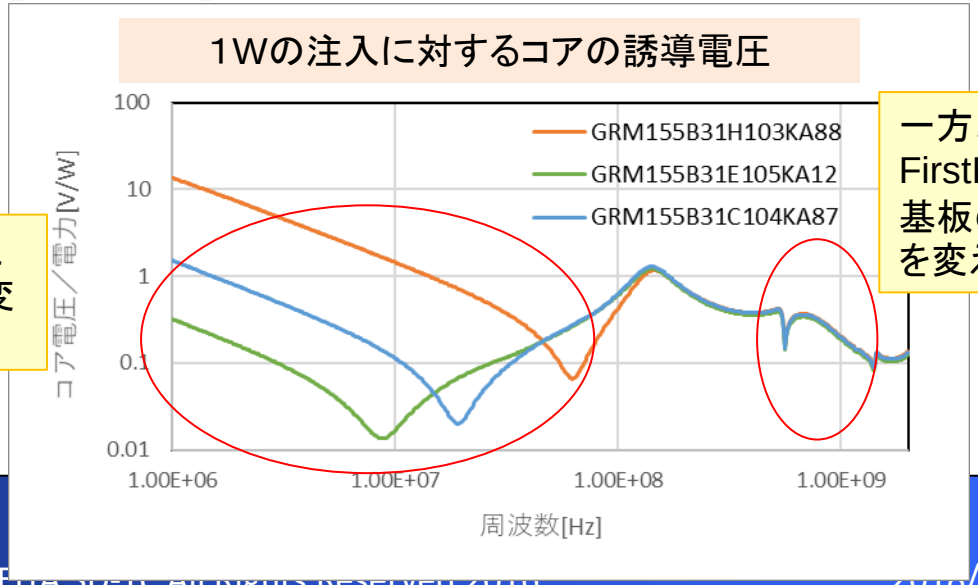
一方、ESDのFirstPeakに対しては抵抗が増加することで不利になる。

Copyright© JEITA SD-TC All Rights Reserved 2016

S3:基板のキャパシタに対する変化

DPI試験回路（キャパシタ有） キャパシタ:0.01uF／0.1uF／1uF





キャパシタの容量を変えると低域の誘導電圧を変化させることができる

一方、ESDのFirstPeakに対しては基板のキャパシタ容量を変えても効かない。

DPI法のまとめ

- 通信LSIにDPI試験を行った。注入ノイズの周波数に対するコアの耐量の差が確認された。ESDのFirstPeakのような高速のパルスに対する耐量は立ち上がり時間に依存することが予想される。
- このモデルを半導体メーカーとセットメーカーのバウンダリーとすることで、部分的にではあるがお互いのパラメータに関する議論が可能となる。
- 但し、パルス的なノイズに対する振る舞いは正確には答えられない。

Copyright© JEITA SD-TC All Rights Reserved 2016