



CadenceのCo-DesignとLPBへの取り組み

Cadence Design Systems, Japan
益子 行雄

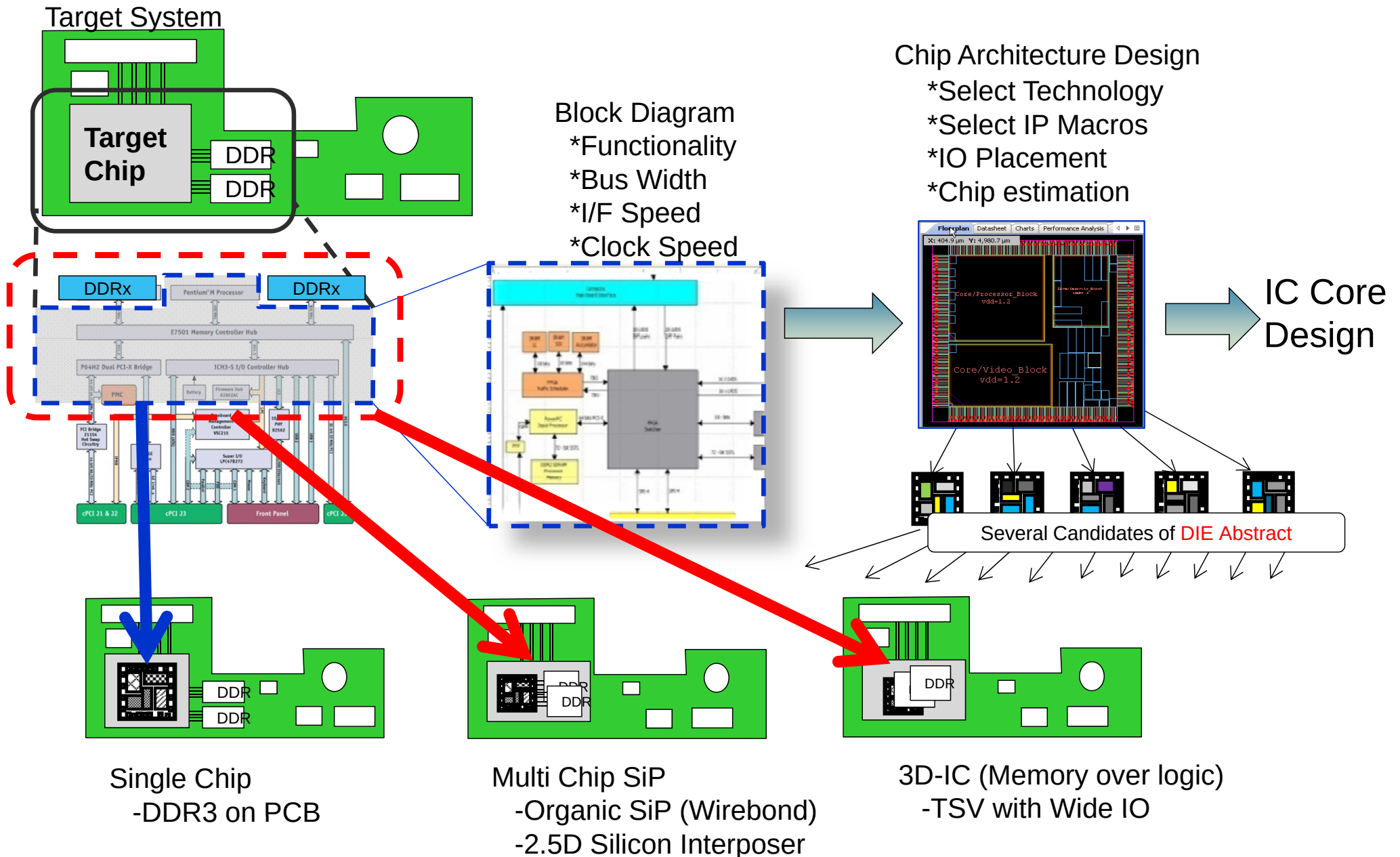
2013年3月6日

cādence[®]

Agenda

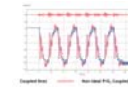
- CadenceのIC-PKG-Board Co-Designへの取り組み
 - System / SoC アーキテクチャー設計とChip-PKG-Board
 - Virtual System InterConnect (VSIC)
- System Prototype Planner
 - 実現しているCo-Design機能の例
- Chip-PKG-Board 事例 (CISCO)
- IC-PKG-Board PI Aware SI Analysis
- CadenceがLPBをサポートするには

System Design and SoC Architecture Design



VSIC: Virtual System Interconnect

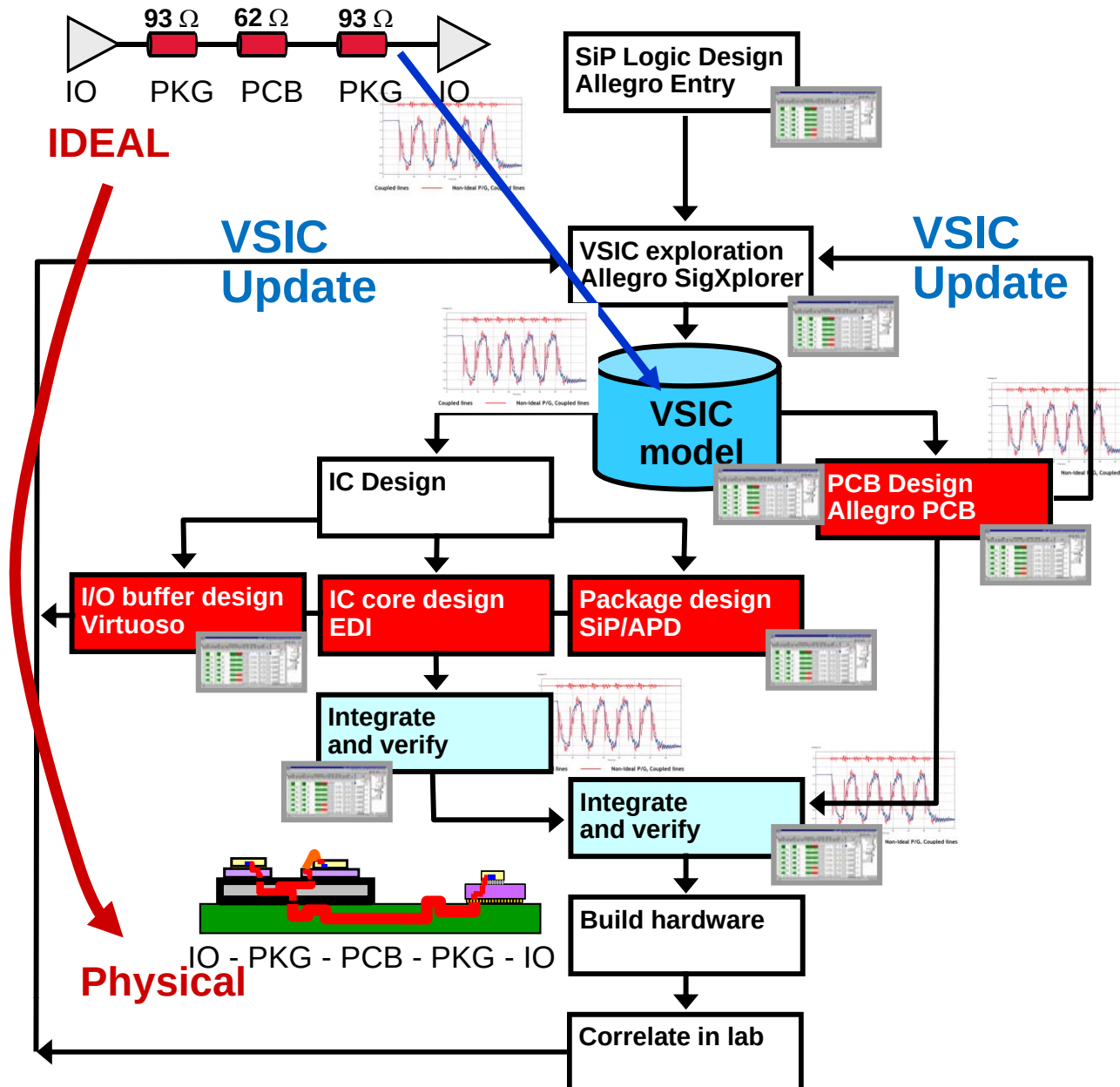
IC-PKG-PCB を通したインターコネクトの設計 / 検証



統合simulation

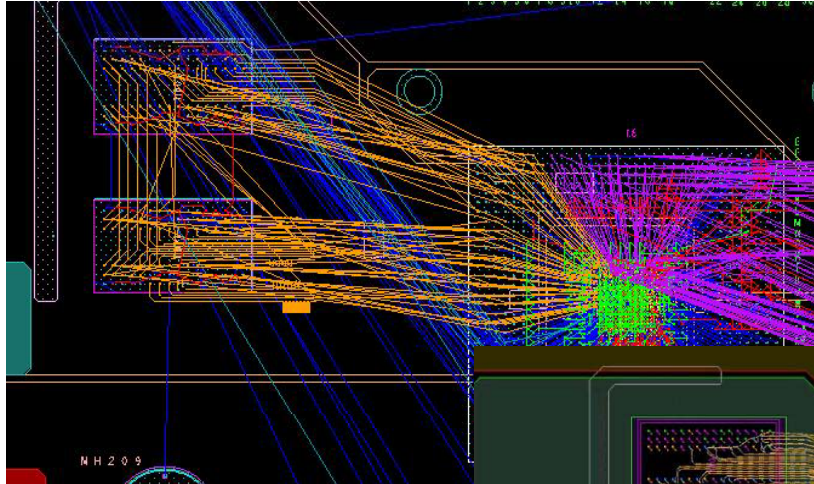
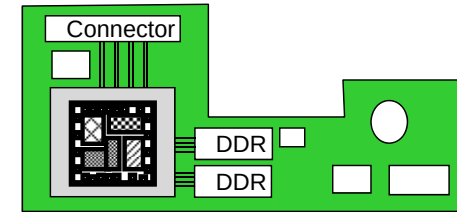


Constraint Manager



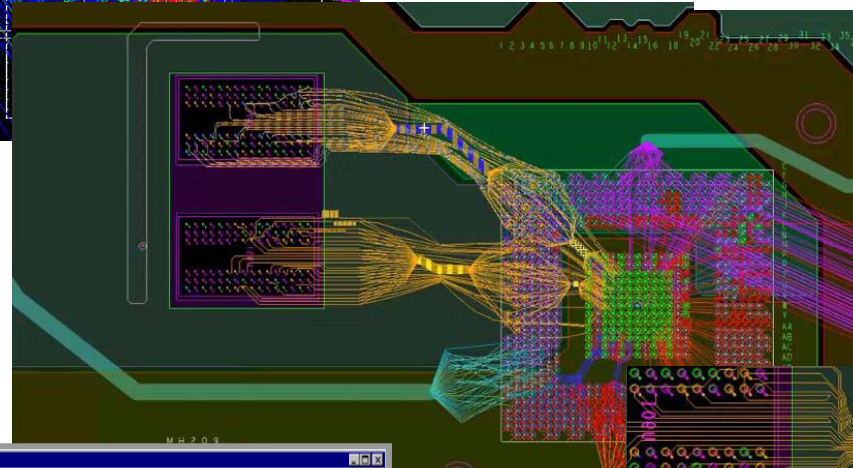
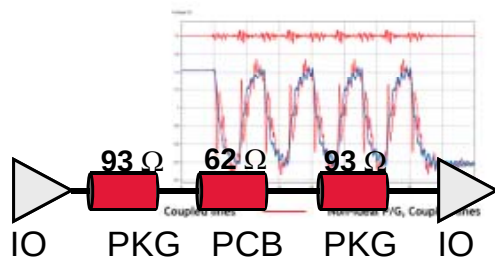
- IC-PKG-PCBのTarget SPECを策定し、VSICモデルとしてセット
- 各設計ドメイン (IC, PKG, PCB)はそれぞれのパートをVSICに合わせて設計
- 設計が進んだ部署からIDEALなVSIC部分をフィジカルなものにアップデート
- 同じコンストレイント・マネージャーがIDEALなトポロジーから、最終配線までサポート
- DDRx, SerDes AMIまで高速信号の解析を設計のどの時点でも行える

IC-PKG-PCB Optimization (System Prototyping Planner)

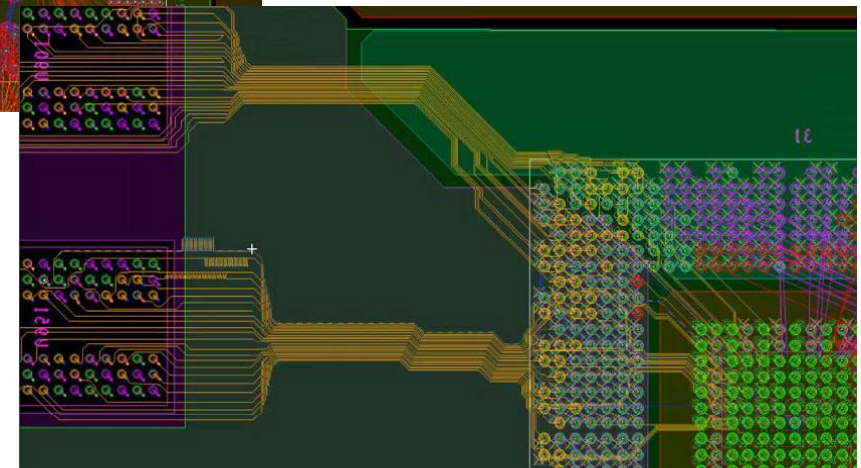


RatsによるPinアサインの確認

Bus表示による配線経路の策定と Pin アサイン自動化



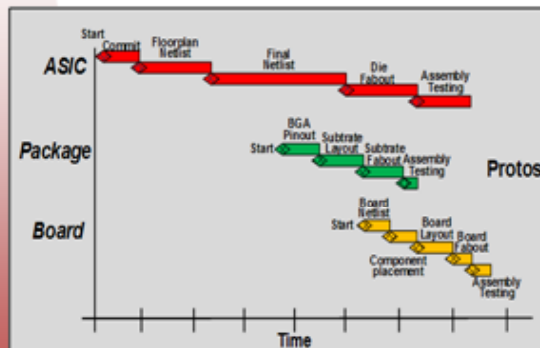
配線経路に沿った自動配線

[illegible]

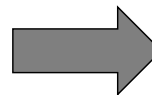
System Prototype Planner External Resources...

- At DesignCon 2011, Cadence and Cisco shows how chip-package-board can be optimized in parallel using Cadence Co-Design solution

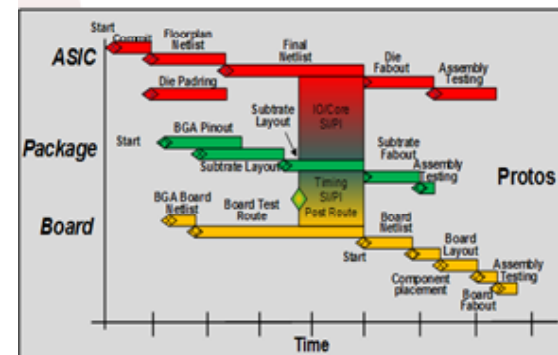
Chip-Package-Board Design Milestones



- Existing design process was disjointed, leading to "over-the-wall" concept
- Bridging of design teams through the extensive use of "Microsoft CAD tools - (M-CAD)"
- Impossible to provide global view and early identification of problem areas



Revised Chip-Package-Board Design Milestones



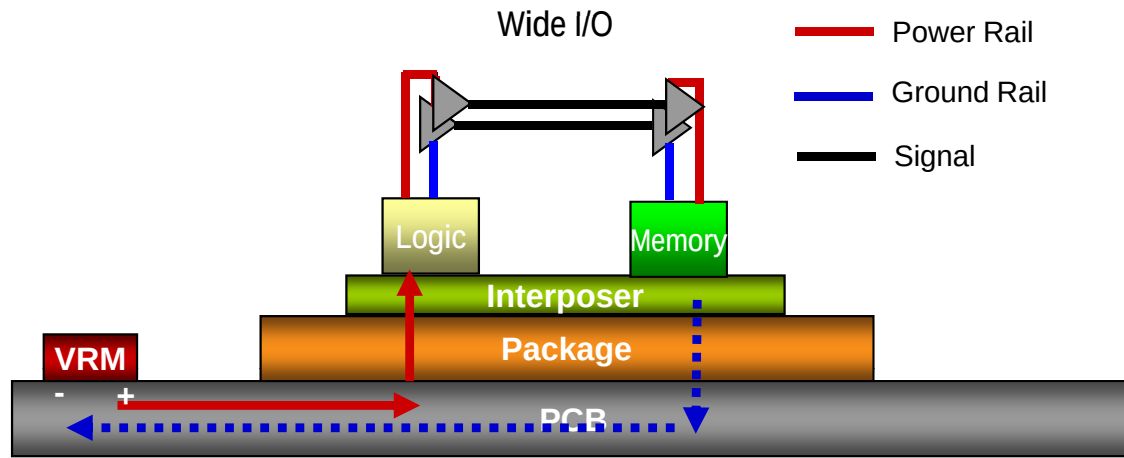
- New integrated design process concept
- Co-Design bridging of design teams
- Creates a global view and facilitates an early identification of problem areas
- System-wide co-analysis is now possible for SI, PI and timing closure prior to die fabout

Using co-design to optimize system interconnect paths

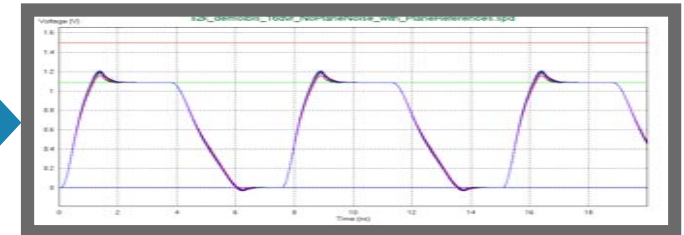
1/16/2011

<http://www.eetimes.com/design/embedded/4212217/Using-co-design-to-optimize-system-interconnect-paths>

IC-PKG-Board PI Aware SI Analysis

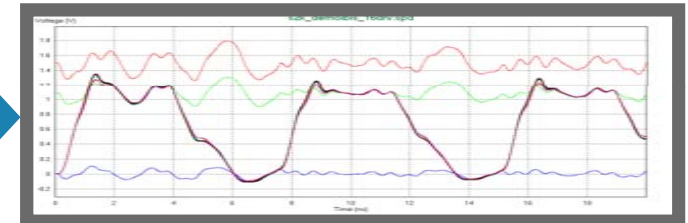


Predicts
No
SSN



Simulation assuming ideal power delivery network

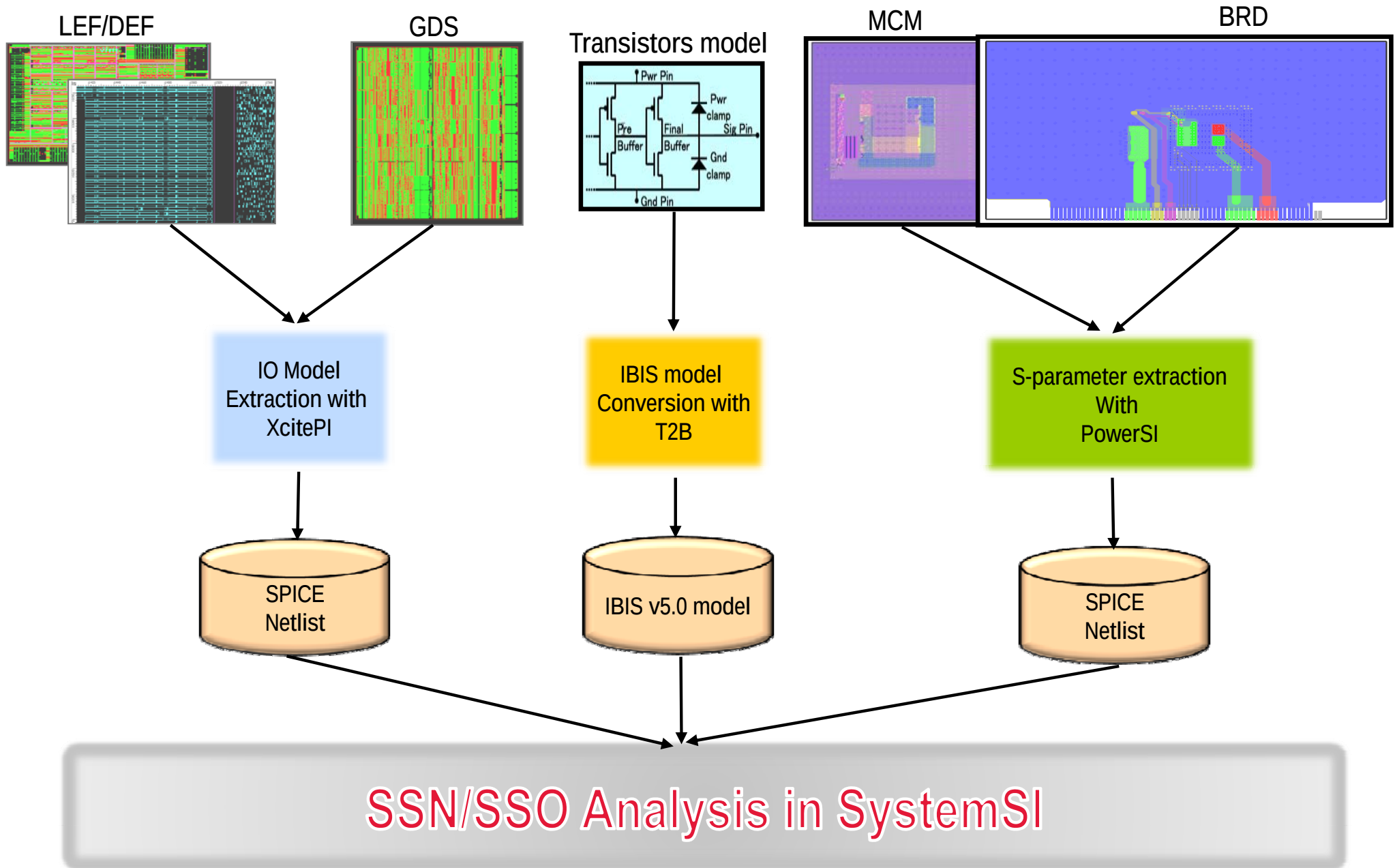
Predicts
Significant
SSN Risk



Simulation with all power delivery effects

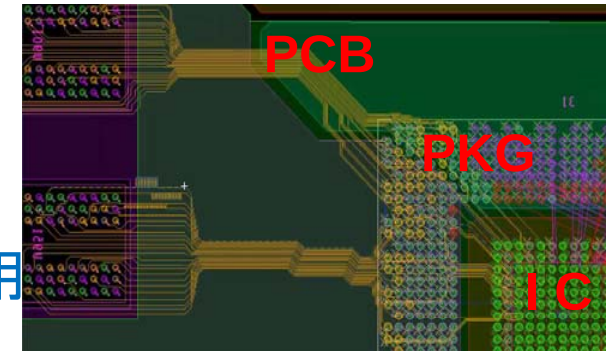
- システムの電源は、VRM(Voltage Regulation Module)から供給される
- 電源は複数の供給パスからあることを考慮しなければならない。(VRM, Decap on PCB, ChipのParasiticなど)
- Interposer, Package, Boardそれぞれにて、異なる周波数帯の解析モデルが必要になる。

統合解析の例：Silicon-Package-BoardのSSN解析

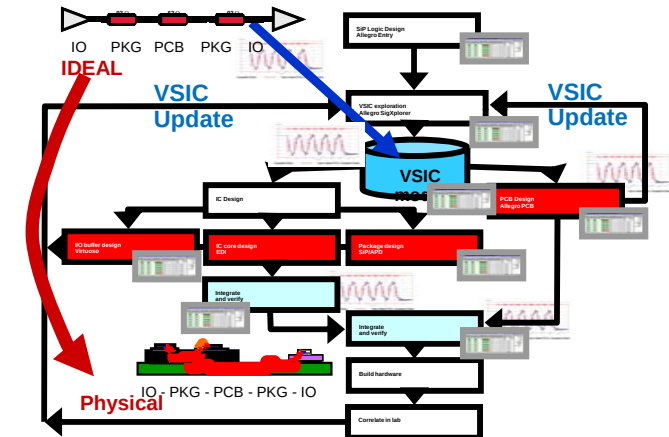


CadenceのCo-Designと、LPBの両立は可能？

- IC-PKG-Boardを実現すると、品質/TATにいい結果が得られることは理解しています。
 - CISCOはその1例
- Cadenceは独自のIC-PKG-PCBテクノロジーを使用



- VSIC, System Prototype Planner, SCM, Die Abstract等
- IC-PKG-PCB のOne Vendor Solutionを提供。
- 必要な要素 (Net, 部品, Geometry, Constraint)を会社間で交換するようにはまとめられていない。Toolのデータおよび機能として持っている。
- ところがOne Vendor Solutionはなかなか使用されない。
 - 機能ではなく統合環境自体が原因なのかも。
 - Globalな環境の中では、LPBは必要な仕組みかも。皆さんアジアへの進出が常態化しているし。



- 果たして違う会社間で、LPBのFormatが流通するだろうか？
 - 機密情報が含まれていて、会社間でシェアされるのだろうか？
 - Ex: ODB++ はNet, 部品情報などを含むので、出したくないところが多い。Gerberが主流。(Gerber : PCB版のGDSIIのようなパターンのみのフォーマットで、ネット、部品情報なし。)
- LPBの有効性はわかった。それではどうやって流通させる？？
 - そのモチベーションは、LPBを海外に先んじてサポートすることによって、日本国内の設計力を高めていこうという**気合**のような気がします。

LPBを日本のPowerにするためには・・

- LPBを使用すると、各社（セットメーカー、半導体メーカー、PKGベンダー他、）の設計がどうなるか、自分の設計フローに当てはめて、理解してみることが必要
 - TAT短縮か、品質の向上か、仕様の早期決定か・・
 - 各プレイヤーが早期に仕様決定に参加できることが最大のメリットだと考えるが。
- ある程度、LPBを構成する各社（各プレイヤー）間の情報のやり取りを承認する前提で、適用を進めるべき
 - NDAなどは必要な契約として前提とする。
- セット、半導体、PKG、部品などの各社によって構成される製品設計において、どのように流通させるかがKEY
 - そうでないと、LPBはIC-PKG-Boardの設計を自社内で持つ少数マーケットのもので終わってしまう。

cā dence[®]