富士通のLPB対応状況

2015年3月19日

富士通株式会社

富士通アドバンステクノロジー株式会社

LPBフォーマットの取込の狙い

- * 精度が高い**フロントローディング設計**を実現
 - ・各階層の詳細前データの入手・集約により、配線実現性等を正確に検討
- * 一体解析による**高精度シミュレーション**(SI/PI/EMI/熱/構造)
 - ・初期からLPB一体解析により、階層を超えて対策ターゲットを絞込む

運用フロー（解析連携）

- LPB相互設計は、Feasibility Study(FS)を**解析と連携**して進めることが重要
- FS機能を持つEDAと解析を**JEITA-LPB file**を介して連携

LPB取込対応状況

フォーマット名	情報の概要	取り込み対応状況
M-Format プロジェクト管理	各フォーマットファイル (N,C,R,G) との対応付け	○
	関連ファイルとの対応付け	× IBISモデルなどは手作業で取り込む
G-Format 物理情報	ネット種別 (信号、電源、GND)	○
	配線、ビア、ベタ領域	○
	ボンディングワイヤ	×
C-Format コンポーネント	端子情報の定義 (ピン座標、ネット種別)	○ G優先
	設計制約事項の定義	△ 差動ペア情報、インピーダンス指定の取り込みに対応
	PKG-Board接続情報	○ PKGとBoardのピン名が一致しているとき
R-Format デザインルール	基板の層構成、物性値	○
	製造ルールの定義 (クリアランス情報)	○
	はんだボール形状	×
N-Format ネットリスト	PKG-Board接続情報	× PKGとBoardのピン名の不一致のとき Nを追った自動接続には未対応

SI解析例 (SignalAdviser-SI)

LSI~PKG~Board~(PKG) 一連トポロジー

LPBファイル取込

解析対象ネット選択 (PKG~PCB)

CoDesign - SignalAdviser-SI ホストレイアウト解析ツール

ファイル(F) 編集(E) 表示(V) 解析(A) ツール(T) ヘルプ(H)

CoDesign

- レイアウト情報
 - Board2
 - ネット情報
 - 部品情報
 - 線幅情報
 - ビア情報
 - ChipA_PKG_set2
 - ネット情報
 - 部品情報
 - 線幅情報
 - ビア情報
- 解析対象ネット一覧
 - タイミング情報
 - グループ情報
 - デレイテニングテーブル
 - 波形チェック結果
 - フライト タイム (一般)
 - フライト タイム (差動)
 - タイミングマージン
 - 基板連携条件設定
 - Board2
 - ChipA_PKG_set2
 - 解析条件設定
 - 標準
 - 詳細
 - 回路シミュレーター
 - ライブリ設定
 - 標準 (デフォルト)
 - Board2
 - ChipA_PKG_set2
 - 基板間接続部品

信号名	解析対象ネット	ネット区分	信号種別	差動信号種別	平衡伝送ネット	値
AD0	-	信号	一般	-	-	-
AD1	-	信号	一般	-	-	-
AD2	-	信号	一般	-	-	-
AD3	-	信号	一般	-	-	-
CK00	-	信号	差動	不定	CK01	-
CK01	-	信号	差動	不定	CK00	-
D	-	ダミー	-	-	-	-
DQ0	-	信号	一般	-	-	-
DQ1	-	信号	一般	-	-	-
DQ2	-	信号	一般	-	-	-
DQ3	-	信号	一般	-	-	-
DQ4	-	信号	一般	-	-	-
DQ5	-	信号	一般	-	-	-
DQ6	-	信号	一般	-	-	-
DQ7	-	信号	一般	-	-	-
DQ8	-	信号	一般	-	-	-
DQ9	-	信号	一般	-	-	-
DQ10	-	信号	一般	-	-	-
DQ11	-	信号	一般	-	-	-
DQ12	-	信号	一般	-	-	-
DQ13	-	信号	一般	-	-	-
DQ14	-	信号	一般	-	-	-
DQ15	-	信号	一般	-	-	-
DQS10	対象	信号	差動	不定	DQS11	-
DQS11	対象	信号	差動	不定	DQS10	-
DQS20	-	信号	差動	不定	DQS21	-
DQS21	-	信号	差動	不定	DQS20	-
GPIO0	-	信号	一般	-	-	-
GPIO1	-	信号	一般	-	-	-
GPIO2	-	信号	一般	-	-	-
GPIO3	-	信号	一般	-	-	-

解析完了 (完了:2 / 実行中:0 / 実行待ち:0)

パルス数: 1 解析数: 2 連携状態: オン HCS

標準 マーク図形 マーク文字 ビア フラット 部品ドット 色

すべて表示 すべて非表示
デフォルト フォント

層割割

シフト標準

層名	用途	表層色
L1	配線	
L1	パッド	
L1	マーク	
L1	シフト	
TOP X		
BOTTOM X		

全層表示 全層非表示
全信号層表示 全信号層編集

BLF[D:\tmp\LPBForum\Board2.blb]の読み込みを完了しました | (-10.350 mm, 11.250 mm) Grid[-58.1, 65.3]

SI解析トポロジー表示 (PKG~PCB)

CoDesign - SignalAdviser-SI ホストレイアウト解析ツール

ファイル(F) 編集(E) 表示(V) 解析(A) ツール(T) ヘルプ(H)

CoDesign

- レイアウト情報
 - Board2
 - ChipA_PKG_set2
- 解析対象ネットワーク
- タイミング情報
 - グループ情報
 - 遅延テーブ
- 波形チェック結果
 - フライトタイム(一般)
 - フライトタイム(変動)
 - タイミングマージン
- 基板連携条件設定
 - Board2
 - ChipA_PKG_set2
- 解析条件設定
 - 波形チェック
 - 標準
 - 詳細
 - 回路シミュレーター
 - ライブタイム設定
 - 標準 (デフォルト)
 - Board2
 - ChipA_PKG_set2
 - 基板間接続部品

解析環境情報

解析環境名(N) | CoDesign
 解析環境フォルダ(F) | D:\tmp\LPBForum\CoDesign
 コメント(C)

基板情報

レイアウト設計ツール バージョン(V) | MeRP(64bit) Ver 9.2 (20140924 build #0247)

基板固有名	基板名	装置名	基本図番名称	層数	インピーダンスコントロール	作成日付	更新日付	データベース版数	場所
Board2	Board2	JEITA_LP_	Board2	4	あり	2015/03/	2015/03/	46	D:\tmp\LPBForum\Board2.blf
ChipA_PKG_...	ChipA_PKG_...	JEITA_LP_	ChipA_PKG_s...	4	なし	2015/03/	2015/03/	46	D:\tmp\LPBForum\ChipA_PKG_set2.blf

基板間接続情報

基板固有名	基板名	回路部品番号	ピン名	接続タイプ		子基板		基板固有名
				コネクタ	BGA	ピン名	回路部品番号	
Board2	Board2	ChipA_PKG	G10		G10	BGA	ChipA_PKG_set2	ChipA_PKG_set2
			G11		G11			
			G12		G12			
			G13		G13			
			G14		G14			
			G15		G15			

バリエーション: 1 解析数: 2 連携状態: オフ HCS

D:\tmp\LPBForum

Montreal2 > ローカル ディスク (D:) > tmp > LPBForum

LPBForumの検索

名前	更新日時	種類	サイズ
ChipA_PKG2_C_step3.xml	2014/01/06 19:53	XML ドキュメント	77 KB
ChipA_DIE_M.xml	2013/04/14 15:05	XML ドキュメント	1 KB
ChipA_DIE_C_step3.xml	2013/04/14 15:05	XML ドキュメント	65 KB
Board2_R_step3.xml	2013/04/14 15:05	XML ドキュメント	5 KB
Board2_C_step3.xml	2013/09/20 16:09	XML ドキュメント	19 KB
ChipA_PKG2_G_step2exfl	2014/01/06 19:53	XFL ファイル	280 KB
Board2_G_step2e-m1.xml	2015/03/06 18:20	XFL ファイル	275 KB
FIO_ChipA_PKG_set2.txt	2015/03/06 18:22	TXT ファイル	503 KB
FIO_Board2.txt	2015/03/06 18:30	TXT ファイル	694 KB
CoDesign.siv	2015/03/17 10:13	SignalAdviserポスト解析ツール環...	1,075 KB
Board2.siv	2015/03/09 19:48	SignalAdviserポスト解析ツール環...	5 KB
CoDesign.si	2015/03/17 11:30	SI ファイル	1 KB
nameAreas.csv	2015/03/06 18:23	Microsoft Excel CSV ファイル	4 KB
ImpedanceConstraint_Board2.csv	2015/03/06 18:23	Microsoft Excel CSV ファイル	2 KB
Board2-ChipA_PKG Timing Rule.csv	2015/03/06 18:23	Microsoft Excel CSV ファイル	2 KB
Board2_接続ファイル.csv	2015/03/06 18:23	Microsoft Excel CSV ファイル	1 KB
ChipA_PKG_set2.blf	2015/03/10 11:51	BLF ファイル	123 KB
Board2.blf	2015/03/10 11:50	BLF ファイル	141 KB

スタート | 一般 | CAPS | 11:31

SI解析 (PKG~PCB)

SignalAdviser-SI

ファイル(F) 編集(E) 表示(V) 解析(A) ツール(T) ウィンドウ(W) ヘルプ(H)

プロジェクト [DQS10] トボロジ [DQS10]

プロジェクト 'DQS10' [DQS10.ad]
 トボロジ
 解析条件設定
 解析結果
 プロジェクト 'DQS10' [DQS10]
 トボロジ
 解析条件設定
 解析結果

30 [0] 80 [0]

55 %

解析パス

解析パス: 自動

パルス種別: ランダムパターン...

パルス設定

初期電圧
 入力パルス
 透過
 観測点
 ドライバ: Board2.Ch
 ドライバ: ChipA.PK1

周波数: 50 [MHz]
 周期: 20 [ns]
 データレート: 800 [Mbps]
 ビット幅: 1250 [ps]

スweep設定...

Duty値: 0.5

オーバービュー

プロパティ

プロジェクトプロパティ

プロジェクト名	DQS10
コメント	
基本図番	Board2
更新版数	3
作成プログラム	SignalAdviser (V20.19 (20.10.00235))
作成者	root
作成日時	2015/03/10 10:56:14
仕様版数	122
場所	D:\mp\LPBForum*CoDesign*SADB#0[DQS10][ChipA]
装置	JETTA_LPB_2011
代表ネット	DQS<0>

(プロジェクト名)
 プロジェクトの名前: 半角で 127 文字以内、全角で 63 文字以内の、(カンマ) : (コロン) ; (セミコロン) = (横記号)、(シングルクォート) を含まない文字列が設定できます。必須です。

解析パス: 自動 HCS

DQS10

スタート

12:55

PI解析例 (SignalAdviser-PI)

PCB階層、パッケージ階層のレイアウトをインポート

電源面の直流IRドロップをシミュレーション

SignalAdviserPI

GND (PCB)

電源 (PCB)

GND (PKG)

3.3V電源 (PKG) 1.5V電源 (PKG)

得られた電源をモデルを連結(一体化)

一体周波数解析

SignalAdviserPI

周波数解析(ノイズ量)

PCB単体結果

周波数解析(ノイズ量)

PKG単体結果

周波数解析(ノイズ量)

PCB+PKG一体

今後の取り組み項目

- 3Dレイアウトイメージの取り込み対応
パッケージのボンディングワイヤ、QFPリード
⇒ EMCシミュレーションで活用
- パッケージ、ボードのメタル分布
⇒ 熱応力シミュレーションで活用

今後の取り組み項目

- Feasibility Study(FS)機能の拡充
- LPB出力（レイアウト情報のExport）

FUJITSU

shaping tomorrow with you