

LPBフォーマットとIBIS5.0を活用したPI解析

株式会社
リコー

村田 和希

富士通アドバンステクノロジー
株式会社

大塚 育生

はじめに



- ・EDAの対応は進んでいる。
- ・しかし、LPB自体の普及はこれから。



- ・広く普及している。
- ・しかし、設計データからのシミュレーションセットアップに手間が掛かる場合もある。

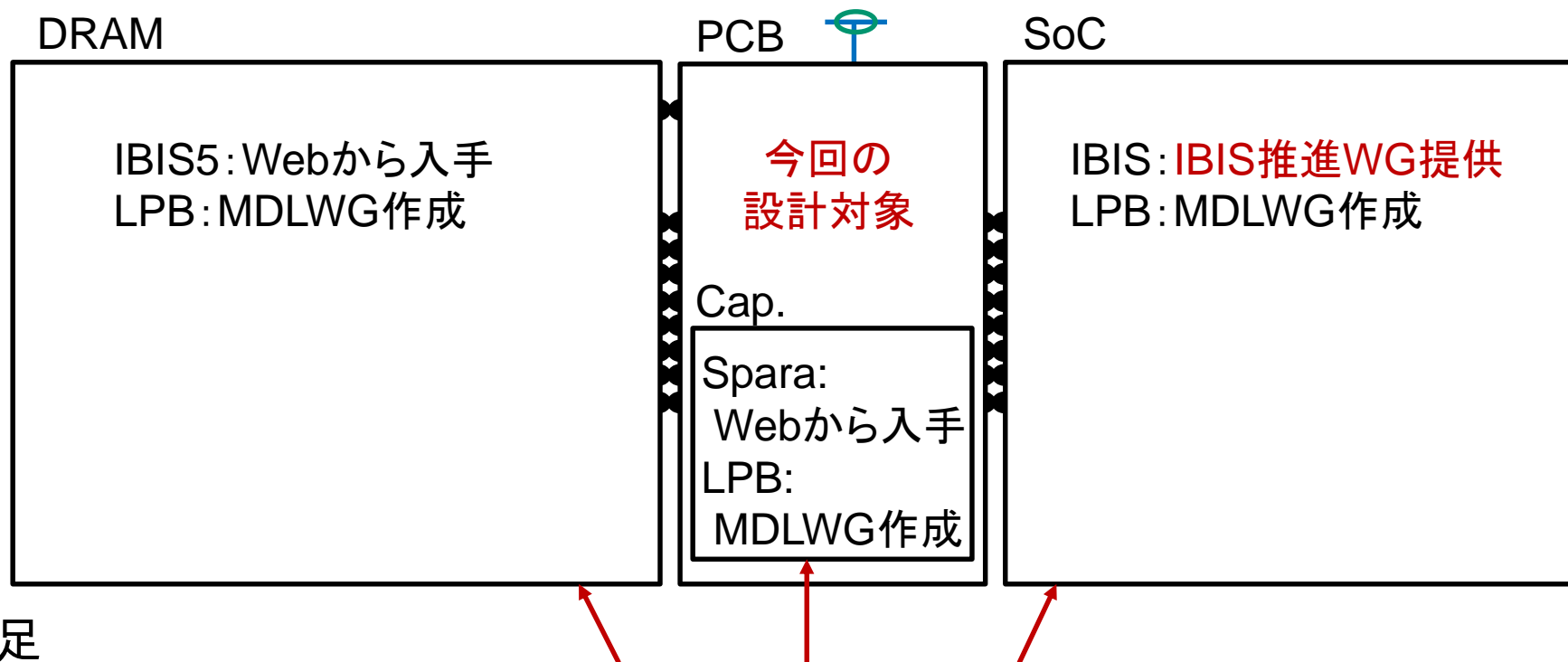
今回の狙い

LPBユーザー(チップ・PKG・ボード設計者と解析担当者)に、IBISシミュレーションでLPBを活用してもらい、メリットを感じて欲しい。
LPB提供者(チップベンダー、部品ベンダー)に、ユーザーのメリットを知って欲しい。

- ・ IBISと紐づいたLPBを利用して、MDLWGが設計したボードを、LPBIFWGが解析した事例を紹介する。

事例「DDR3搭載ボード」の概要

- ・DDR3-SDRAM搭載のPCB設計を想定。
- ・DRAM と SoC と Capacitor は市販品の使用を想定。各メーカーからモデルとLPBが提供された状況で、仮想のPCB設計を実施。

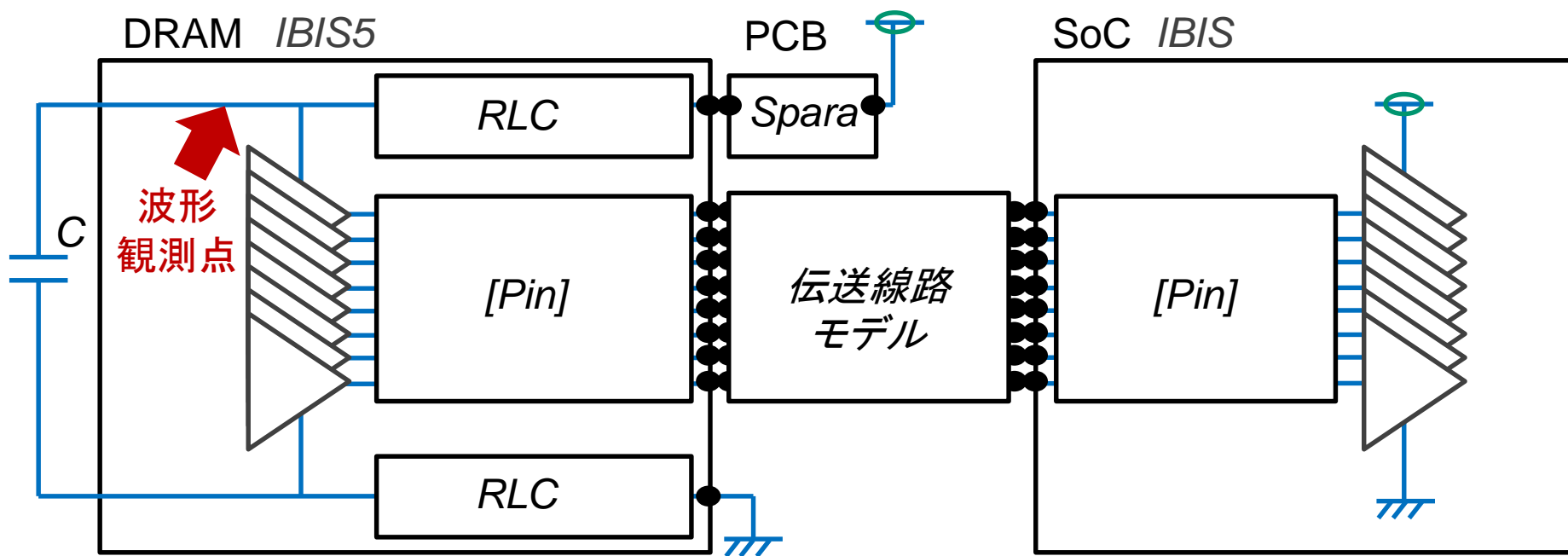


補足

- ・現実では、LPB は提供されていない。そのため、今回は MDLWG で作成した。
- ・SoC の IBISモデルは、IBIS推進WG から仮想のものを提供して頂いた。

シミュレーションの概要

- ・前項で設計したボードに対して、「SignalAdviser」を使用してPI解析実施。
- ・DDR3 8bit Read でDRAM内部の同時スイッチングノイズを見る。

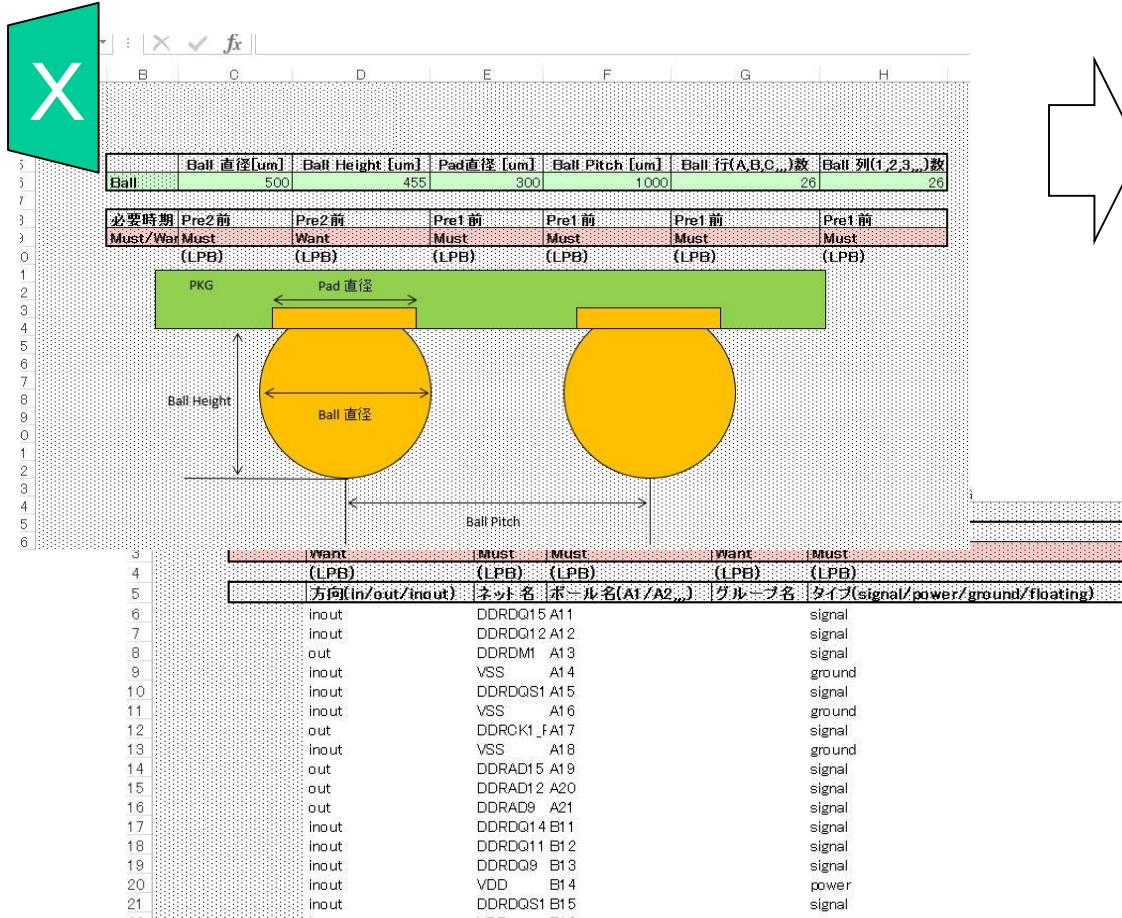


設計者と解析者との間のデータやりとりをLPBで実施。
モデル割り当て等の解析セットアップの手間や、情報伝達の齟齬を防ぐ。

設計

DRAM とコンデンサ のLPBを作成

- ・各ベンダーからモデルと LPB の両方が提供された状況を想定。
- ・実際には、リコー社内で使用している Excel2LPB で LPB を作成した。



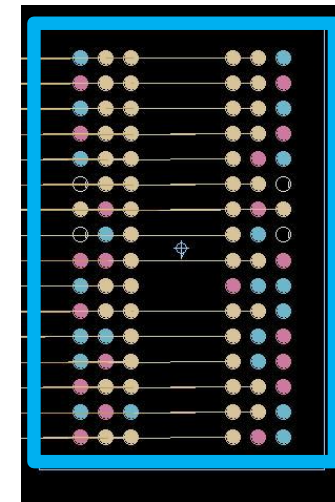
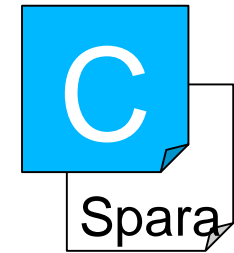
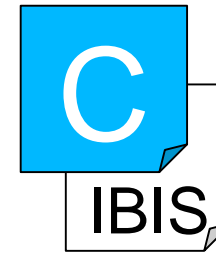
The Excel spreadsheet displays the following data:

Ball 直径 [um]	Ball Height [um]	Pad 直径 [um]	Ball Pitch [um]	Ball 行(A,B,C...)数	Ball 列(1,2,3...)数
500	455	300	1000	26	26

必要時期	Pre2 前	Pre2 前	Pre1 前	Pre1 前	Pre1 前	Pre1 前
Must/War	Must	Want	Must	Must	Must	Must
	(LPB)	(LPB)	(LPB)	(LPB)	(LPB)	(LPB)

The diagram illustrates the physical dimensions of a DRAM package, including Pad 直径, Ball 直径, Ball Height, and Ball Pitch.

Want	Must	Must	Want	Must
(LPB)	(LPB)	(LPB)	(LPB)	(LPB)
方向(in/out/inout)	ネット名	ボール名(A1/A2...)	グループ名	タイプ(signal/power/ground/floating)
inout	DDRQ15 A11			signal
inout	DDRQ12 A12			signal
out	DDRDM1 A13			signal
inout	VSS A14			ground
inout	DDRQ15 A15			signal
inout	VSS A16			ground
out	DDRCK1_FA17			signal
inout	VSS A18			ground
out	DDRAD15 A19			signal
out	DDRAD12 A20			signal
out	DDRAD9 A21			signal
inout	DDRQ14 B11			signal
inout	DDRQ11 B12			signal
inout	DDRQ9 B13			signal
inout	VDD B14			power
inout	DDRQ15 B15			signal



```

- <reference reffile="v00h_aat_v5p0.ibs" format="IBIS"
  xmlns:ibis="http://www.jeita.or.jp/LPB/ibis">
  - <connection port_name="VDDQ" socket_name="DDR3_x16_sdp_socket">
    <ibis:ref_port signal_name="VDDQ" component="MT41J256M16TW"/>
  </connection>
  - <connection port_name="DQU5" socket_name="DDR3_x16_sdp_socket">
    <ibis:ref_port signal_name="DQ13" component="MT41J256M16TW"/>
  </connection>
  - <connection port_name="DQU7" socket_name="DDR3_x16_sdp_socket">
    <ibis:ref_port signal_name="DQ15" component="MT41J256M16TW"/>
  </connection>
</reference>

```

[Component]	MT41J256M16TW	
[Manufacturer]	Micron Technology	
[Package]		
	typ	min
R_pkg	356.04m	224.03m
L_pkg	2.17nH	1.08nH
C_pkg	0.51pF	0.39pF
[Pin]	signal_name	model_name
A1	VDDQ	POWER
A2	DQ13	DQ
A3	DQ15	DQ
A7	DQ12	DQ

```

- <reference reffile="GRM152B30J104KE19.mod" format="SPICE"
  xmlns:spice="http://www.jeita.or.jp/LPB/spice">
  - <connection port_id="A" socket_name="GRM152B30J104KE19">
    <spice:ref_port portid="1" subckt="GRM152B30J104KE19"/>
  </connection>
  - <connection port_id="B" socket_name="GRM152B30J104KE19">
    <spice:ref_port portid="2" subckt="GRM152B30J104KE19"/>
  </connection>
</reference>

- <reference reffile="GRM152B30J104KE19_s2p.sp" format="SPICE"
  xmlns:spice="http://www.jeita.or.jp/LPB/spice">
  - <connection port_id="A" socket_name="GRM152B30J104KE19">
    <spice:ref_port portid="1" subckt="GRM152B30J104KE19"/>
  </connection>
  - <connection port_id="B" socket_name="GRM152B30J104KE19">
    <spice:ref_port portid="2" subckt="GRM152B30J104KE19"/>
  </connection>
</reference>

```

```

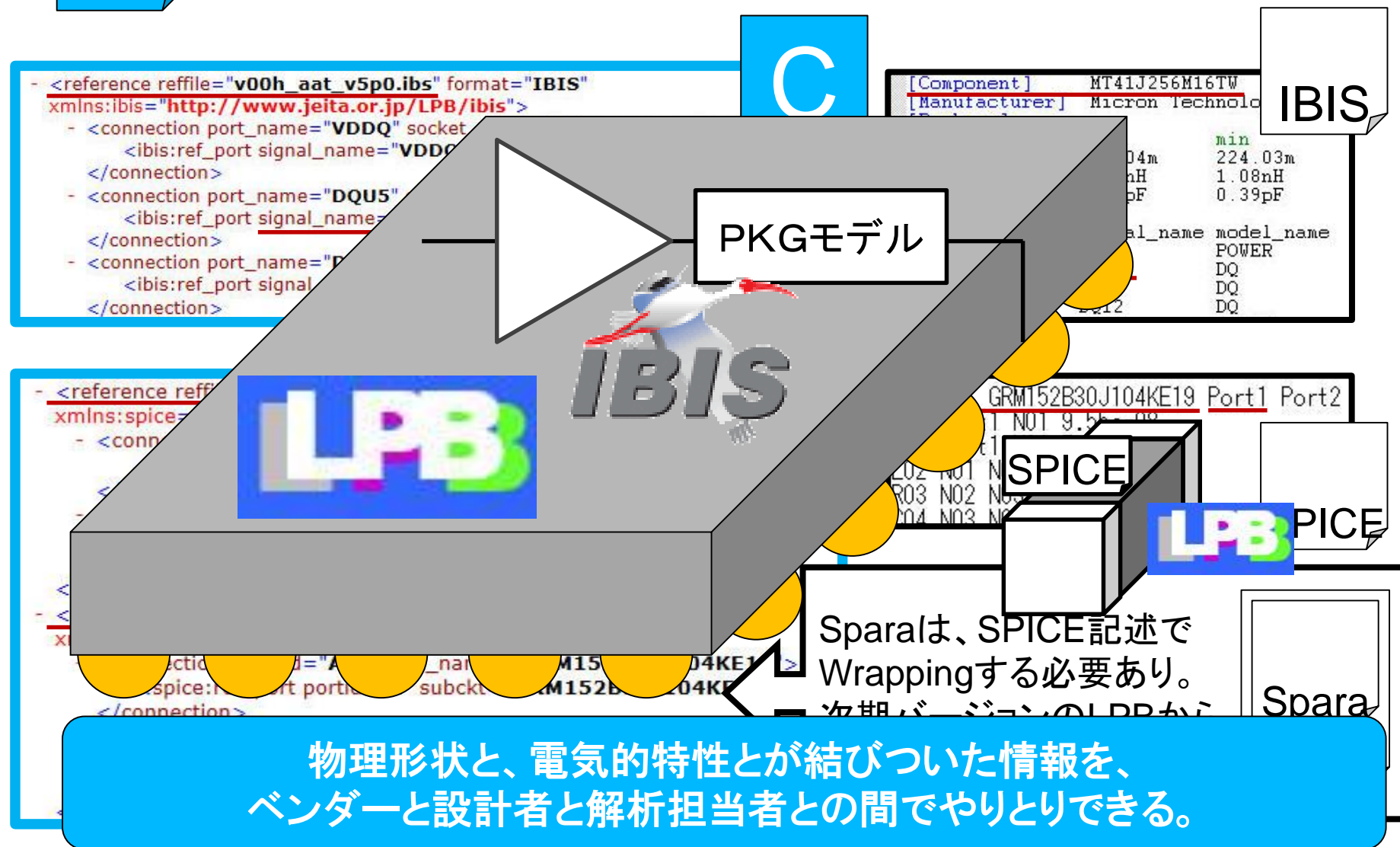
.SUBCKT GRM152B30J104KE19 Port1 Port2
C01 Port1 N01 9.55e-08
R01 Port1 N01 5.00e+08
L02 N01 N02 1.89e-10
R03 N02 N03 2.95e-02
C04 N03 N04 4.27e-06

```

Sparaは、SPICE記述で
Wrappingする必要あり。
次期バージョンのLPBから
直接読み込み可能に！

C

の <reference> でモデルと接続



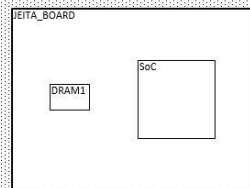
ボードの部品配置検討

- ・リコー社内で使用している Excel2LPB で、簡易的に部品配置実施

X

FS前	Want	Want	(自動更新)	(自動更新)	FS前	FS前	FS前
(LPB)	(LPB)	(LPB)	(LPB)	(LPB)	(LPB)	(LPB)	(LPB)
JEITA BOARD	JEITA BOARD	JEITA BOARD	JEITA BOARD	JEITA BOARD	JEITA BOARD	JEITA BOARD	JEITA BOARD
モジュール名	モジュール名	モジュール名	モジュール名	モジュール名	モジュール名	モジュール名	モジュール名
SoC	FJT chip	Fujitsu	14.95	948	27	27	0
DRAM1	MT41J256M16TW	Micron	-22.88	124	9	14	270

部品配置

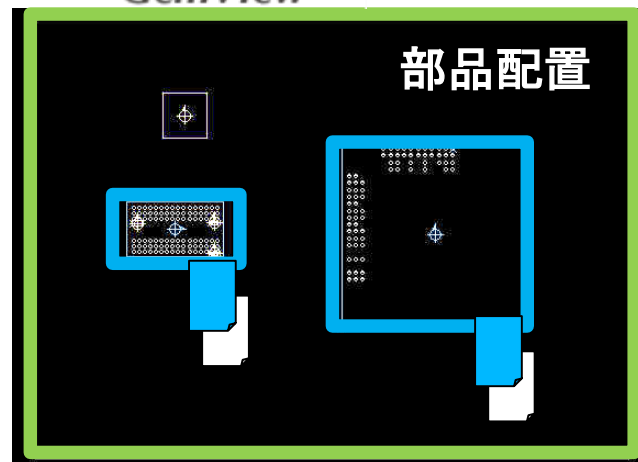


で確認

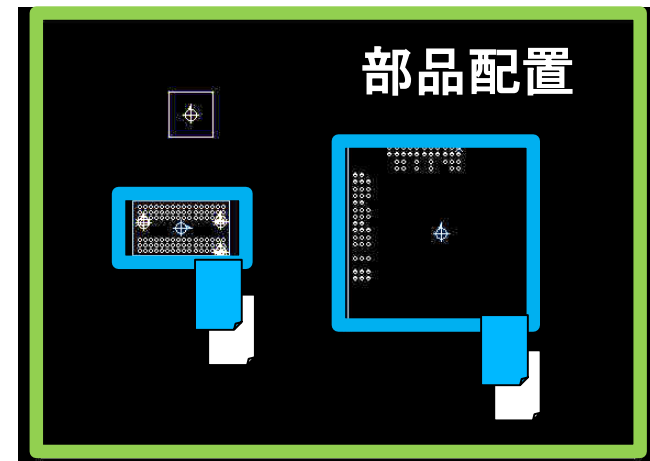
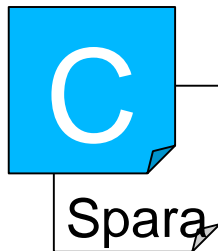
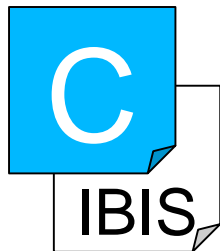
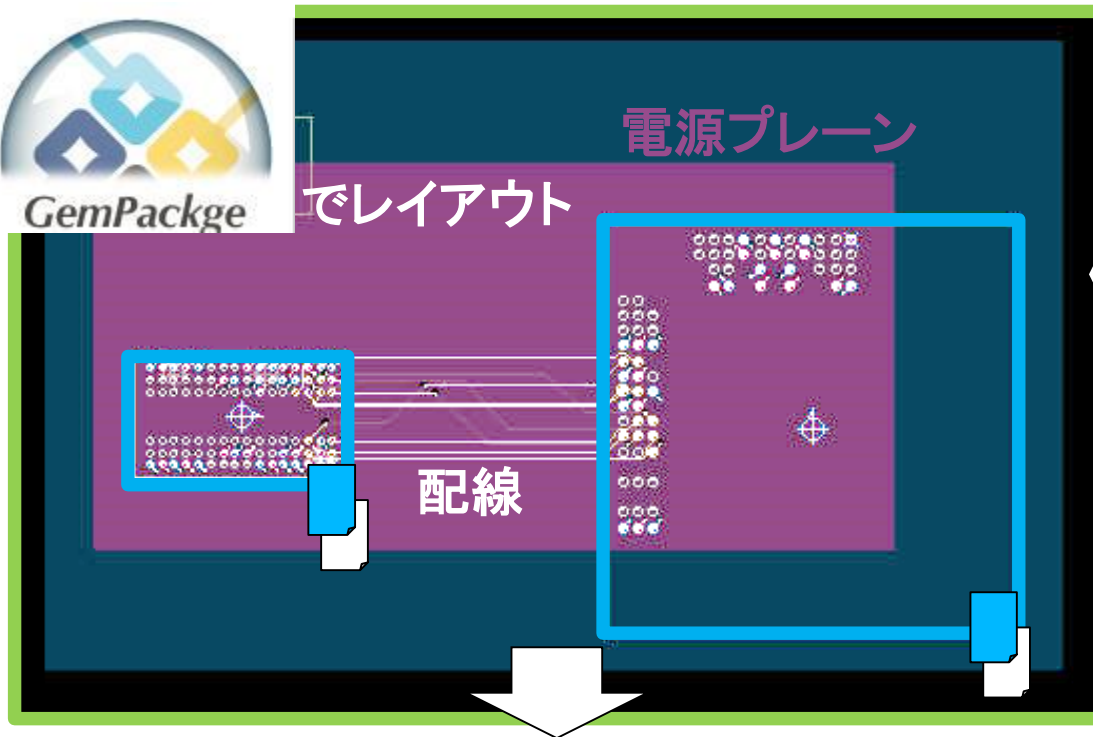
層構成

		FS前	Pret前	Want	Pret前	FS前
		(LPB)	(LPB)	(LPB)	(LPB)	(LPB)
【選択】誘電体/導体	【選択】種類	比誘電率	誘電正接	測定周波数[MHz]	導電率[S/m]	厚さ[mm]
dielectric	solder_resist	3.8	0.015	100		0.02
conductor	L1				5.80E+07	0.042
dielectric	prepreg	4.2	0.02	100		0.1
conductor	L2				5.80E+07	0.035
dielectric	core	4.2	0.02	100		0.3
conductor	L3				5.80E+07	0.035
dielectric	prepreg	4.2	0.02	100		0.1
conductor	L4				5.80E+07	0.042
dielectric	solder_resist	3.8	0.015	100		0.02

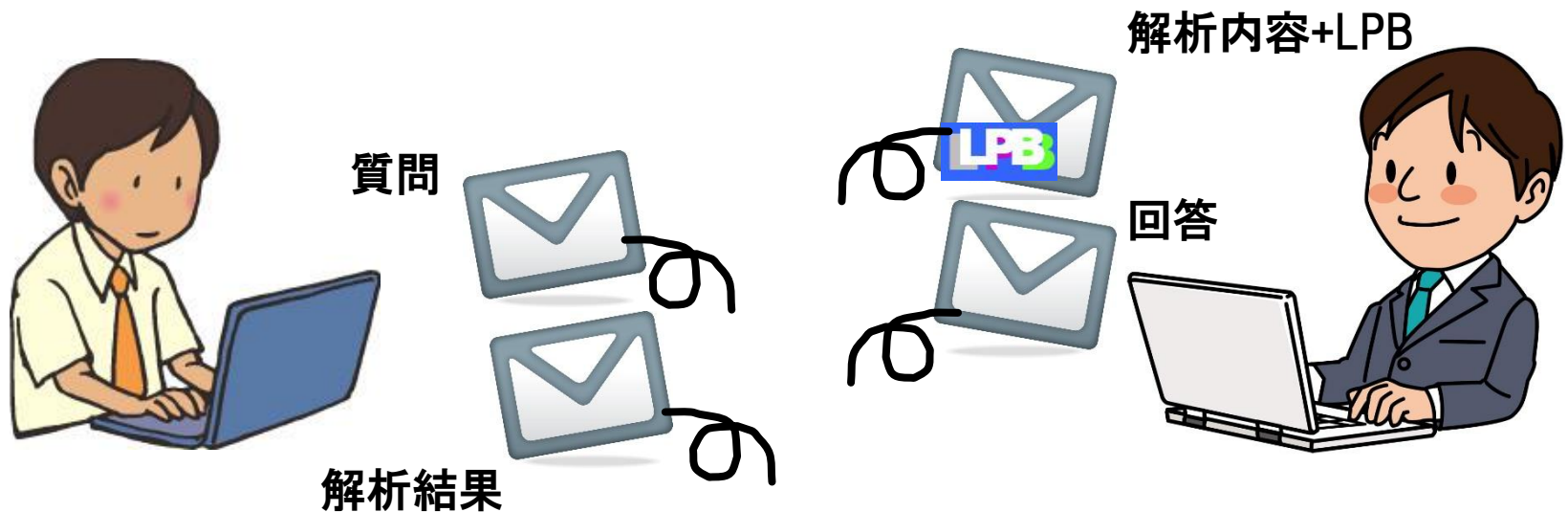
部品配置



ボードレイアウト実施



解析セットアップ



LPBインポート

G

C

R

C

IBIS

C

Spara

SignalAdviser-SI連携 SignalAdviser PI連携

FTCP-SignalAdviser

付与条件	条件名	パス名	信号名	下限値	フェッド用線長	上限値	判定	違反値

層制御

層名	用途	表示	色
L1	配置	<input checked="" type="checkbox"/>	黒
L1	フルタウ	<input checked="" type="checkbox"/>	黒
L1	マーキング	<input checked="" type="checkbox"/>	黒
L1	レジスト	<input checked="" type="checkbox"/>	緑
L1.2	X	<input checked="" type="checkbox"/>	緑
L2.4	X	<input checked="" type="checkbox"/>	緑
L3.6	X	<input checked="" type="checkbox"/>	緑
L4.8	X	<input checked="" type="checkbox"/>	緑
Ln	レジスト	<input checked="" type="checkbox"/>	緑
Ln	マーキング	<input checked="" type="checkbox"/>	黒
Ln	フルタウ	<input checked="" type="checkbox"/>	黒
Ln	配置	<input checked="" type="checkbox"/>	黒

全層表示 全層非表示
全信号層表示 全信号層編集

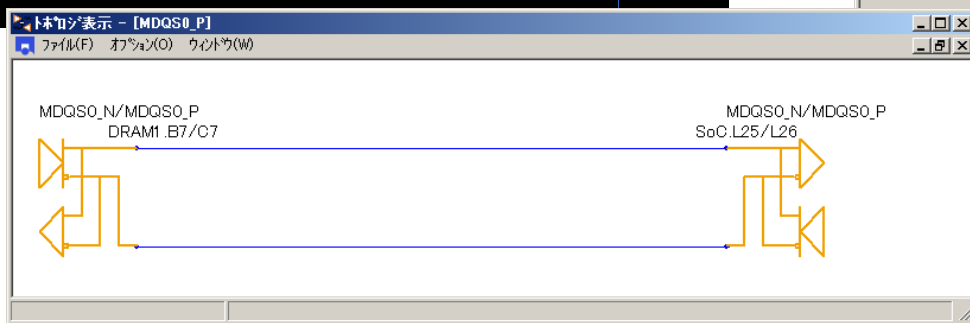
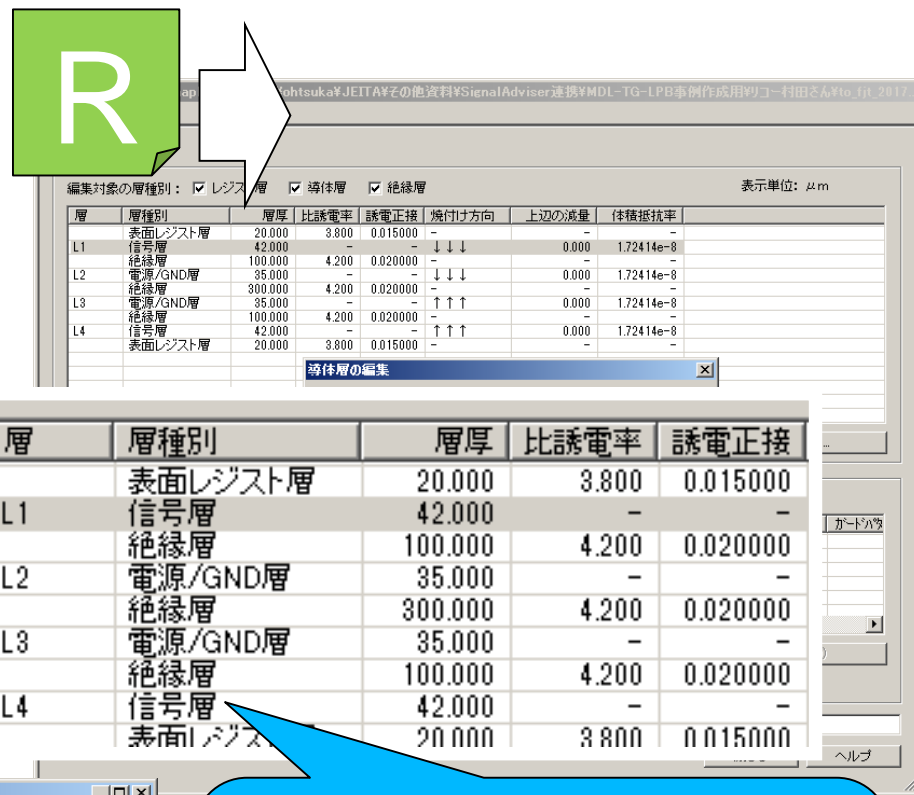
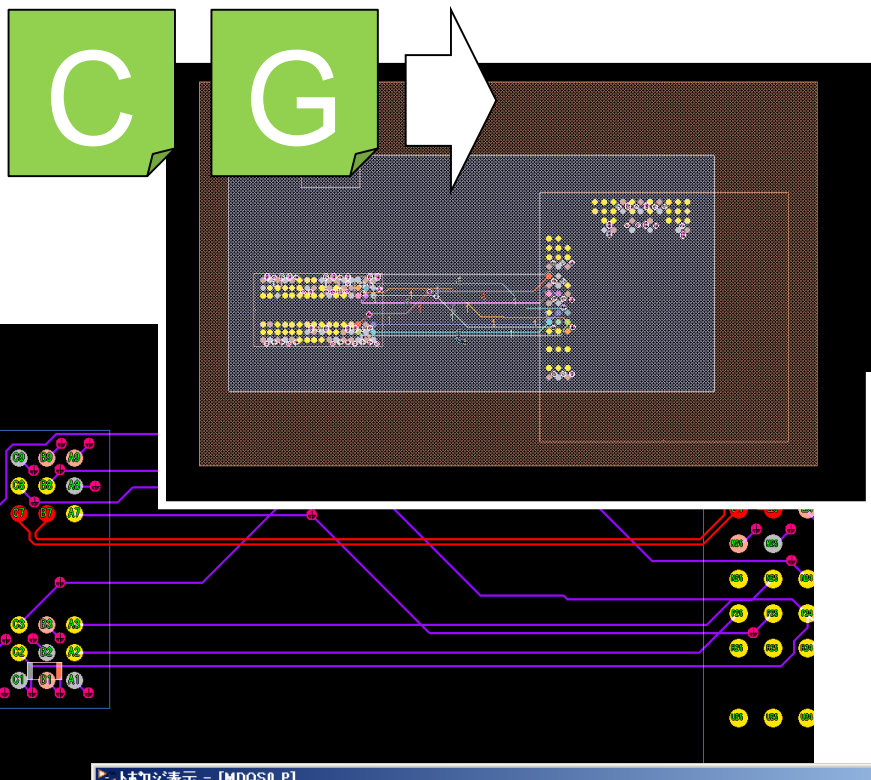
層制御 要素制御

C-Navi

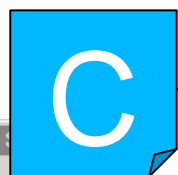
JEITA_BOARD.bif> 自動パッドマッピングによりパッドマッピングを行いました。

(13.3500 mm, 27.6000 mm) Grid(90.0,-183.0)





LPBには、レイアウト情報と層構成情報の両方が含まれているため、解析担当者が再入力する必要がない。



IBIS

JEITA_BOARD* - 新ツール

ファイル(F) 編集(E) 表示(V) ツール(T) ヘルプ(H)

JEITA_BOARD*

- レイアウト情報
- ネット情報
- 部品情報
- 配線情報
- 線幅情報
- ビア情報
- 解析対象ネット一覧
- タイミング情報
 - グループ情報
 - ディレーティングテーブル
- 波形チェック結果
 - フライトタイム (一般)
 - フライトタイム (差動)
 - タイミング マージン
- 基板連携条件設定
- 解析条件設定
 - 波形チェック
 - 標準
 - 詳細
 - 回路シミュレーター
 - ライブラリ設定
 - 標準 (デフォルト)
 - 能動部品
 - 受動部品

回路部品番号	部品ライブラリ	アクセスキー	ピン数	アクティブ・スタンバイ種別	デバイス名	デバイスのピン数	種別	パラツキ	ロック	場所
SoC	FSOC		74	-	sample_soc.i...	58	IBIS	Typ		##mapletre
DRAM1	DRAM		96	-	v00h_aat_v5p...	78	IBIS	Typ		##mapletre
VRM	VRM		2	-						

物理ピン名	信号名	信号種別	割付状態	デバイス名	コンポーネント名	ピン名	モデル セレクター	モデル	パラツキ	IB
L25/L26	MDQS0_N/MDQS0_P	差動	済	sample_soc.ibs	SAMPLE_SOC	L26 (DDRDS...	SSTL15_IJ	SSTL15_...	Typ	Pin
N25	MDQ07	一般	済	sample_soc.ibs	SAMPLE_SOC	N25 (DDRQ7)	SSTL15_IJ	SSTL15_...	Typ	Pin
N24	MDQ06	一般	済	sample_soc.ibs	SAMPLE_SOC	N24 (DDRQ6)	SSTL15_IJ	SSTL15_...	Typ	Pin
P26	MDQ05	一般	済	sample_soc.ibs	SAMPLE_SOC	P26 (DDRQ5)	SSTL15_IJ	SSTL15_...	Typ	Pin
P25	MDQ04	一般	済	sample_soc.ibs	SAMPLE_SOC	P25 (DDRQ4)	SSTL15_IJ	SSTL15_...	Typ	Pin
P24	MDQ03	一般	済	sample_soc.ibs	SAMPLE_SOC	P24 (DDRQ3)	SSTL15_IJ	SSTL15_...	Typ	Pin
R24	MDQ02	一般	済	sample_soc.ibs	SAMPLE_SOC	R24 (DDRQ2)	SSTL15_IJ	SSTL15_...	Typ	Pin
J26	MDQ01	一般	済	sample_soc.ibs	SAMPLE_SOC	J26 (DDRQ1)	SSTL15_IJ	SSTL15_...	Typ	Pin
J25	MDQ00	一般	済	sample_soc.ibs	SAMPLE_SOC	J25 (DDRQ0)	SSTL15_IJ	SSTL15_...	Typ	Pin
C11	isolated	一般	済	sample_soc.ibs	SAMPLE_SOC					Pin
C13	isolated	一般	済	sample_soc.ibs	SAMPLE_SOC					
A11	isolated	一般	済	sample_soc.ibs	SAMPLE_SOC					
B11	isolated	一般	済	sample_soc.ibs	SAMPLE_SOC					
A21	isolated	一般	済	sample_soc.ibs	SAMPLE_SOC					
N26	isolated	一般	済	sample_soc.ibs	SAMPLE_SOC					
C19	isolated	一般	済	sample_soc.ibs	SAMPLE_SOC					
W25	isolated	一般	済	sample_soc.ibs	SAMPLE_SOC					

LPBによって、部品の端子とIBISの端子とが明確に対応するため、解析担当者の手間とミスが発生しない。



Spara

ライブラリ管理

ファイル(F)

ライブラリの検索...

ライブラリ

- IBIS
- デフォルト ライブラリ
 - 素子ライブラリ
 - 受動素子
 - 基板
 - 全層基板ライブラリ
 - 単層基板ライブラリ
 - 伝送線路パラメーターライブラリ
 - パルス
 - 拡張ライブラリ
 - Murata(MLCC富士通)
 - LPB1
 - LPB_testcase
 - GRM152
 - GRM185
- インポート ライブラリ
 - 素子ライブラリ
 - IBIS 変換モデル
 - EBD 変換モデル
 - 受動素子
 - Sパラモデル
 - 基板
 - 全層基板ライブラリ

名前	種別	状態	ハッシュコード(SHA1)	更新日時	場所
GRM152B30J104KE19.mod	SPICEモデル	通常	-	2017/02/22 10:27:35	¥¥mapletree¥¥home¥ohtsuka¥JEITA¥その他資料¥SignalAdviser連携¥MDL-TG-LPB事例作成用¥リコー村...
GRM152B30J104KE19_s2n.sp	SPICEモデル	通常	-	2017/02/22 10:27:35	¥¥mapletree¥¥home¥ohtsuka¥JEITA¥その他資料¥SignalAdviser連携¥MDL-TG-LPB事例作成用¥リコー村...

デバイス名 GRM152B30J104KE19.mod

デバイス フォルダ ¥¥mapletree¥¥home¥ohtsuka¥JEITA¥その他資料¥SignalAdviser

サブサーキット名	ポート数	ピン
GRM152B30J104KE19	2	Port

IBISだけでなくSPICEモデルや
SparaもLPBで接続可能。

- 抽出ポート設定の情報はLPBに含まれていない。SignalAdviserで実施。

S/パラモデル抽出

ファイル(F) 編集(E) 解析(A) 結果(R) ヘルプ(H)

ポート数: 2

ポート指定:

ポート番号	ノード	ネット名(ノード)	リファレンスノード	ネット名(リファレンス)
1	DRAM1_VDD15(DRAM1_VDD15_1)	VDD15	DRAM1_VSS(DRAM1_VSS_1)	VSS
2	VRM_VDD15	VDD15	VRM_VSS	VSS

標準インピーダンス:

S/パラモデル抽出実行

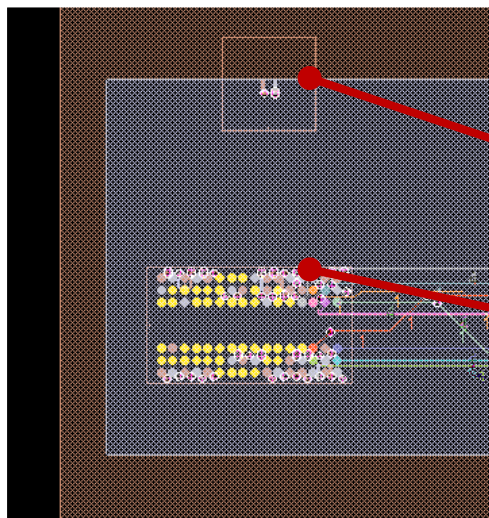
S/パラ抽出が完了しました。

候補一覧:

No	部品名	ピン名	ネット名	LSI_VGネット名	対象の種別	部品種類
0	理想GND		(理想GND)			
1	DRAM1		VDD15	DRAM1_VDD15_1	内部ノード	解析対象部品
2	DRAM1		VSS	DRAM1_VSS_1	内部ノード	解析対象部品
3	SoC		VDD15	SoC_VDD15_1	内部ノード	解析対象部品
4	SoC		VSS	SoC_VSS_1	内部ノード	解析対象部品
5	DRAM1	A1	VDD15	DRAM1_VDD15_1	ピン	解析対象部品
6	DRAM1	A8	VDD15	DRAM1_VDD15_1	ピン	解析対象部品
7	DRAM1	A9	VSS	DRAM1_VSS_1	ピン	解析対象部品
8	DRAM1	B1	VSS	DRAM1_VSS_1	ピン	解析対象部品
9	DRAM1	B2	VDD15	DRAM1_VDD15_1	ピン	解析対象部品

Port2: 電源IC

Port1: DRAMの電源ピン



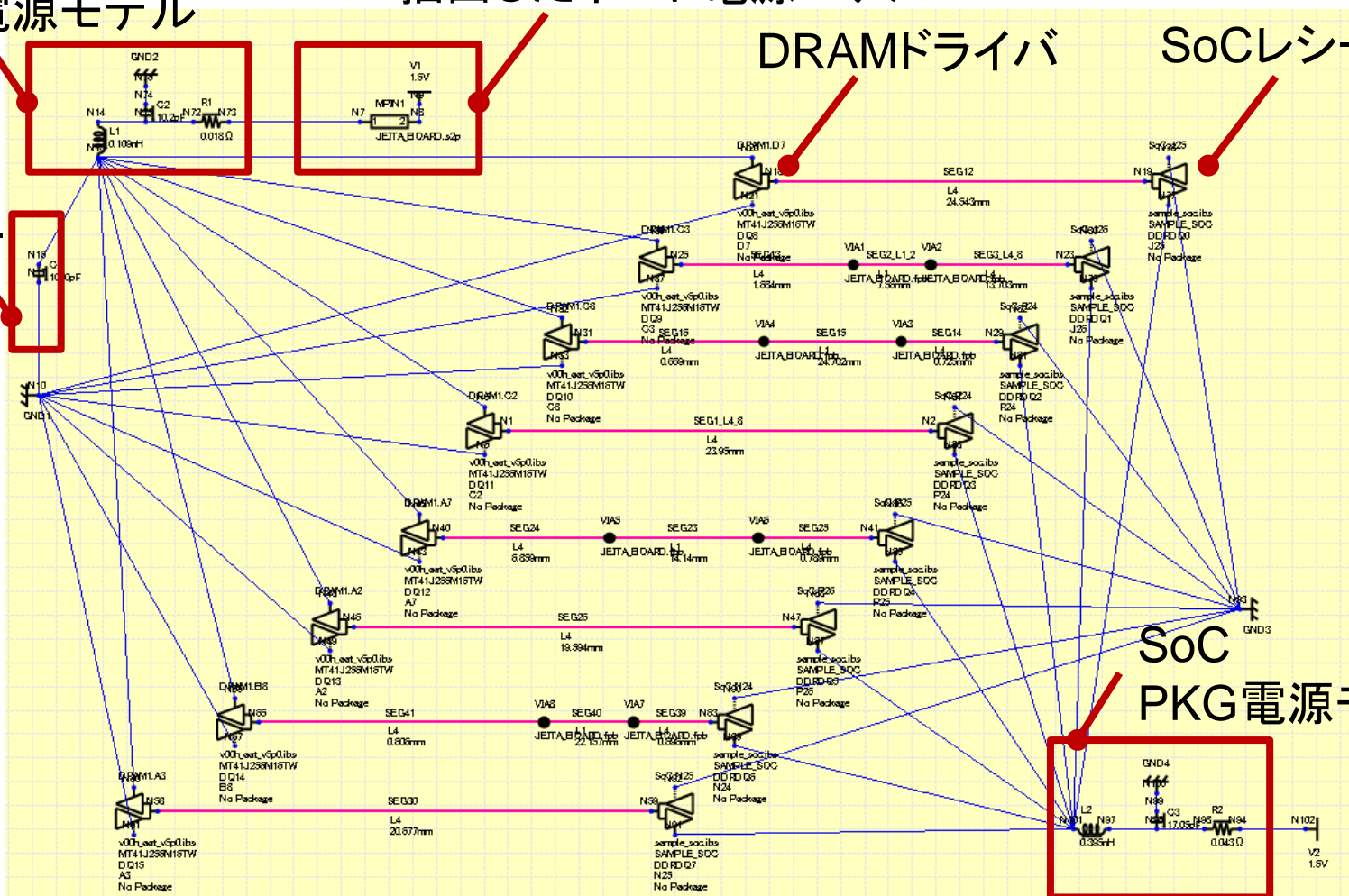
DRAM
PKG電源モデル

抽出したボード電源モデル

DRAMドライバ

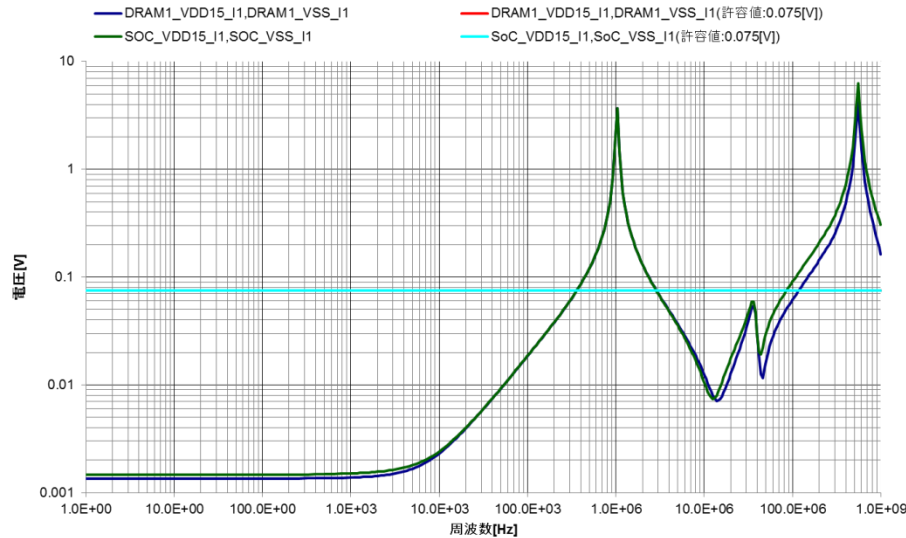
SoCレシーバ

OnChip
Decap.

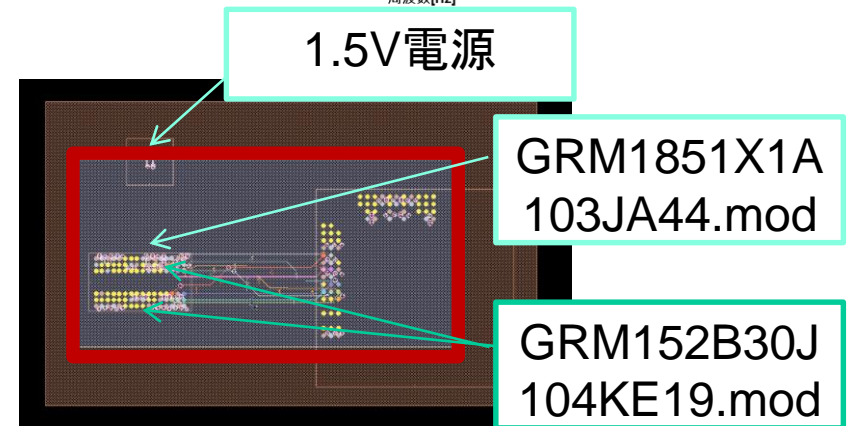
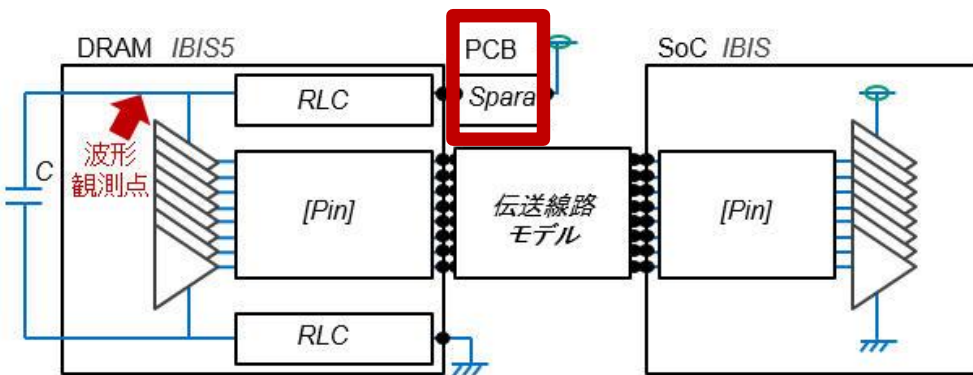
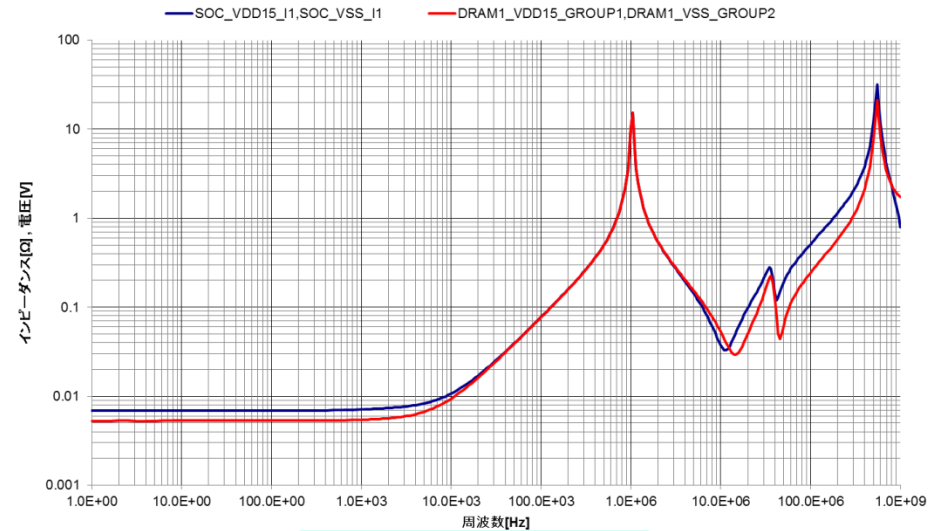


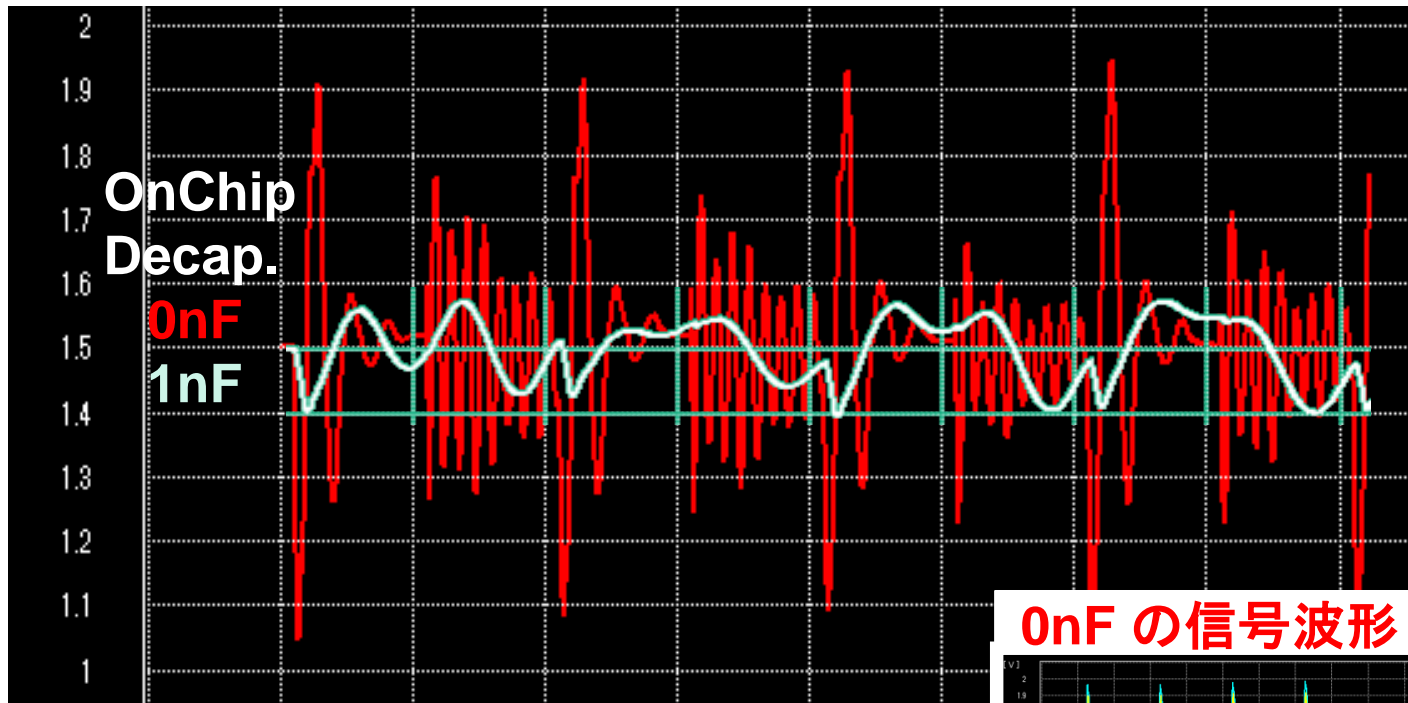
解析結果

周波数解析(ノイズ量)



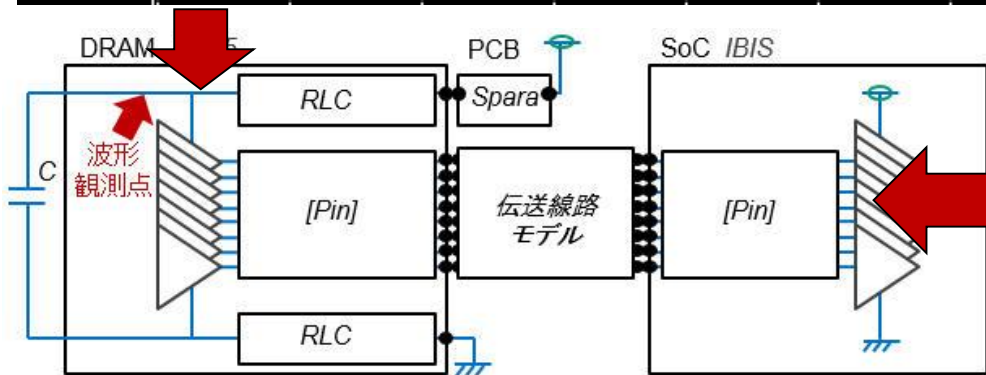
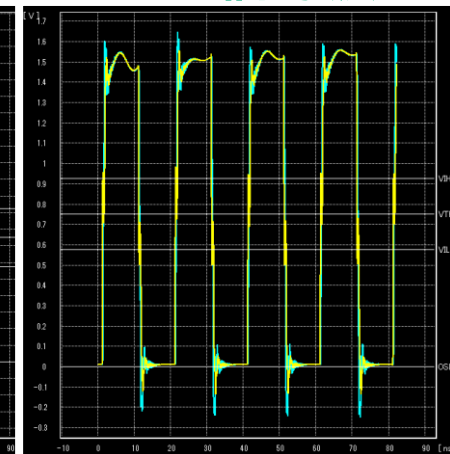
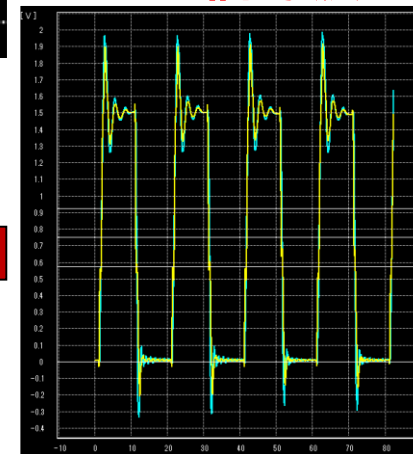
インピーダンス解析





0nF の信号波形

1nF の信号波形

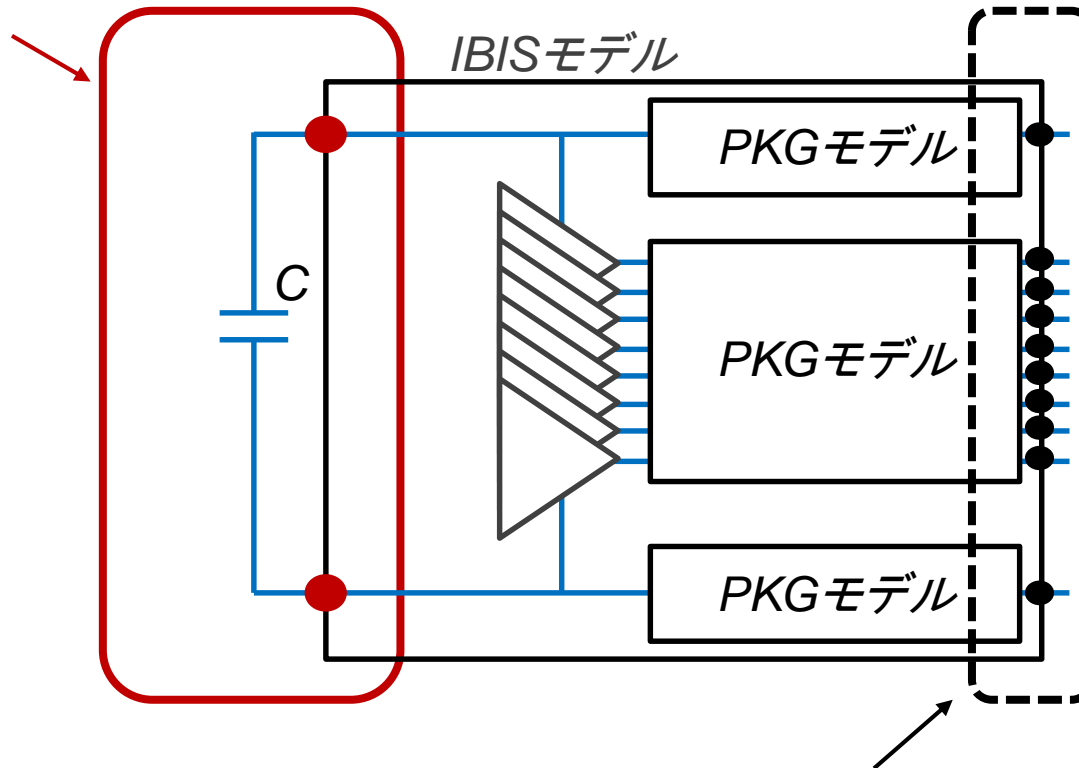


課題 と まとめ

今回の事例で判明した課題

IBISと紐づいたLPBでは、DIEの端子が想定されていない。
今回はSignalAdviserの機能で C を挿入したが、LPB側で対応してほしい。

追加して欲しいLPBの端子 = DIEの端子



現状のLPBの端子 = IBISの端子 = PKGの端子

まとめ

今回の狙い

LPBユーザー(チップ・PKG・ボード設計者と解析担当者)に、IBISシミュレーションでLPBを活用してもらい、メリットを感じて欲しい。
LPB提供者(チップベンダー、部品ベンダー)に、ユーザーのメリットを知って欲しい。

ユーザーのメリット

LPBとIBIS等のモデルが紐づいているので・・・

- ・設計データのピンとモデルのピンとが始めから対応しているため、作業が軽減され、作業ミスも無くなった。(モデル探し、DL、アサイン等)
- ・設計者と解析担当者との間のやり取りが最小化された。

- ・今回のLPBは公開します。ユーザー、ベンダーの皆様は是非、触れてみてください。
- ・OnChipDecapは重要なパラメータです。LPBフォーマットに組み込めるようにMDLWGから提案していきます。

ご清聴ありがとうございました。