

LBP

The logo for ROHM Semiconductor, featuring the word "ROHM" in a large, bold, white sans-serif font above the word "SEMICONDUCTOR" in a smaller, white sans-serif font, both centered within a red square background.

フロントローディングの為の熱を含んだ回路設計 (LPB アナログ熱設計への対応)

2018年3月9日(金)

ローム株式会社
アプリケーションエンジニア部
アプリケーション第1課パワー-AE1G
次席技術員
瀧澤 登

1. 会社紹介
2. 熱問題の発生
3. 熱を配慮した検証
4. VHDL-AMS 検証のメリット
5. 自己発熱の注意点
6. VHDLで何故熱が扱えるのか
7. MOSの発熱
8. 実際のモデル
9. 熱モデル
10. 過渡熱特性測定環境
11. 熱設計
12. レイアウト時の注意点
13. 規格化活動
14. まとめ
15. 付録

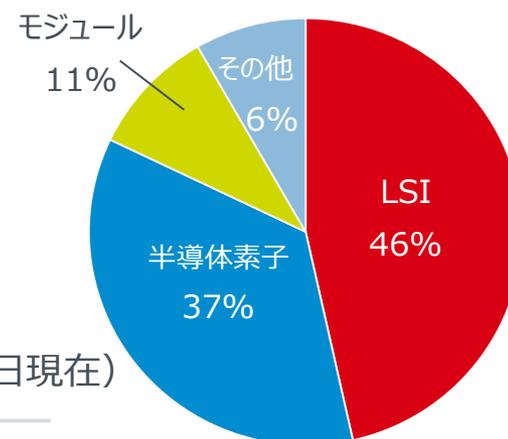
企業目的

われわれは、つねに品質を第一とする。

いかなる困難があろうとも、良い商品を国の内外へ永続かつ大量に供給し、文化の進歩向上に貢献することを目的とする。

設立年月日	1958年9月17日
資本金	86,969百万円（2017年3月31日現在）
代表者	代表取締役社長 / 澤村 諭
売上高	352,010百万円（2017年3月期）
従業員数	21,308人（2017年3月31日現在）
グループ会社	国内：10社 海外：34社（2017年12月31日現在）

品目別売上比率
(連結)



1. 会社紹介 (ロームの歩み)



Rohm
QUALITY · RELIABILITY

1958年
東洋電具製作所設立

ROHM

1981年
ローム(株)に社名変更



2008年 創立50周年!!
新ブランドマークに変更

1971年
日本企業で初めて
シリコンバレーに進出

1983年
株式上場

新たなグループ会社
2008年 ラピセセミコンダクタ (旧: OKIセミコンダクタ)
2009年 Kionix
2009年 SiCrystal
2015年 ROHM POWERVATION



1954年 **R**
抵抗器に関する
実用新案の成立

1967年 **Tr** **Di**
トランジスタ・
ダイオード販売開始

1969年 **IC**
ICの開発に
着手

1973年 **LED**
LED開発、
販売開始

1976年 **R**
世界初、
角板形チップ
固定抵抗器の
開発

1982年 **Tr**
デジタル開発

1984年 **LD**
半導体レーザの
実用化に成功

2010年 **SiC**
SiC量産開始
2012年
フルSiC +モジュール
量産開始

2012年 **IC**
Bluetooth®
対応

2014年 **IC**
ワイヤレス給電
「Qi」制御IC

2015年 **IC**
USB
パワーデリバリー
制御IC

2015年 **IC**
デジタル電源IC
販売開始

アナログソリューション

アナログ技術と制御技術を融合し、
高機能なパワーコントロールを
提供する

パワーソリューション

パワーデバイスの特性を制御技術と
モジュール技術で最大限に発揮

センサソリューション

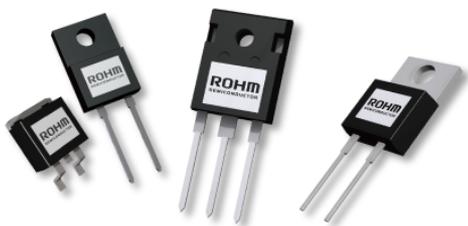
センサデバイスと無線モジュール、
ASICを組み合わせ
IoT化をサポート

モバイルソリューション

世界最小デバイスで
モバイル機器の小型化に貢献

EV車充電器用 SiC-SBD

急速充電器用SiC
W/Wトップシェア[※]



産機用 フルSiC IPM

大型IHインバータ電源

体積
▲40%

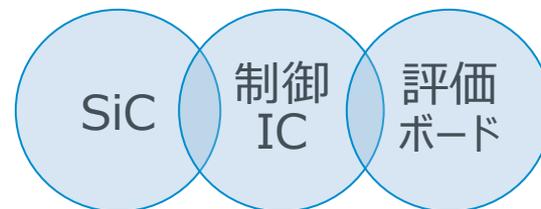
重量
▲50%

160kW-200kHz

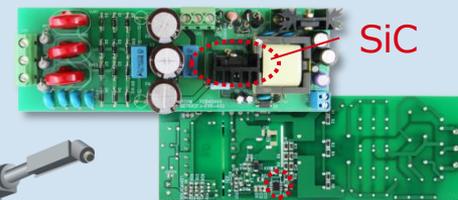


産機用 SiC AC/DC電源

SiCの性能を最大に引き出す
ローム製制御ICを組み合わせ
使いやすい電源を提供



入力電源AC400V~690Vの
アプリケーション



大型ロボット



パワコン

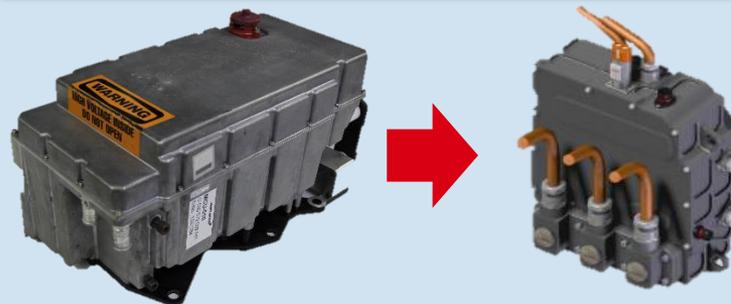


インバータ

SiCパワーデバイスが電気自動車の世界最高峰レース「フォーミュラE」用インバータに搭載 – Venturi Formula Eチームのテクノロジーパートナーとして技術サポート –



フルSiCパワーモジュール搭載で
インバータの小型化、軽量化に大きく貢献



Season 2
従来型インバータ
(重量 : 15kg)

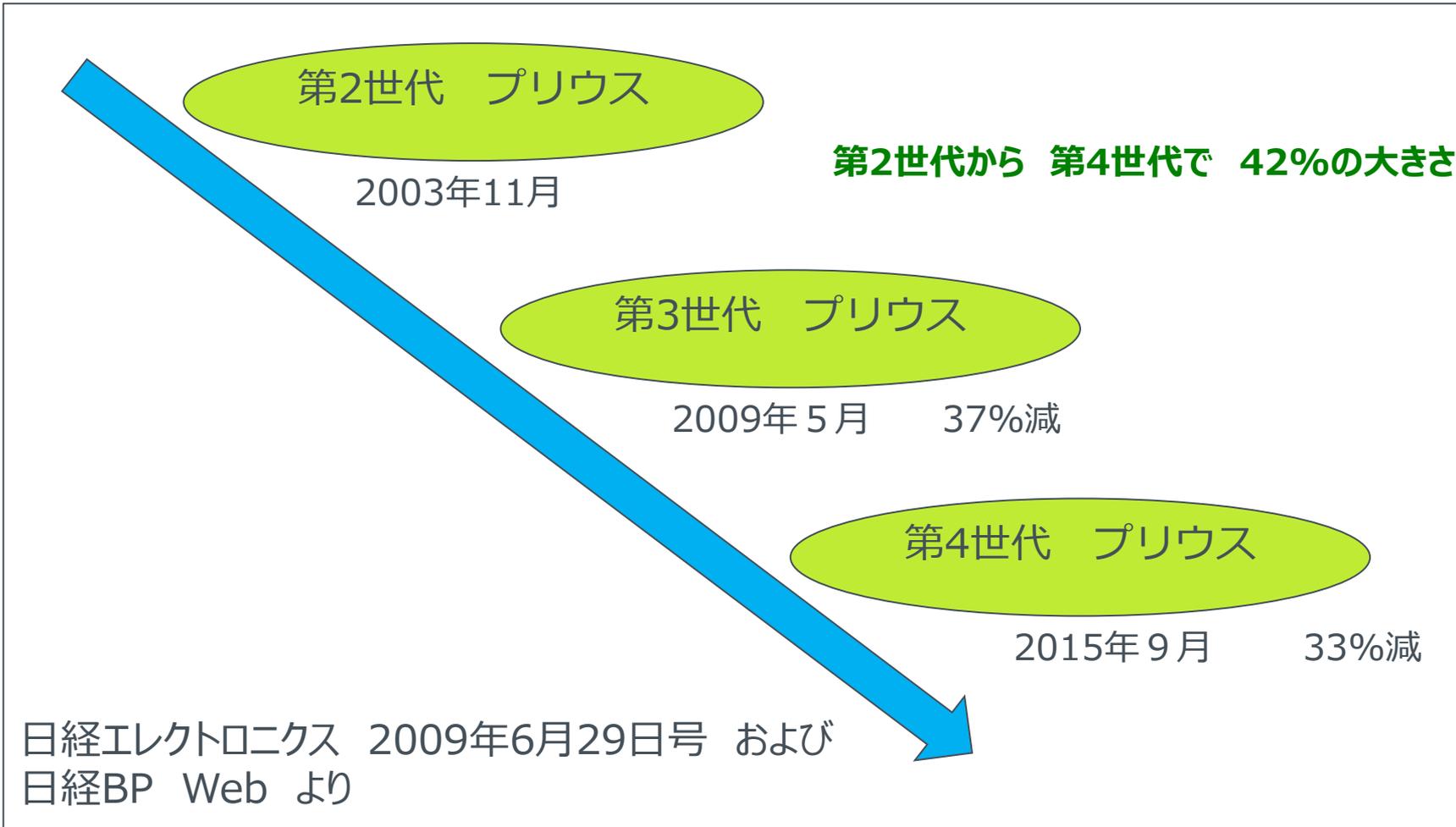
Season 4
フルSiC 搭載インバータ
(重量 : 9kg)

重量 6kg down

体積 43% down

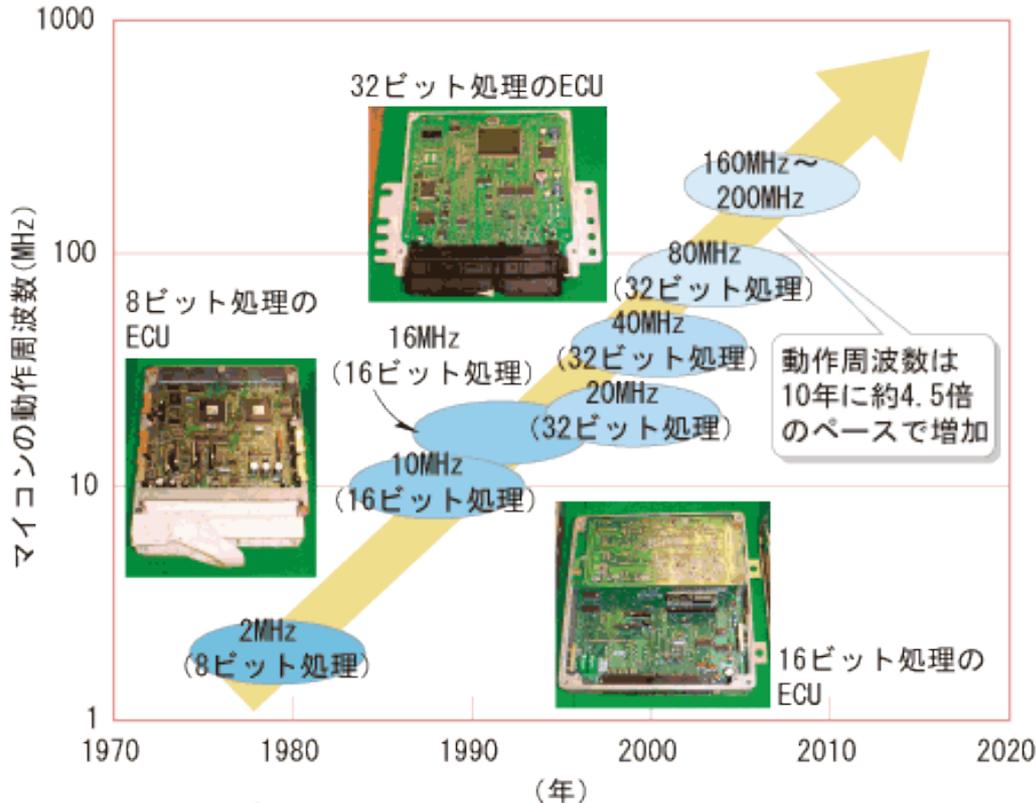
2-1. 熱問題の発生（小型化の進むECU）

プリウス PCUの例



2-2. 熱問題の発生（高速化の進むECU）

ECUマイコンの例



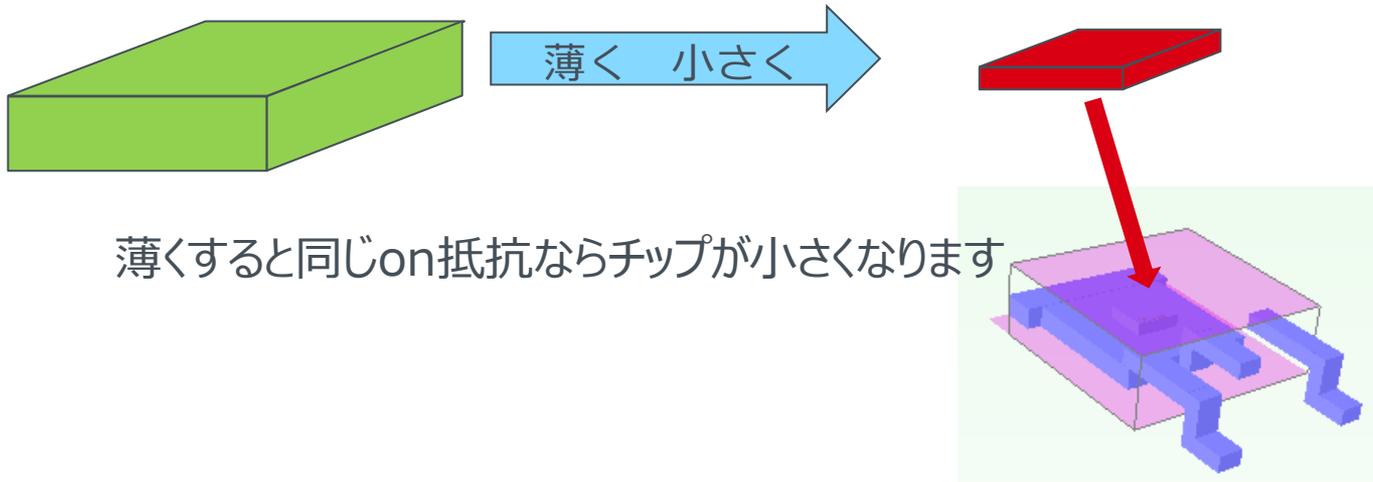
10年で約4.5倍になる動作周波数

エンジン制御用マイコンの動作周波数は、1979年には2MHz程度だったが、2007年～2008年ごろには200MHz程度に達するとみられる。10年で約4.5倍のペースで、指数関数的に増加していることになる。

（資料：ルネサス テクノロジ，写真：日立製作所） 2006年日経テクノロジー

2-3. 熱問題の発生（パワー素子のチップ小型化）

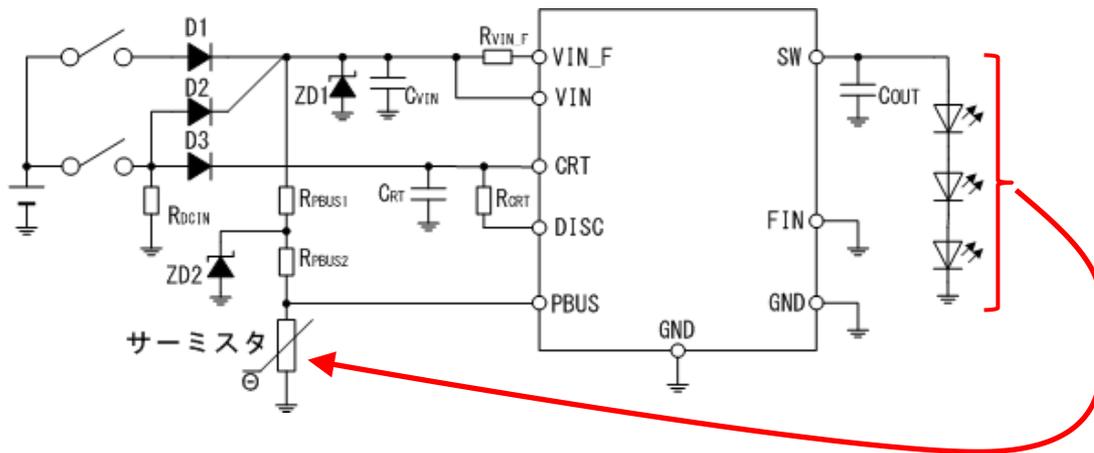
薄くして単位面積当たりのON抵抗を下げる



チップが小さくなるとダイからヒートスプレッダーへの熱抵抗が大きくなります チップ体積が減り熱容量が減る為 熱の変動が大きくなります

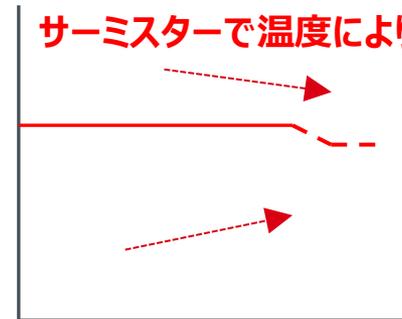
3-1. 熱を配慮した動作モデルだと何ができるか

LEDドライバーの例



出力電流

サーミスターで温度により電流制御



LEDの温度を見てドライバーの出力電流をコントロールするような制御

3-2. 熱を配慮した動作モデルだと何ができるか

急な負荷変動での発熱検討

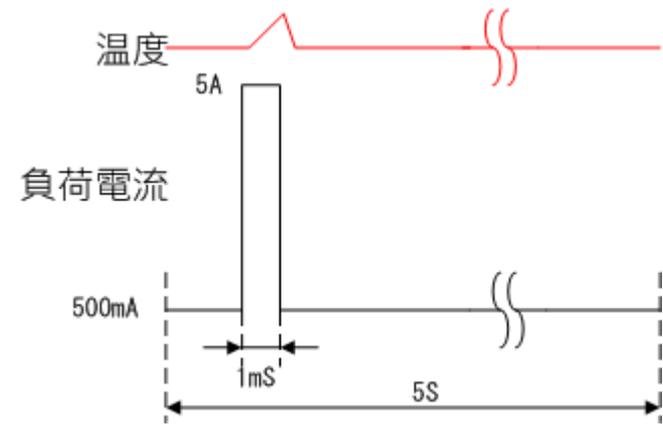
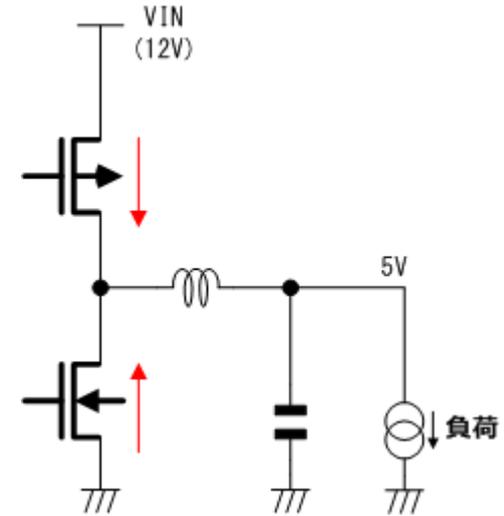
従来

- 平均消費電力から熱シミュレーターで解析の為 急な負荷変動は対応できていなかった (時間軸がmsレベル以下)



熱を含んだ検証の場合

- ピーク電流が流れた時の発熱(温度)の検証が可能



3-3. 熱を配慮した動作モデルだと何ができるか

同期整流の場合（デッドタイム検討）

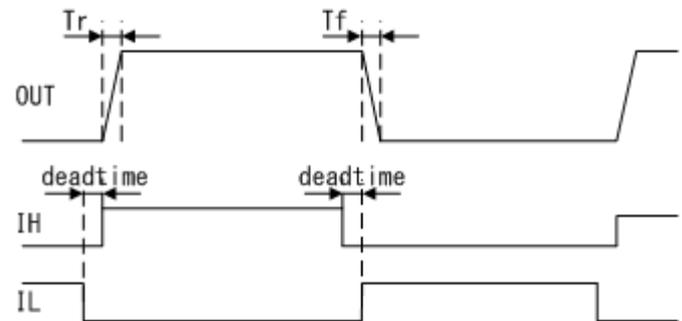
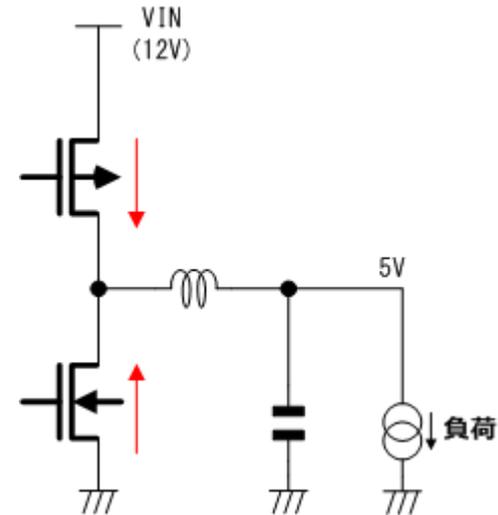
従来

- 部品ばらつきまで考えるとOn Offのタイミングにマージンを十分に取った設計しかできなかった



熱を含んだ検証の場合

- 自己発熱によるタイミング変動を反映
- それぞれの温度でのデッドタイムの設定すべき時間が検証可能になります。
- 適応型デッドタイムコントロールの検討



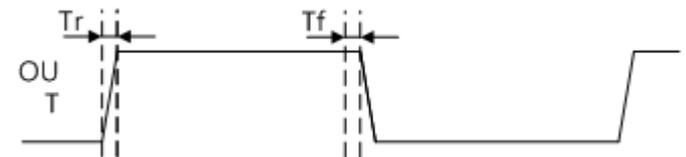
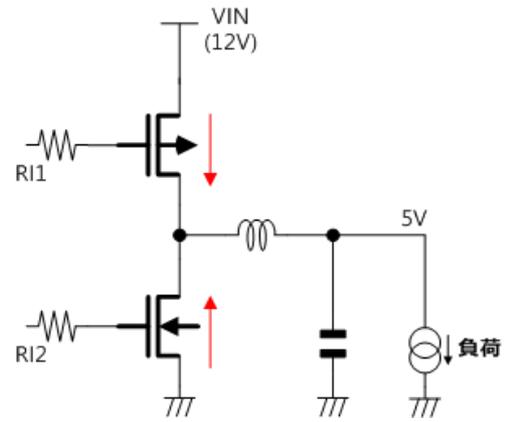
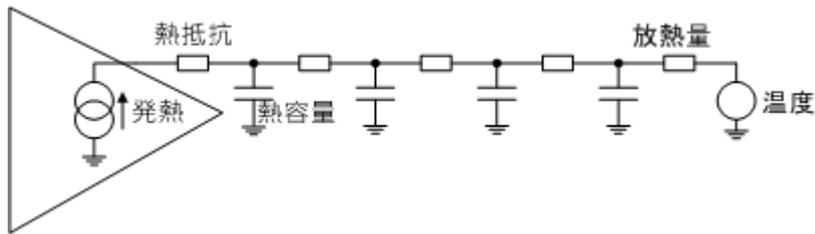
3-4. 熱を配慮した動作モデルだと何ができるか

EMC対応の場合(スルーレイト変化で問題ないか)

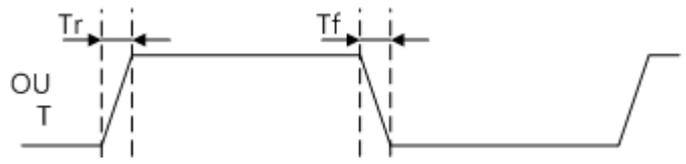
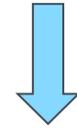
従来
 •EMC対策 ⇔ 熱対策 (カット&トライ)



熱を含んだ検証の場合
 •できる最低のスルーレイトでEMC検討
 •スルーレイト変更以外の対策で検討
 ⇕
 追加の熱対策の検討

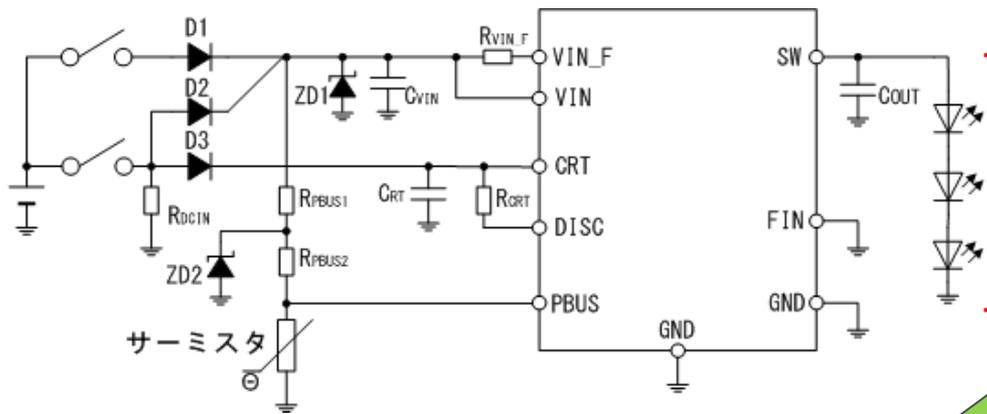


EMC改善のためスルーレイトを悪くする



4. VHDL-AMS 検証のメリット (何が出来るか)

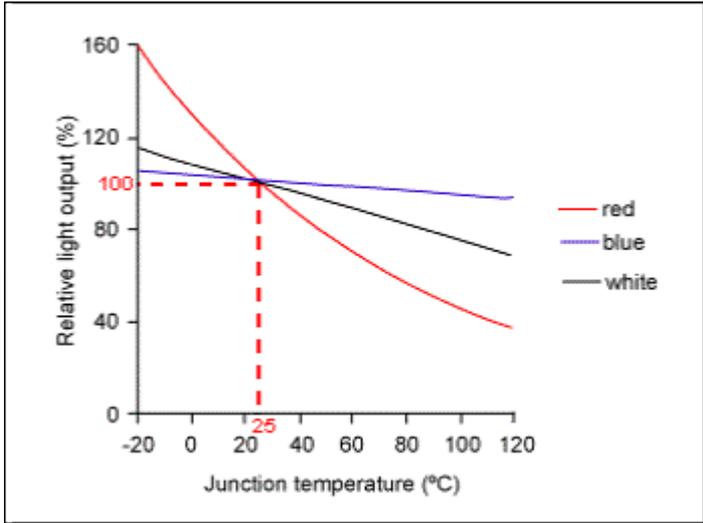
LEDドライバーの例



LEDをcd (カンデラ値) で検証

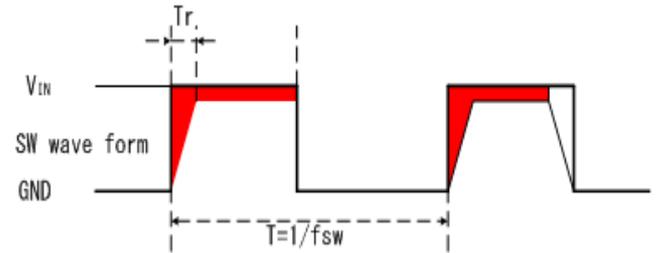
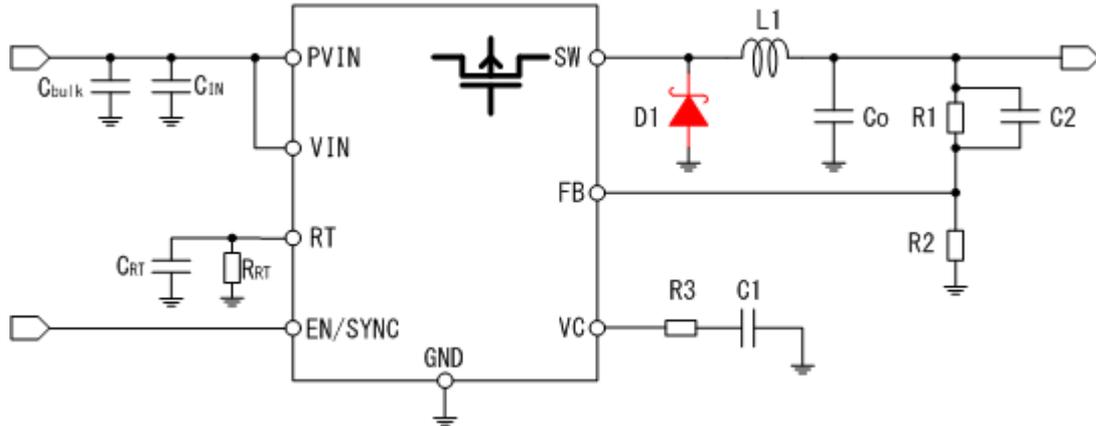
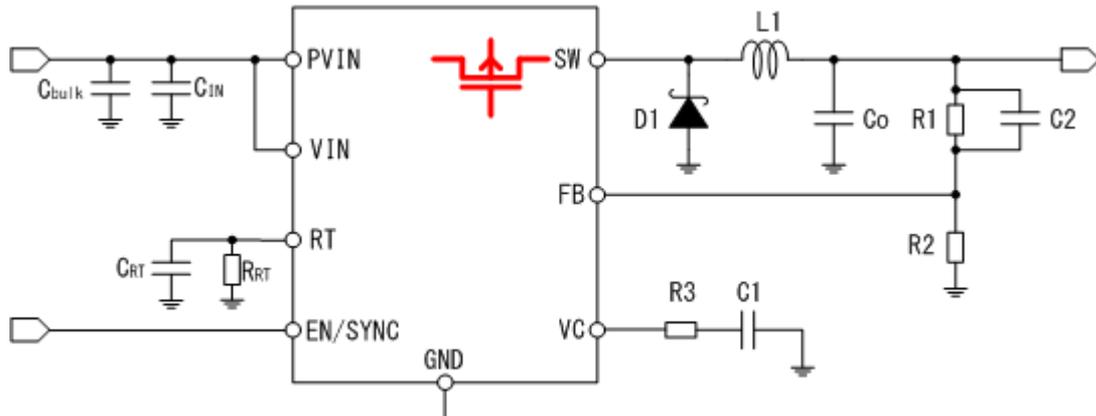
LEDを温度による発光効率変動も対応可能

従来の設計で必要だったセットで明るさの合わせこみなし

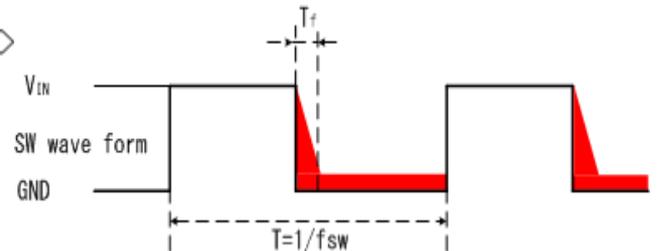


5-1. 自己発熱の注意点 (DCDCコンバーター)

DCDCコンバーターの例
 入力電圧と負荷一定の場合



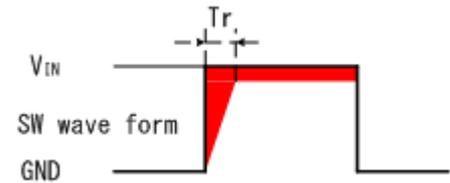
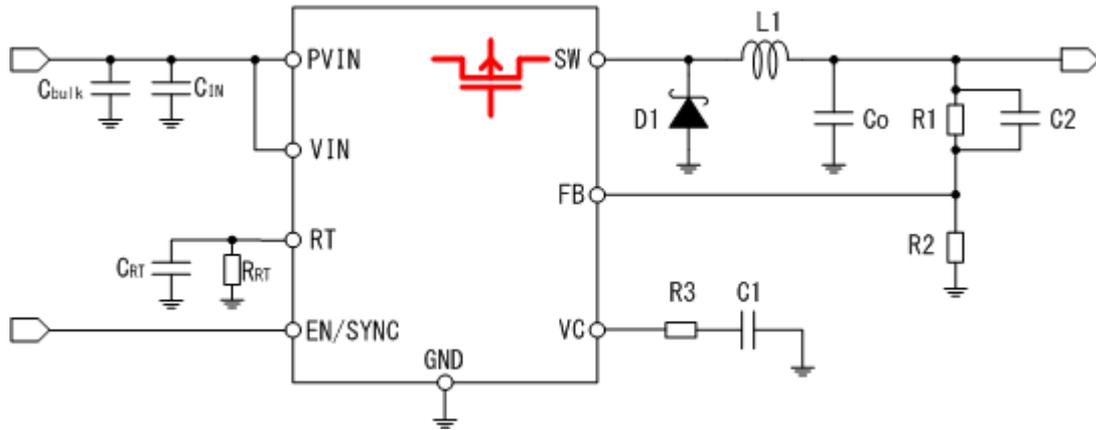
- ① $R_{ON} \times I_o^2$
- ② $0.5 \times (T_r) \times V_{IN} \times I_o \div T$



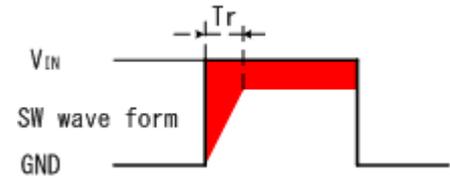
- ① $D1 \text{ } v_f \times I_o^2$
- ② $0.5 \times (T_f) \times V_{IN} \times I_o \div T$

5-2. 自己発熱の注意点 (DCDCコンバーター : LSI)

DCDCコンバーター LSI側
入力電圧と負荷一定の場合



初期状態



自己発熱

Trの低下

RONの上昇

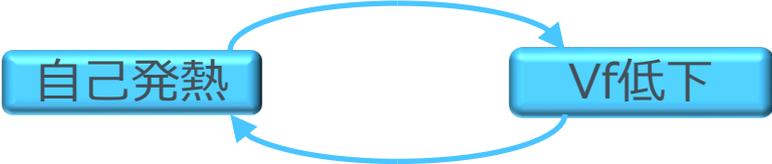
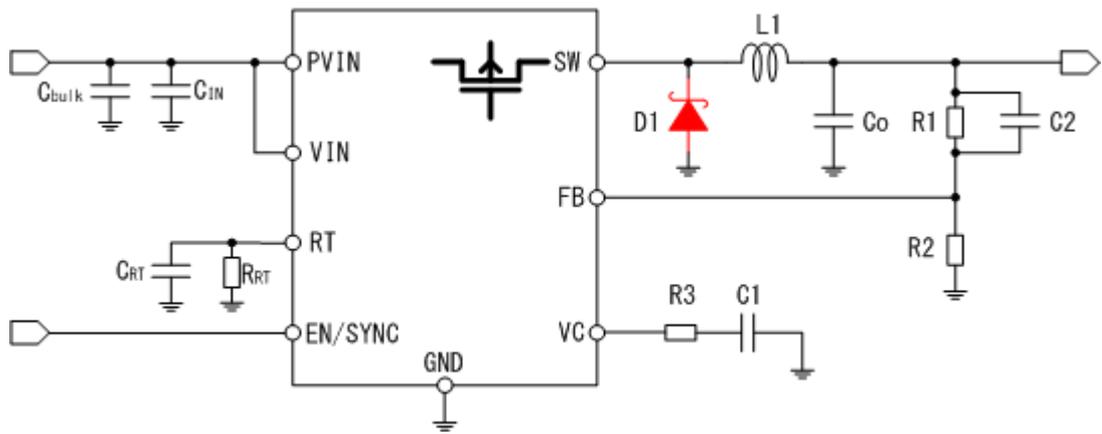


熱を含めての回路解析で初めて発熱量が判る

自己発熱で発熱量が増加します

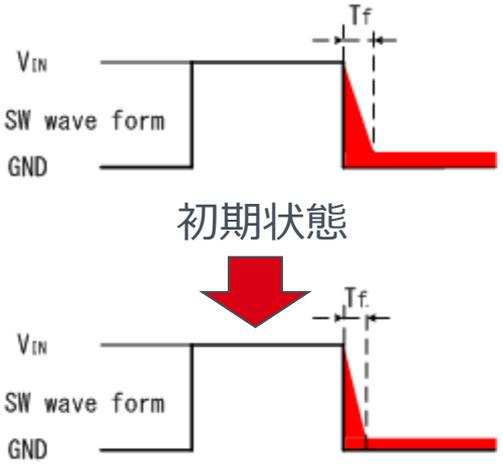
5-3. 自己発熱の注意点 (DCDCコンバーター : ショットキー)

DCDCコンバーター ショットキー
 入力電圧と負荷一定の場合



熱を含めての回路解析で初めて発熱量が判る

温度上昇で発熱量が低下します



自己発熱
 Vfの低下
 Rdの低下

6-1. VHDLで何故熱が扱えるのか？

VHDLネットリストに VHDL-AMSモデルで設計することができます。

VHDL-AMS IEC61691-6 (物理モデリング言語)

IEEE Digital, Mathematical package

IEEE.STD_LOGIC_1164	デジタル基本
IEEE.STD_LOGIC_SIGND	符号つき演算用
IEEE.STD_LOGIC_UNSIGND	符号なし演算用
IEEE.STD_LOGIC_ARITH	符号つき,符号なし混在用
IEEE.STD.TEXTIO	ファイルアクセス用
IEEE.MATH_REAL	算術 (Real)
IEEE.MATH_COMPLEX	算術 (Complex)



もともとのVHDL部分

IEEE AMS package

IEEE.ELECTRICAL_SYSTEMS	電気用
IEEE.THERMAL_SYSTEMS	熱用
IEEE.RADIANT_SYSTEMS	光学用
IEEE.MECHANICAL_SYSTEMS	機械用
IEEE.FLUIDIC_SYSTEMS	流体用
IEEE.ENAERGY_SYSTEMS	エネルギー用
IEEE.MATERIAL_SYSTEMS	材料用
IEEE.FUNDAMENTAL_SYSTEMS	基本定数



VHDL-AMSで拡張された部分

6-2. VHDL-AMS と Verilog-AMS

VHDL-AMS IEC規格

Verilog-AMS 規格化されていない

VHDL-AMS それぞれの物理量で動作

Verilog-AMS Real値のみの受け渡し

VHDL-AMS 記述が厳格

Verilog-AMS 記述の自由度が大きい

VHDL-AMSは書くのは難しいけどちゃんと記述し、動作したらおおむね正しいが
Verilog-AMSは電気信号、熱、機械系と直につないでも動いているように見えてしまう

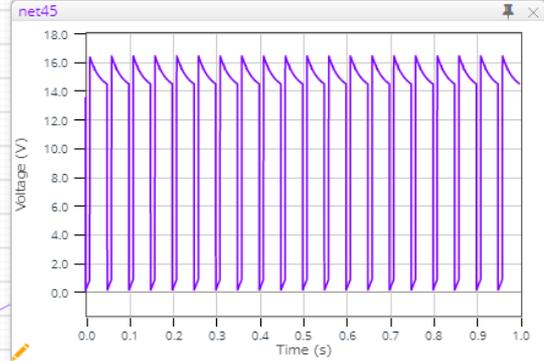
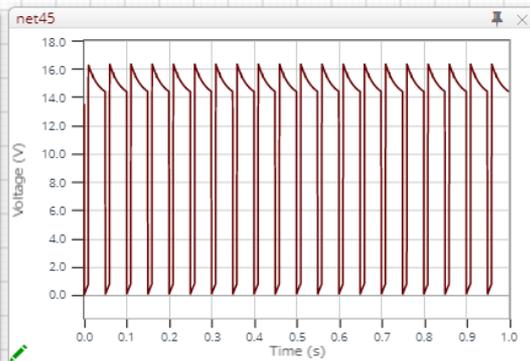
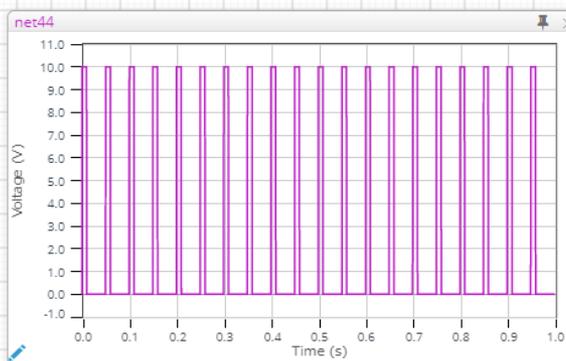
7-1. MOSの発熱 (スイッチング動作)

MOS スwitching状態での発熱

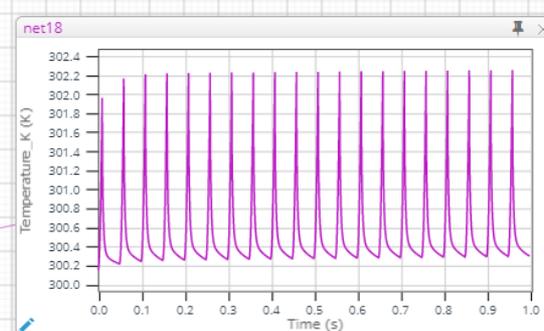
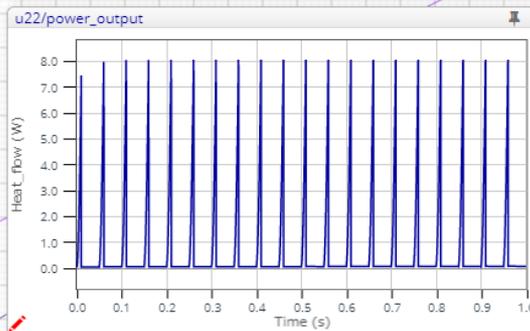
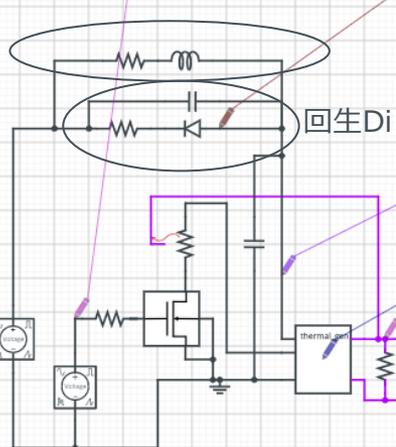
systemvision Home Discuss Designs Blog Workgroups

Thermal_gen_cauel_test DELETE EDIT INFO SAVE

On Offを連続して繰り返している状態での発熱です。



コイル負荷



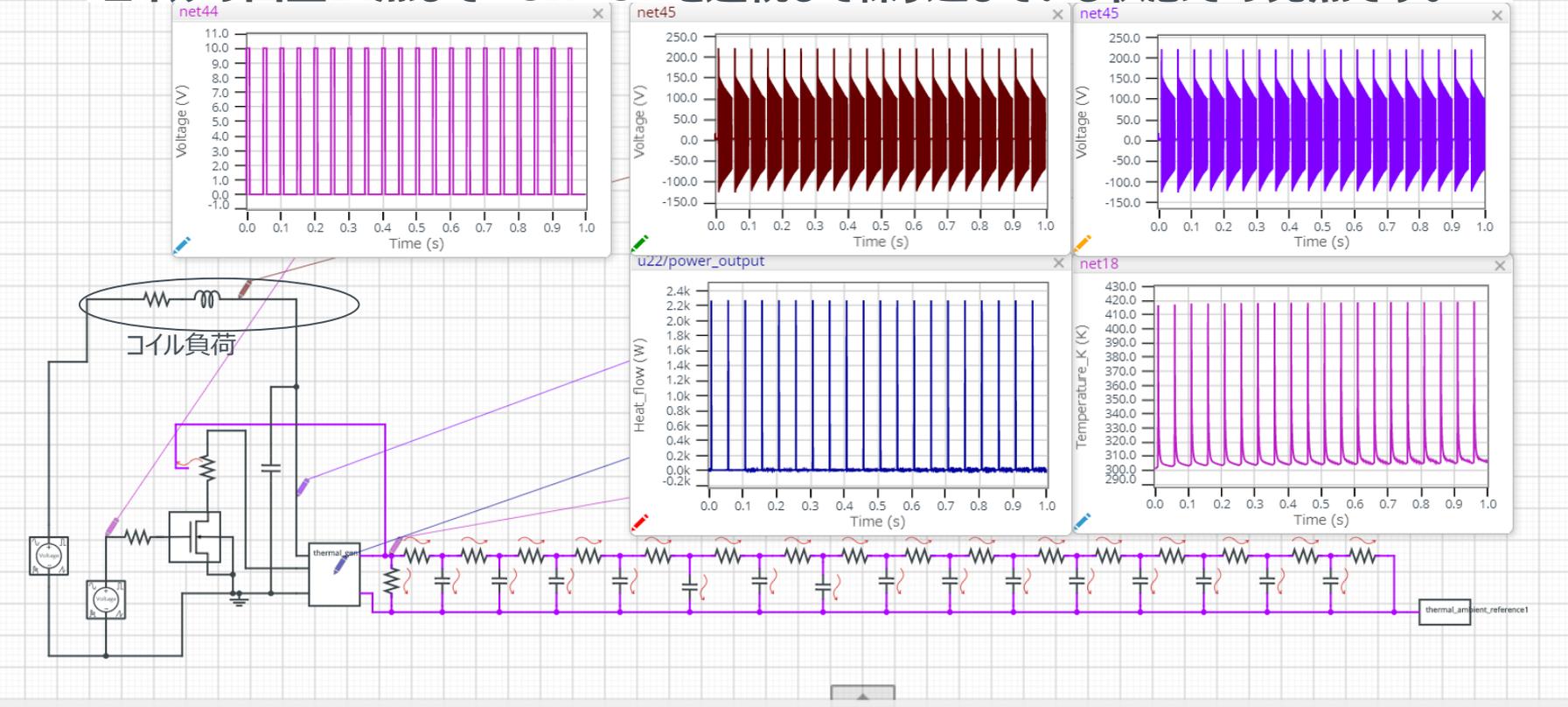
7-2. MOSの発熱 (スイッチング動作)

MOS スwitching状態での発熱

systemvision Home Discuss Designs Blog Workgroups

Thermal_gen_cauel_NO_Di_test EDIT INFO SAVE

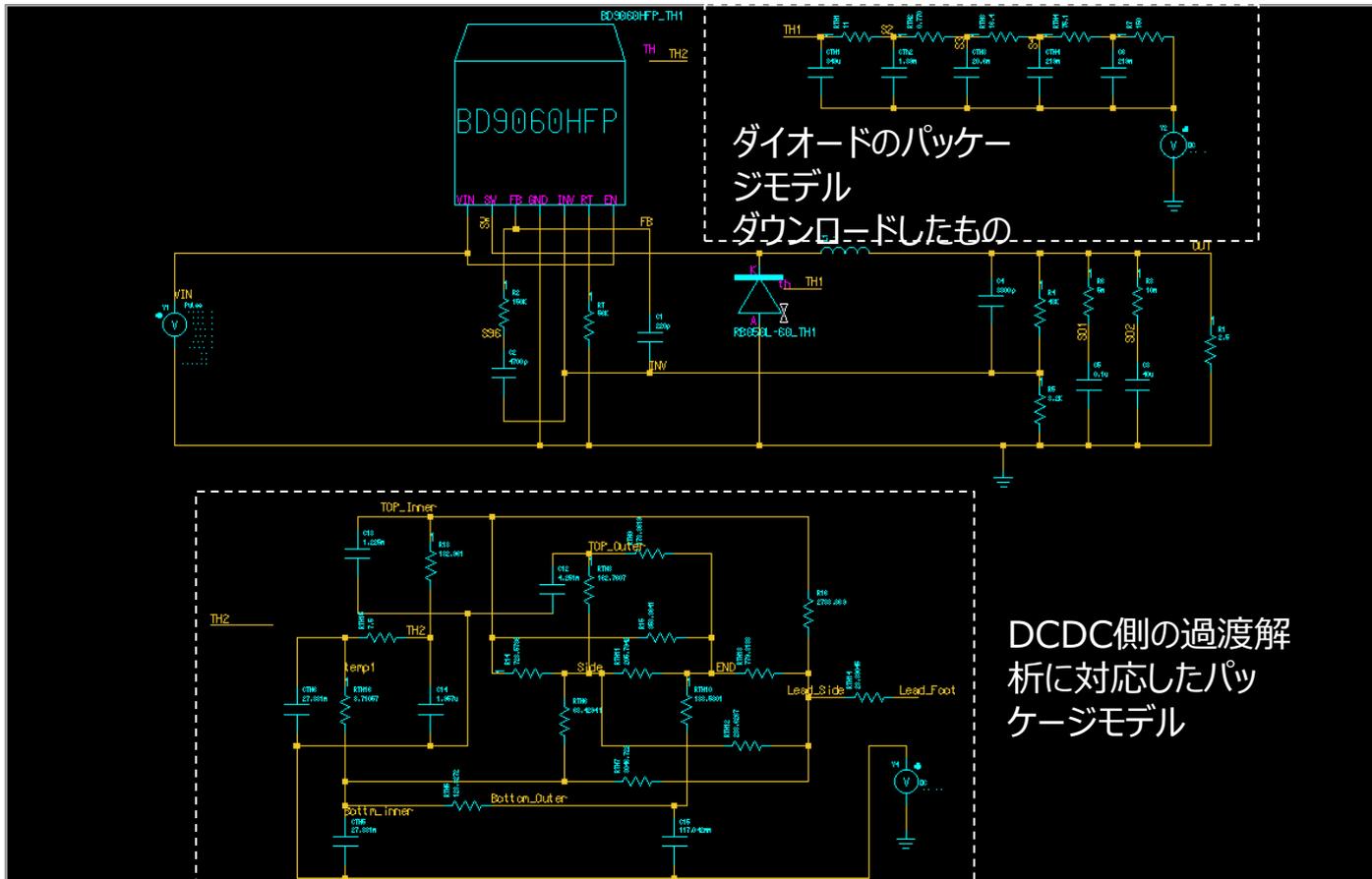
コイルの回生Di無しで On Offを連続して繰り返している状態での発熱です。



8-1. 実際のモデル

DCDC BD9060の例

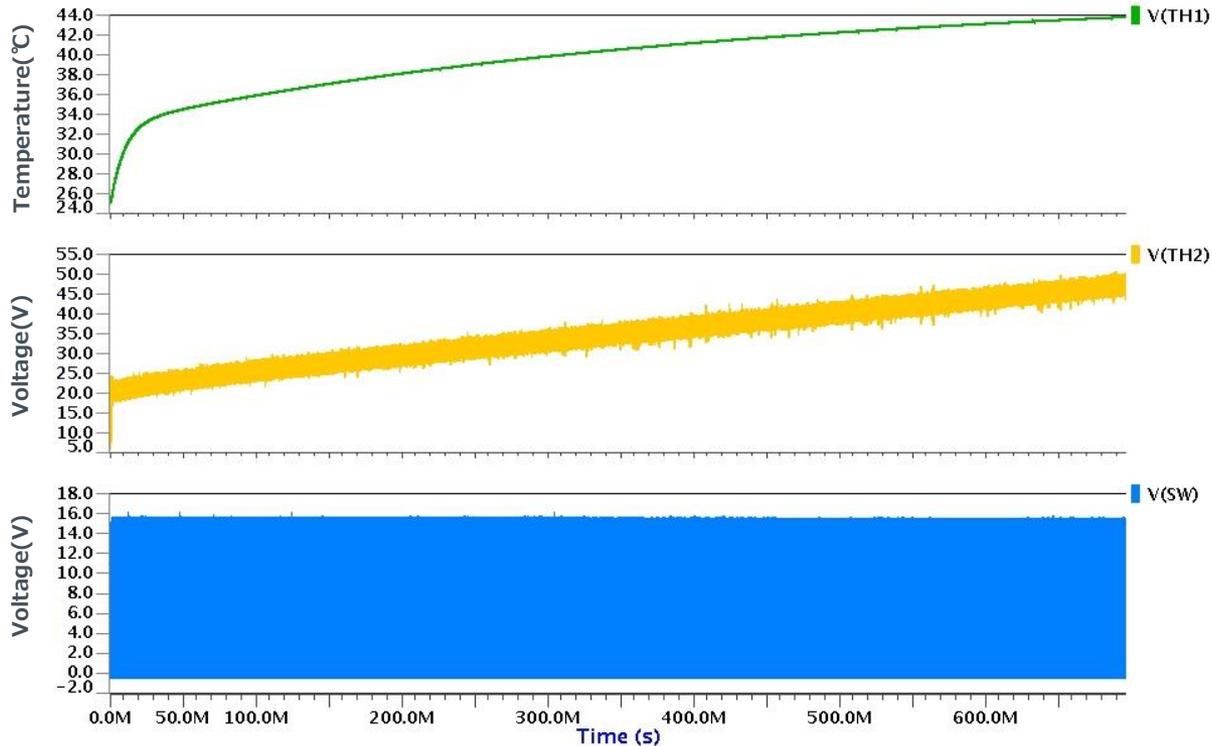
BD9060の出力MOSと 外付けのショットキーダイオードを
自己発熱モデルにしています



8-2. 実際のモデル

DCDC BD9060の例

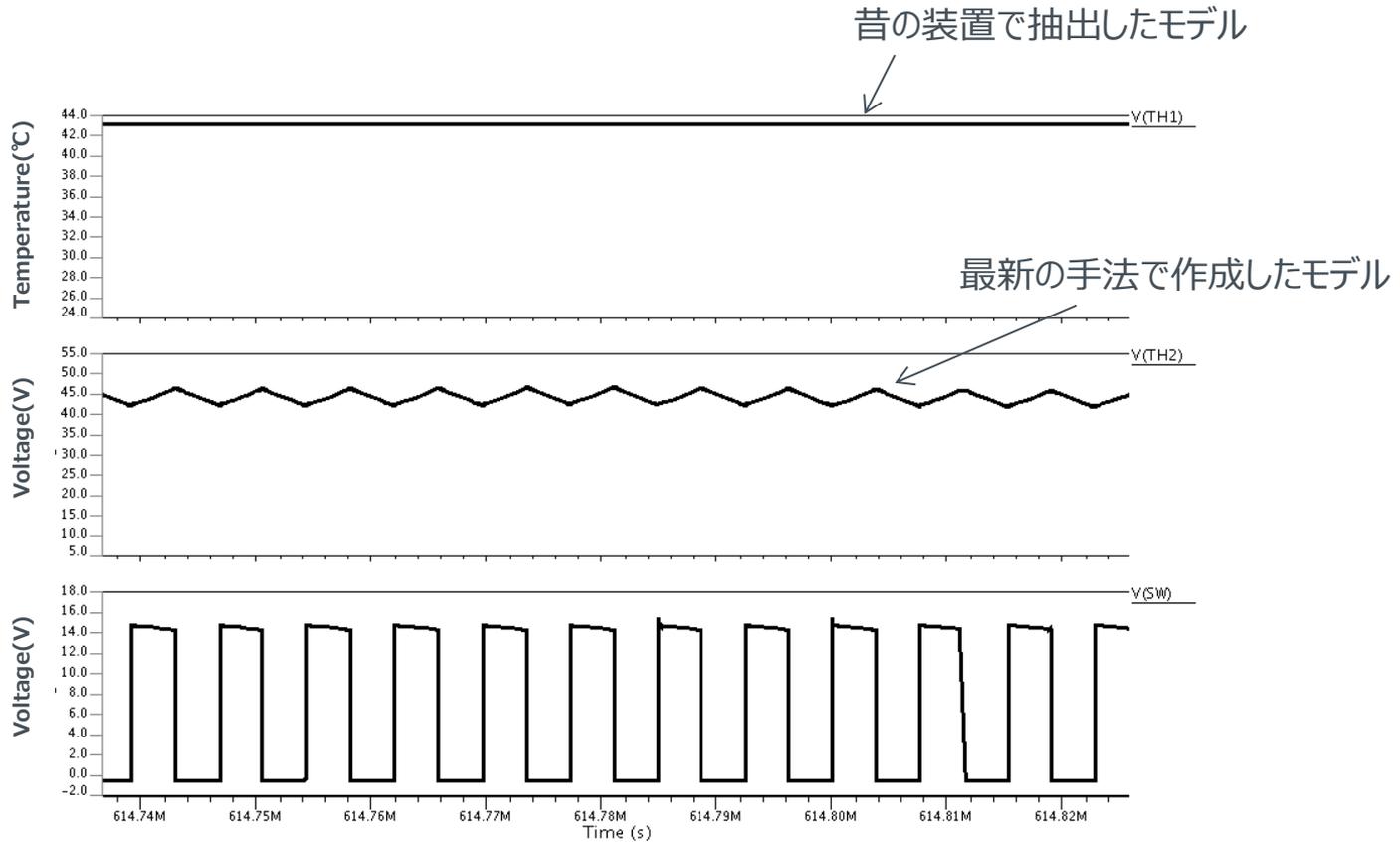
BD9060の出力MOSと 外付けのショットキーダイオードを
自己発熱モデルにしています



8-3. 実際のモデル

DCDC BD9060の例

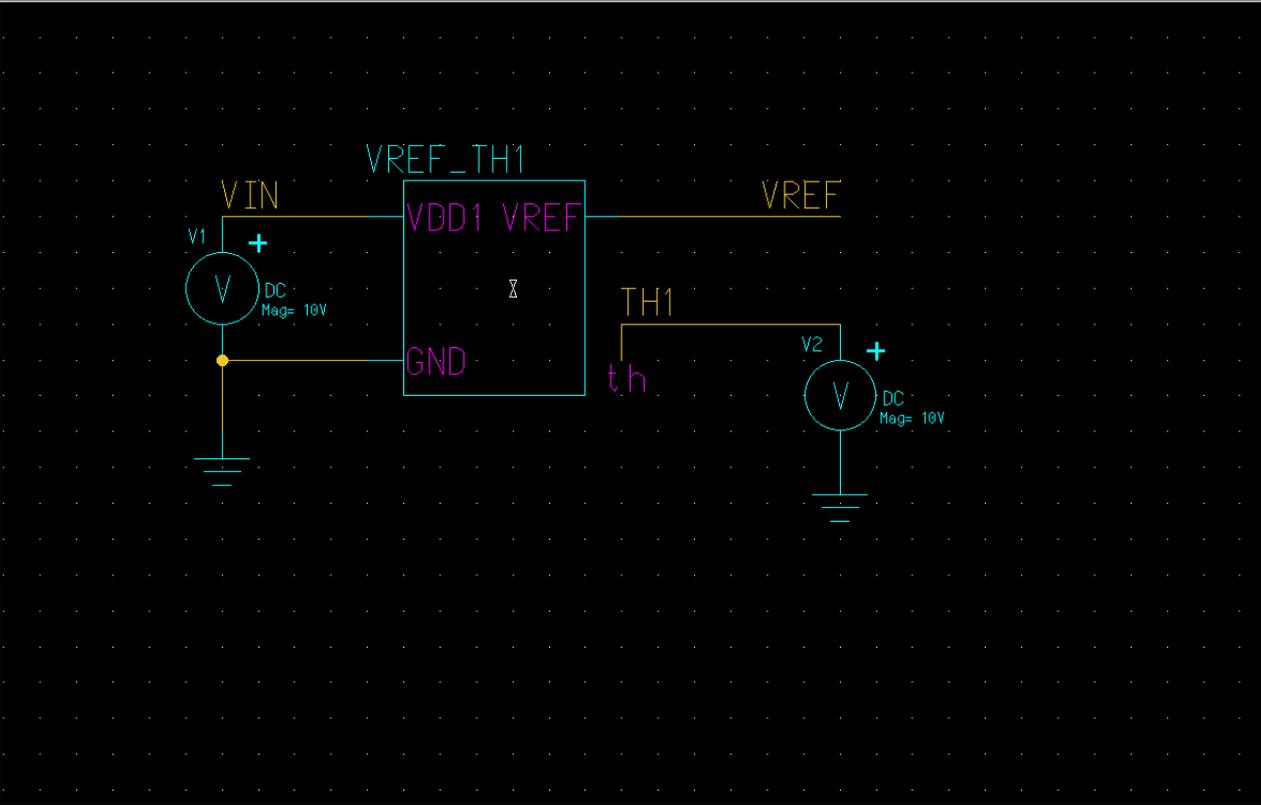
BD9060の出力MOSと 外付けのショットキーダイオードを
自己発熱モデルにしています



8-4. 実際のモデル VREF部

Band Gap 部

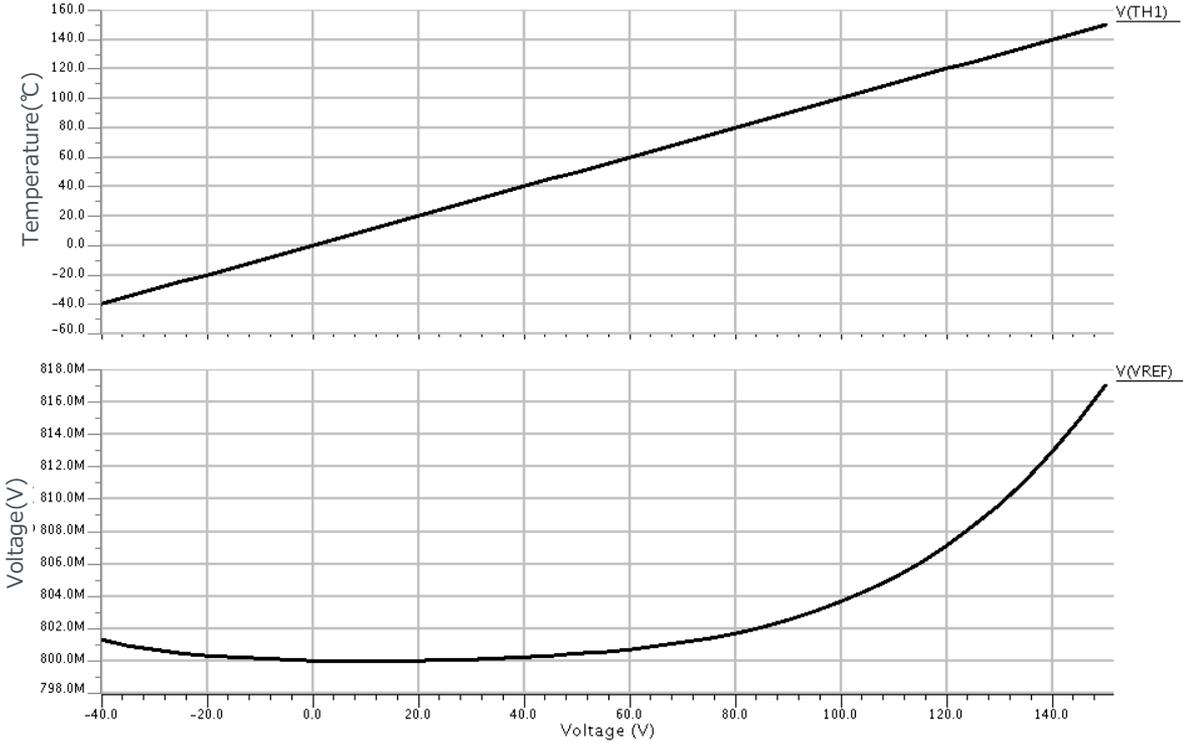
VREFにチップ内発熱による温度上昇を戻せるようにしたモデルです。



8-5. 実際のモデル VREF部 (VHDL-AMS版)

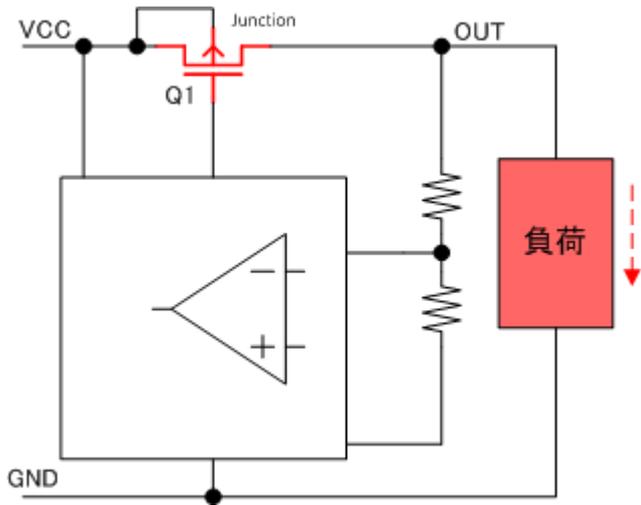
Band Gap 部

VREFにチップ内発熱による温度上昇を戻せるようにしたモデルです。

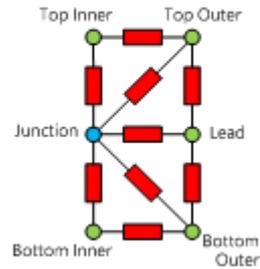


9. パッケージモデル

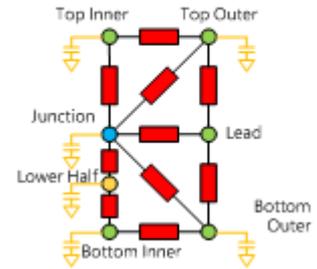
定常モデルと過渡熱モデル



DELPHIモデル



過渡熱回路網モデル



負荷波形



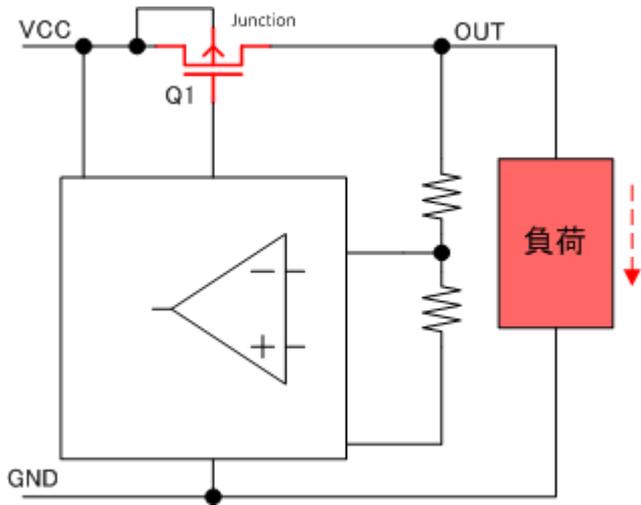
発熱波形



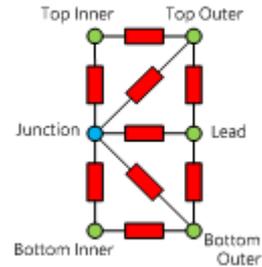
発熱量計算は負荷の最大値で求めているため最大ジャンクション温度はモデルの違いで差は生じない

9. パッケージモデル

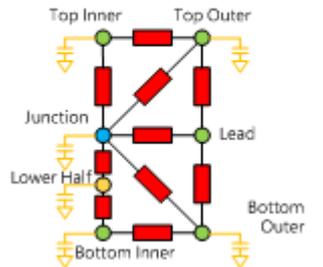
定常モデルと過渡熱モデル



DELPHIモデル



過渡熱回路網モデル



負荷波形



発熱波形



最大ジャンクション温度は 負荷の最大値で求めた値より 実際に近い過渡熱回路網で求めると小さいことが判明する。

10. 過渡熱特性測定環境

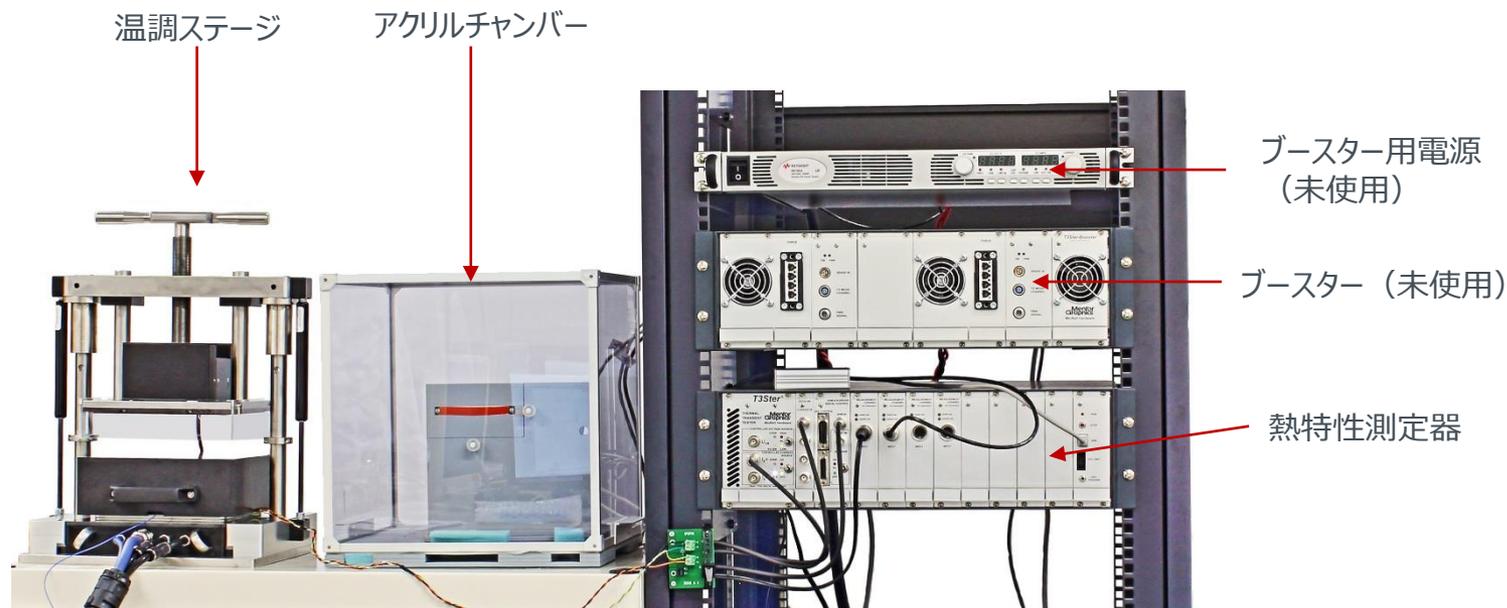
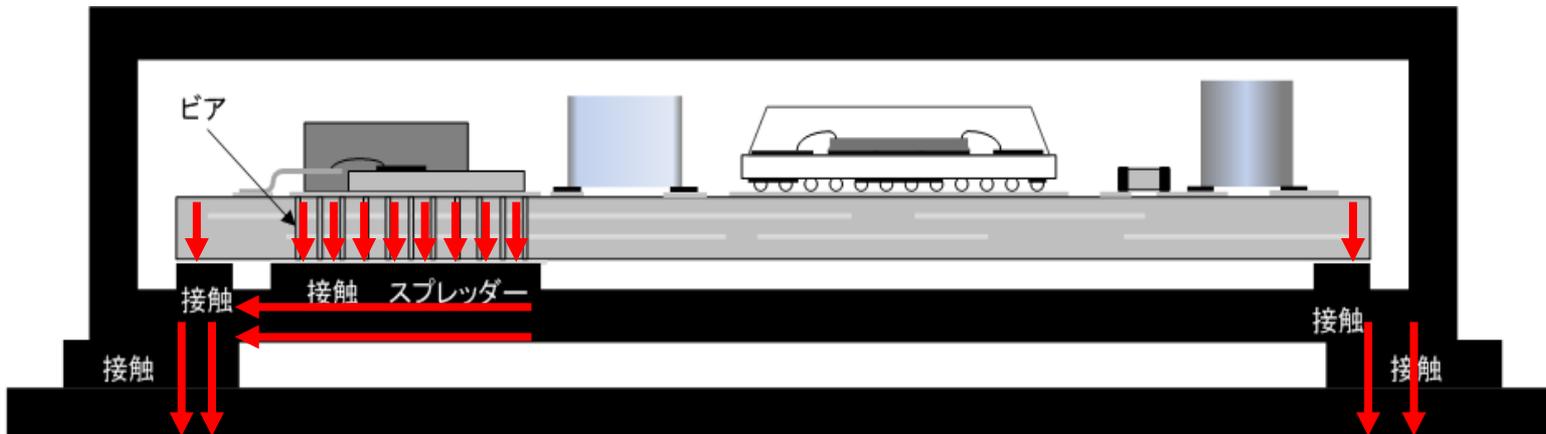


図1:測定環境写真

測定器	メーカー	型番	シリアルNo
熱特性測定器	Mentor Graphics	T3Ster	T3S10637
温調ステージ	Keenus Design	PELNUS	17P033
K型熱電対	坂口電熱	K6010	Class1/φ0.1mm

11. 熱設計

ECU基本密封で考えます

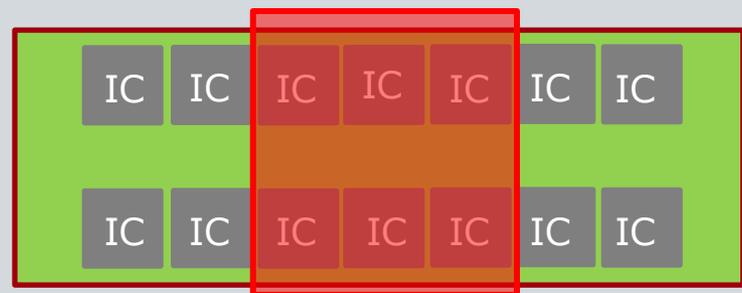


外気との換気による熱交換がありません。
従って θ_{JA} でなく Ψ_{JT} 考える必要があります。

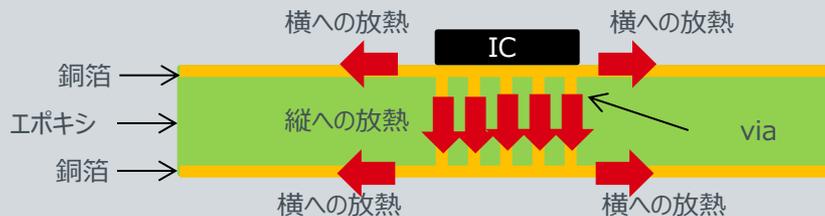
12.1. レイアウト時の注意点

● 部品の配置について

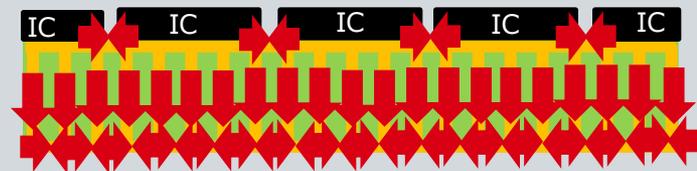
右のレイアウトは、隣り合うICどうしが限りなく近接しており、各ICの有効放熱範囲が非常に狭い状態。
特に赤枠部分が周辺の熱のあおりを受けて高温になる。



レイアウトパターン



IC単体時の熱の経路

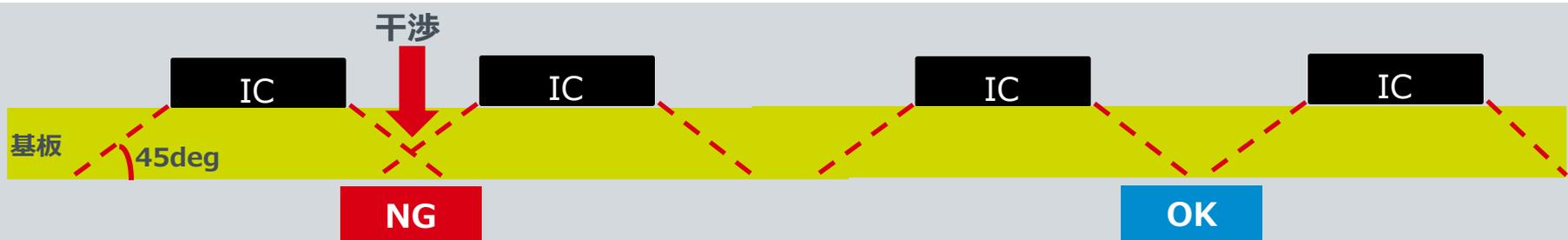


熱の逃げ場がない ⇒ 温度上昇

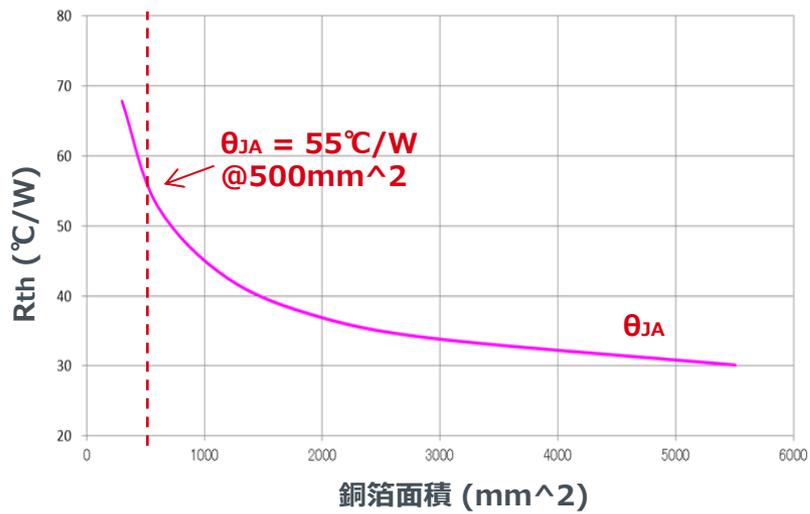
IC複数時の熱の経路

上図イメージのように、発熱するICが近接すると、熱的に干渉し、温度上昇を誘う

12.2. レイアウト時の注意点



上記を最低限クリアした上で、「 θ_{JA} vs 銅箔面積」を使用して必要な放熱面積を見積もる



θ_{JA} vs 銅箔面積
(HRP7の例 2Layer/JEDEC 2s)

計算例

ICで発生する消費電力を1.0W、 $T_A(HT)=85^\circ C$ 、目標とするTJを $T_{Jmax}=140^\circ C$ として、必要な θ_{JA} を計算すると、

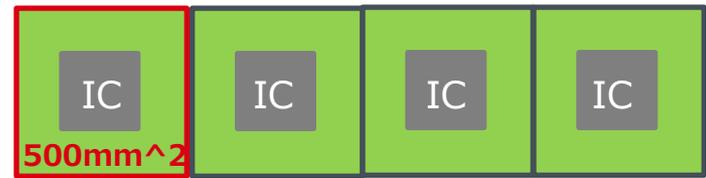
$$T_J = P \times \theta_{JA} + T_A(HT)$$

$$140^\circ C = 1.0W \times \theta_{JA} + 85^\circ C$$

$$\theta_{JA} = 55^\circ C \div 1.0W$$

$$= 55^\circ C/W$$

となる。左の「 θ_{JA} vs 銅箔面積」のグラフより、 $55^\circ C/W$ とするには銅箔面積を $500mm^2$ 以上確保する必要がある。



最低限必要な放熱範囲

有効放熱範囲に注意

12.3. 発熱検討（LSIが要求する銅箔面積の見積もり）

周囲温度 T_A , T_J , θ_{JA} と表層銅箔面積から求めます。（1層の場合）

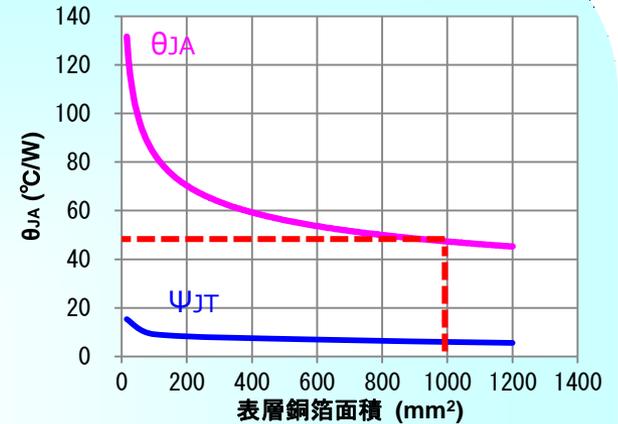
● 計算例

「① 周囲温度 T_A から下式を使用して求める。」を使用した T_J 計算。LSIが実装される基板の仕様を以下のように設定します。

層数 : 1層
 基板材料 : FR4
 ターゲット T_J : 125°C
 で計算すると

$$\begin{aligned} \theta_{JA} &= (T_J - T_A) / P \\ &= (125^\circ\text{C} - 85^\circ\text{C}) / 0.85\text{W} \\ &= 47.588 \end{aligned}$$

右上図 θ_{JA} / ψ_{JT} vs 銅箔面積（1層）より読み取った $\theta_{JA} = 47.588^\circ\text{C}/\text{W}$ から約1000mmとなります。



求めた銅箔面積を必要な放熱範囲にとらえこのエリアに他の発熱部品を載せない

13. 規格化活動 JEITA熱設計サブコミティについて

■ 活動目的

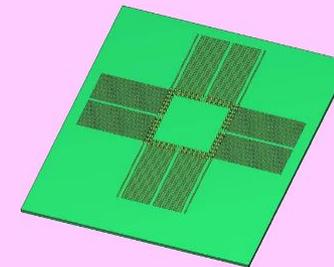
熱設計サブコミティでは、電子機器や半導体製品で近年大きな問題となってきた熱課題に対して、各社共通の課題を活動テーマとして取り上げ、その成果の標準化活動を行っております。

■ 参画メンバー

- (株)デンソー
- (株)東芝デバイス&ストレージ
- パナソニック(株)
- 富士通アドバンスドテクノロジー(株)
- メンター・グラフィックス・ジャパン(株)
- 山一電機(株)
- ルネサスエレクトロニクス(株)
- ローム(株)
- (株)ベテル
- (株)IDAJ (※特別委員)
- (株)ソフトウェアクレイドル (※特別委員)
- キーナスデザイン(株) (※特別委員)

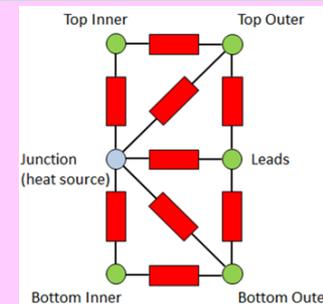
狭ピッチ半導体パッケージ対応熱特性評価基板 規格発行予定：2018/5月

デファクトだったJEDEC規格の基板では、狭ピッチ半導体パッケージの実装が不可能だったため、半導体パッケージの熱特性パラメータを実験的に取得できなかった。狭ピッチパッケージに対応した熱評価基板の規格化を目指す。



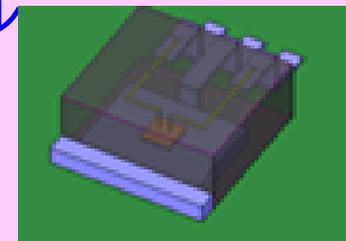
過渡対応半導体パッケージ熱回路網モデル 規格発行予定：2018/3月

定常解析用パッケージ等価回路モデルは一般化されているものの、過渡解析用モデルは標準化されていなかった。特に過渡時の温度が問題となるパワー系半導体パッケージに関し、過渡対応の熱回路網モデリング手法を規格化する。



高精度を担保した半導体パッケージの簡易熱モデル 規格発行予定：2018/9月

近年電子機器は、熱解析技術を駆使した試作レスでの熱設計が求められている。半導体ジャンクション温度の精度を維持したまま、半導体パッケージの熱解析モデルを簡略化する手法の規格化を目標とする。



13. 規格化活動（自動車技術会の取り組み）



自動車技術会
技術会議・共同研究センター紹介

国際標準記述によるモデル開発・流通検討委員会

委員長： 加藤 利次(同志社大)

幹事： 市原純一(AZAPA)、辻公壽(トヨタ自動車)

電子部品と熱Sub-WG

来季はSMPSを例に熱を含んだモデル記述法のルールを検討しております。
これは 過渡熱対応のパッケージモデルと接続したものになります。

ローム株式会社

アプリケーションエンジニア部

アプリケーション第1課パワーAE1G

瀧澤 登

E-mail： Noboru.Takizawa@dsn.rohm.co.jp

13. 規格化活動（自動車技術会の取り組み）

自動車システムのモデルベース講習会

自動車技術会

「国際標準記述によるモデル開発・流通検討委員会」

主催 講習会実施予定

日時：2018年10月11日(木)

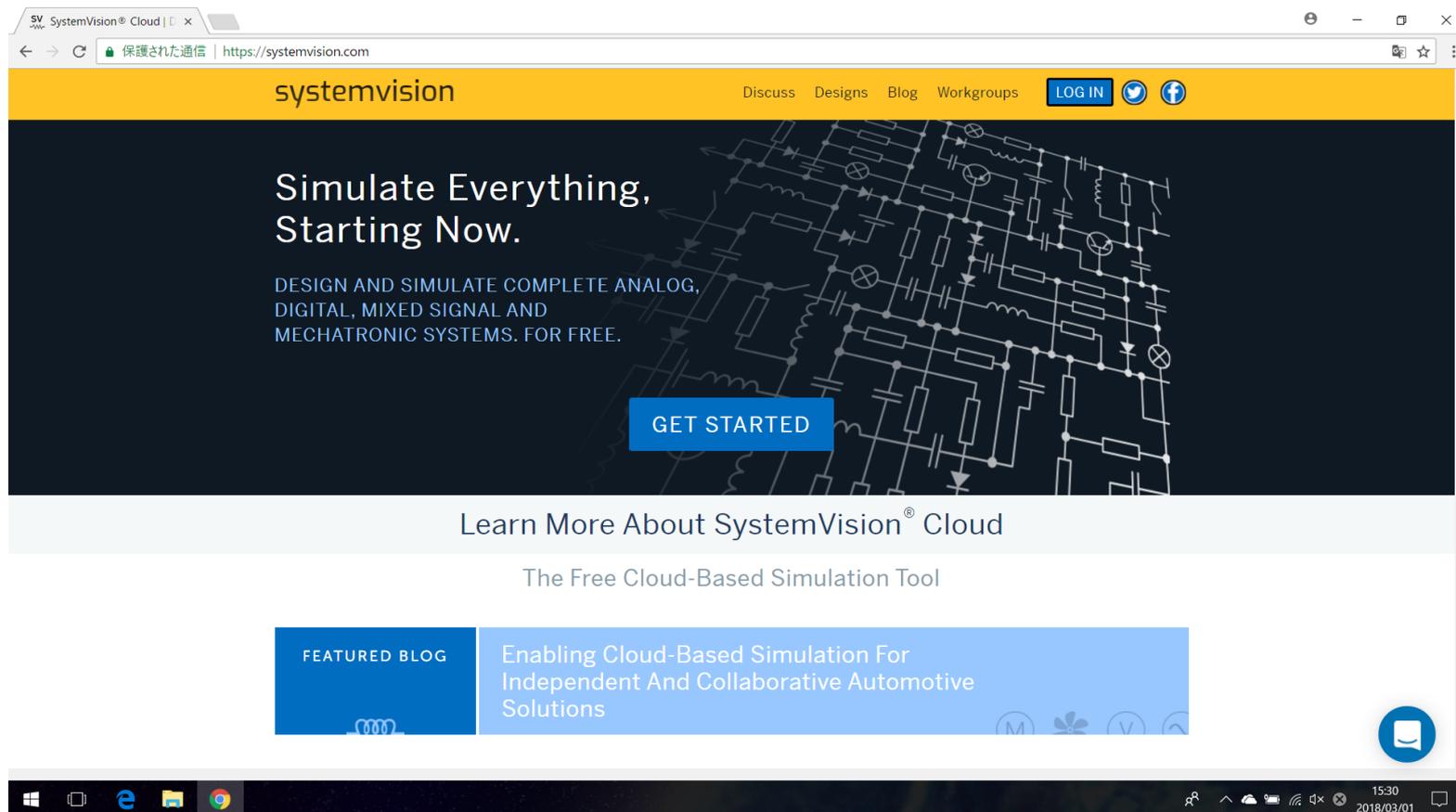
場所：トヨタ自動車 東京本社 B1F大会議室

14. まとめ

- N formatのVHDLネットリストを利用した熱を含んだ検証をしました。
- 発熱を含んだモデルで何が出来るか明らかにしました。
- 熱抵抗資料から必要なエリアの求め方を説明しました。
- VHDL-AMSで自己発熱に対応したモデルを使用した検証を説明しました。
- 規格化について説明しました。

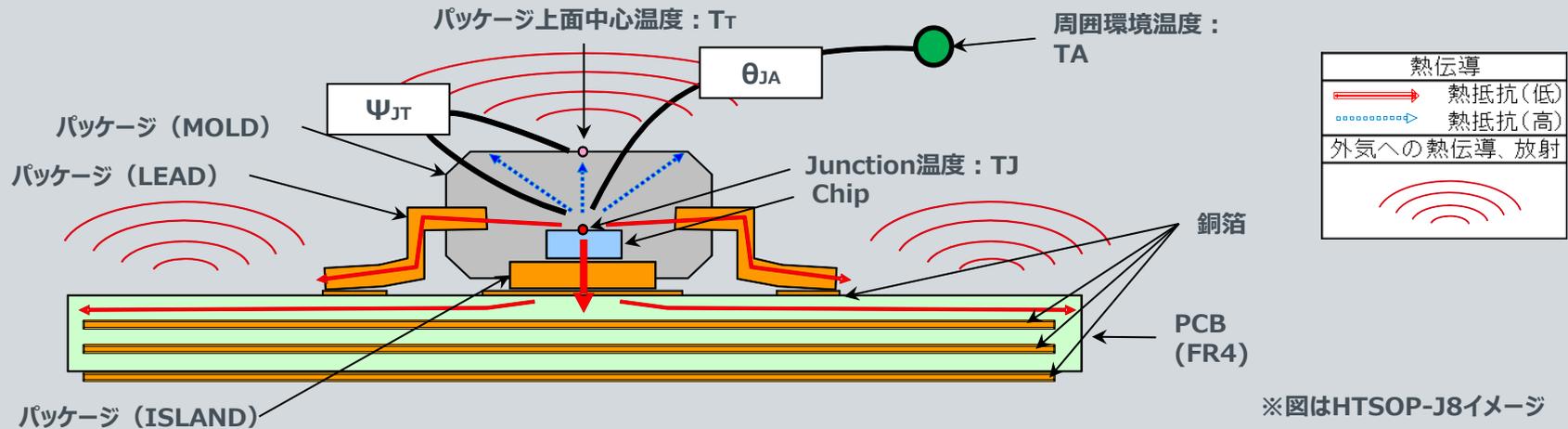
15. 参考資料

無料で VHDL-AMSによるマルチフィジックスのシミュレーションの出来るサイトです

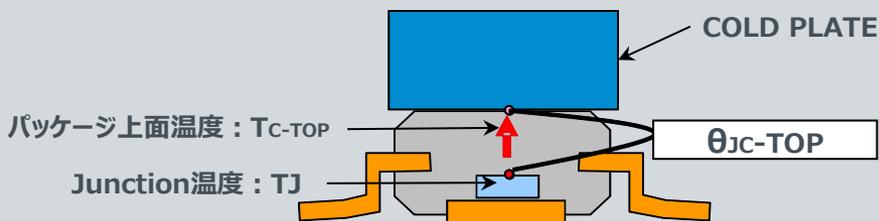


15.1. 参考資料 熱抵抗、熱特性パラメータの定義

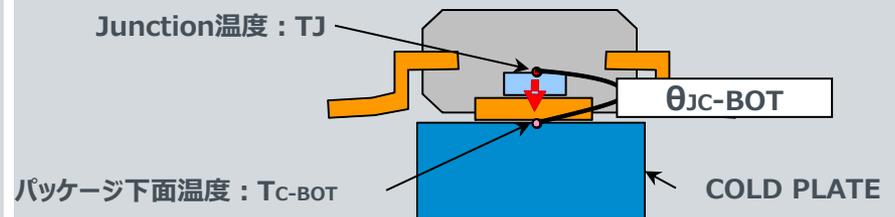
- θ_{JA} : ジャンクションTJから周囲環境TAまでの熱抵抗(複数の熱経路で放熱)
- ψ_{JT} : ジャンクションTJからパッケージ上面中心TTまでの熱特性パラメータ(パッケージ上面以外にも熱伝導、放熱有り)



- θ_{JC-TOP} : ジャンクションTJからパッケージ上面TC-TOPまでの熱抵抗 (放熱はパッケージ上面のみ。他は断熱。)



- θ_{JC-BOT} : ジャンクションTJからパッケージ下面TC-BOTまでの熱抵抗 (放熱はパッケージ下面のみ。他は断熱。)



※ ψ_{JT} について、ジャンクション温度TJとパッケージ上面中心温度TTの温度差を表す熱特性パラメータで、従来ROHMの θ_{JC} と同義です。

15.2. 参考資料 熱抵抗、熱特性パラメータまとめ

本定義はJEDEC 規格 JESD51 に準拠しています。

記号	定義	用途	計算式
θ_{JA}	ジャンクション温度 T_J と周囲環境温度 T_A 間の 熱抵抗 。※1	形状が異なるパッケージ間での放熱性能の比較。	$\theta_{JA} = (T_J - T_A) / P$
ψ_{JT}	デバイス全体の消費電力 P に対するジャンクション温度 T_J とパッケージ上面中心の温度 T_T の温度差を表す 熱特性パラメータ 。	実セット（実際の放熱環境）でのジャンクション温度の推定。	$\psi_{JT} = (T_J - T_T) / P$
θ_{JC-TOP}	ジャンクション温度 T_J とパッケージ上面温度 T_{C-TOP} 間の 熱抵抗 。放熱経路はパッケージ上面のみで、その他は断熱状態。	熱伝導、熱流体シミュレーションなどに用いる。 熱抵抗回路網法にも適用可能。	$\theta_{JC-TOP} = (T_J - T_{C-TOP}) / P$
θ_{JC-BOT}	ジャンクション温度 T_J とパッケージ下面温度 T_{C-BOT} までの 熱抵抗 。放熱経路はパッケージ下面のみで、その他は断熱状態。	熱伝導、熱流体シミュレーションなどに用いる。 熱抵抗回路網法にも適用可能。	$\theta_{JC-BOT} = (T_J - T_{C-BOT}) / P$

※1. 周囲温度 (T_A) について

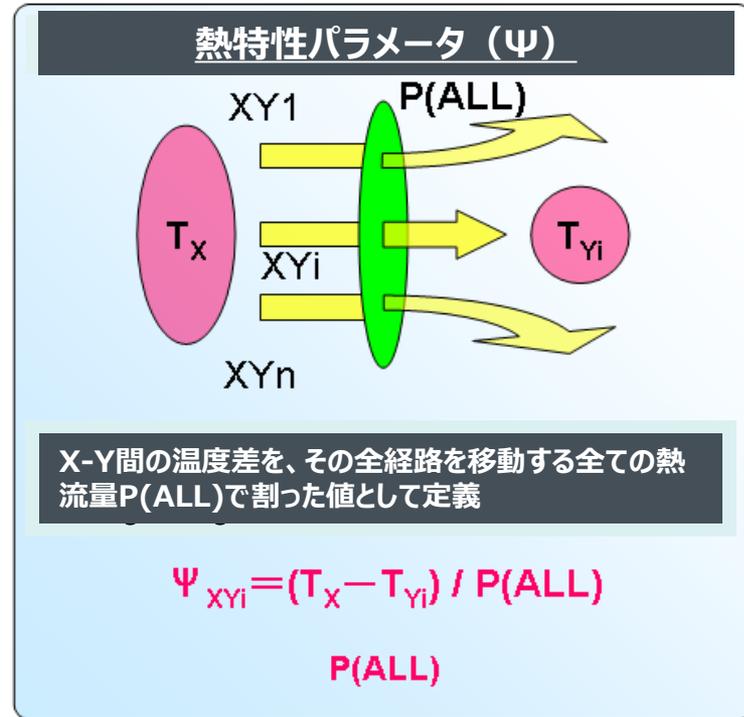
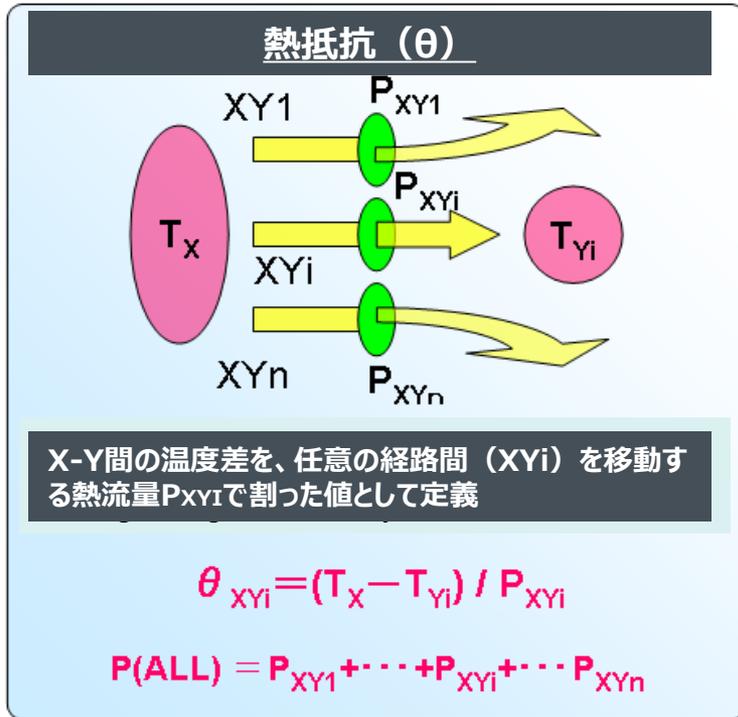
測定対象部品から影響を受けない位置での雰囲気温度。発熱源の境界層の外側。

※2. θ_{JA} / ψ_{JT} について、JEDECボード実装時のデータとなります。

※3. $\theta_{JC_TOP/BOT}$ はJESD51-14 (TDI法) に準拠した形での測定となります。

※4. 従来 θ_{JC} として提供したデータは本定義では ψ_{JT} となります。

15.3. 参考資料 熱抵抗と熱特性パラメータ

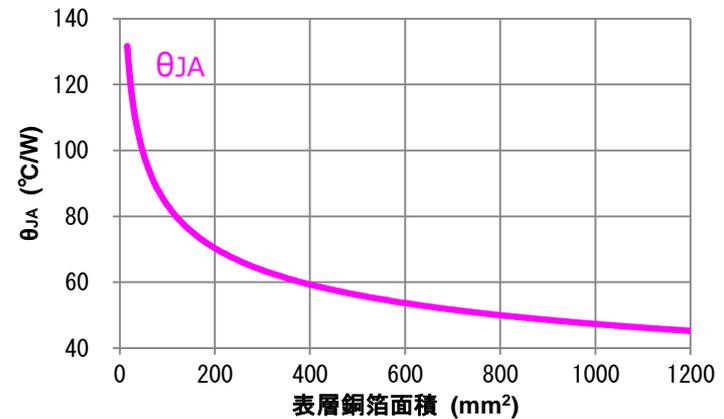
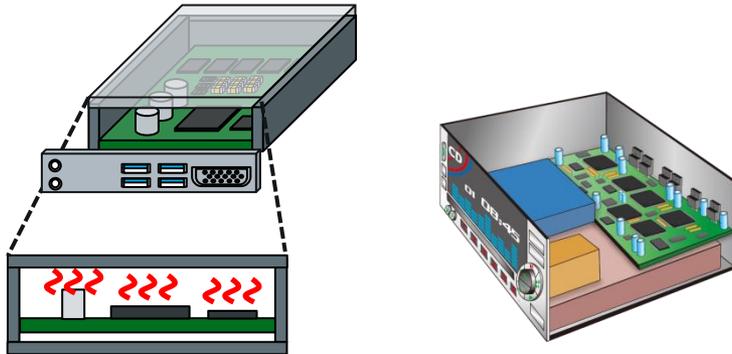


参考 : JEITA EDR-7336

・発熱が複数の経路に分散する状況において、左図2点間の温度差を決めている熱流量（2点間を流れる熱流量）であるのに対して、右図のように分散する成分も含めた総熱流量（消費電力）を採用するのが熱特性パラメータ。基本的に熱抵抗をθ(シータ)、それと区別するために熱特性パラメータをψ(プサイ)と表現している。

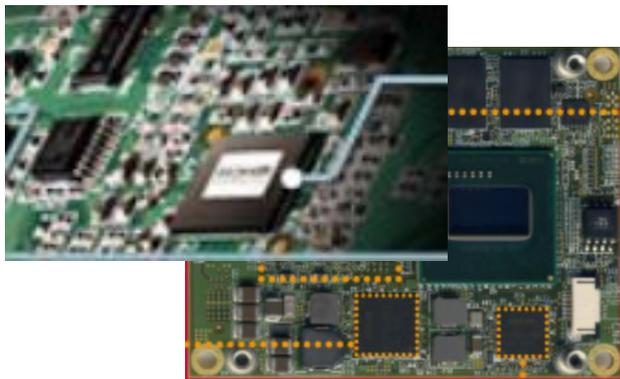
15.4. 参考資料 θ_{JA} について

・ θ_{JA} について、熱設計に適用できるのか？



TAはどこなのか？
セツのTAを定義することは難しい

有効放熱範囲が変わると？
有効放熱範囲が変わると θ_{JA} は変わる



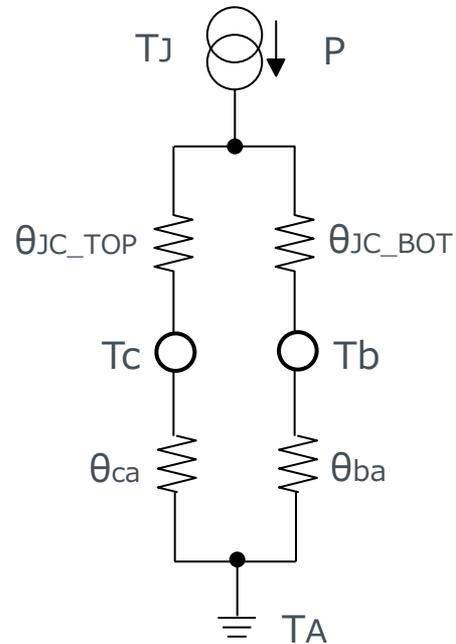
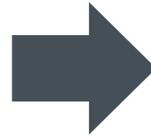
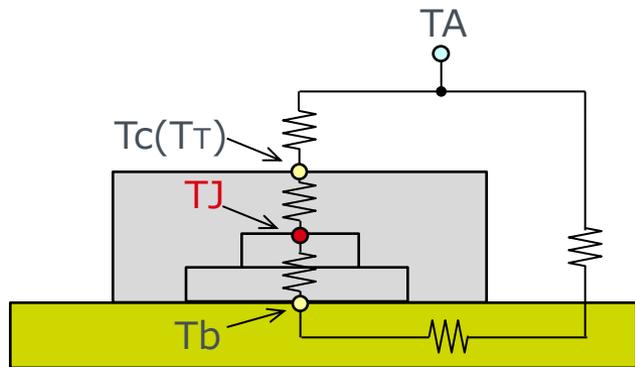
高集積化されると？
隣接ICと熱的に干渉し、温度上昇

⇒ θ_{JA} では検討が難しい

⇒ 相対比較時など目安に使用する

15.5-1. 参考資料 ΨJTについて

・ΨJTについて、実測時の使用が適当であることを確認



基板実装時の熱経路

電気回路で表現

※基板、基板-TA間の熱抵抗については、簡略化のため θ_{ba} とする。

※基板とICの接触熱抵抗は、 θ_{ba} に含まれているものとする。

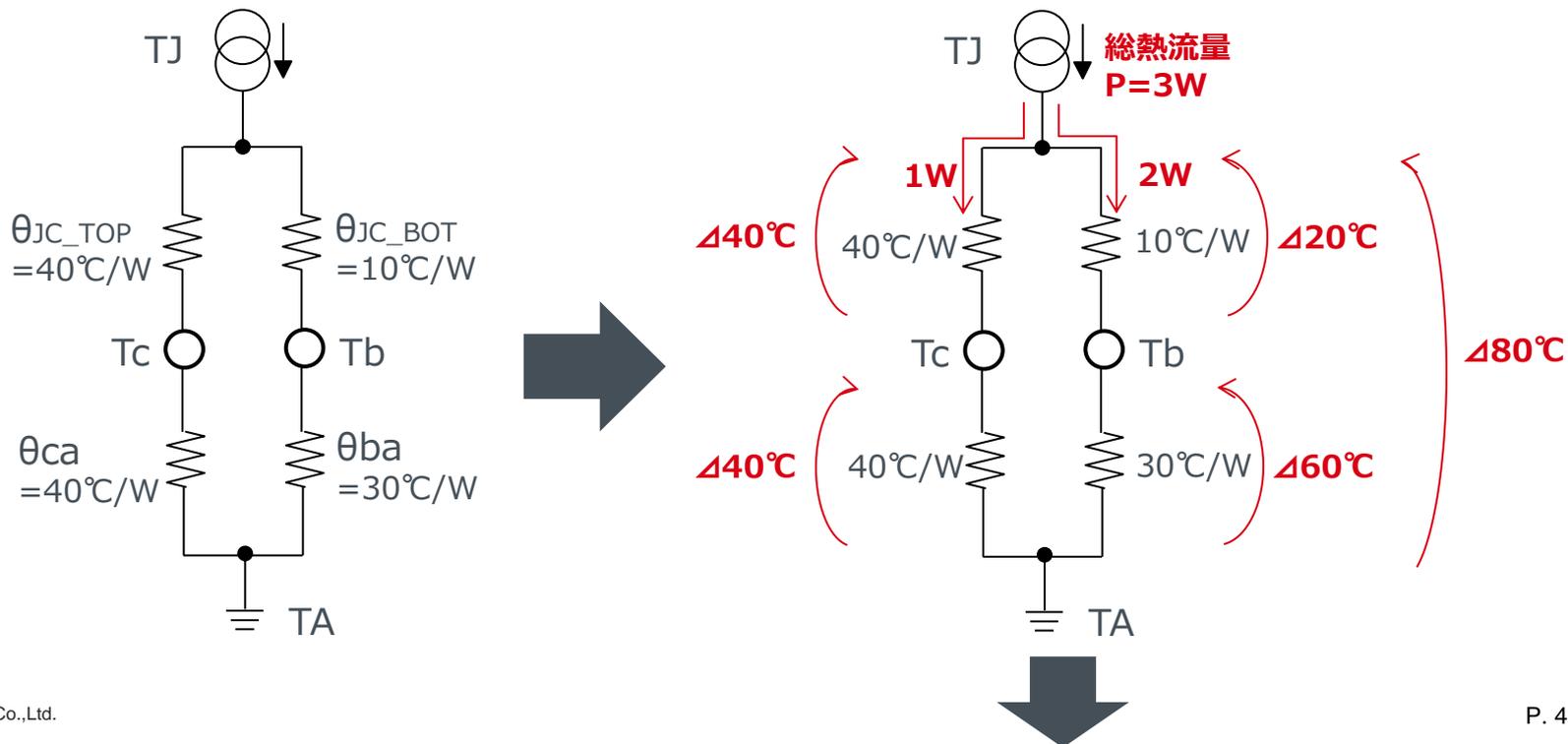
※IC表面温度は簡略化のため、 $T_c = T_T$ とする。

15.5-2. 参考資料 Ψ_{JT} について

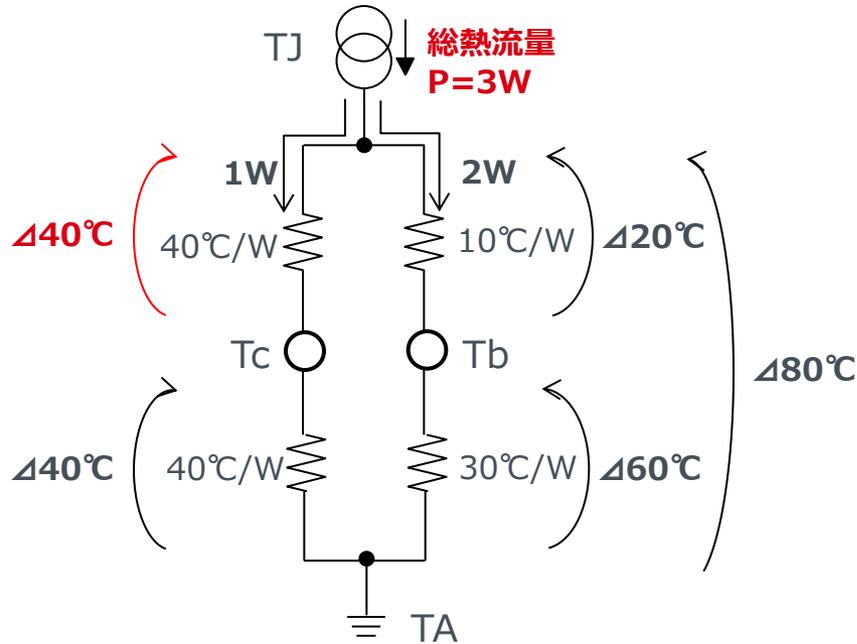
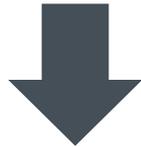
通常、熱流量がTJからみて上側、下側にどの程度の割合で流れているかはわからないため、実測で $\theta_{JC_TOP}/\theta_{JC_BOT}$ を使用することはできない。そこで、すべての総熱流量（消費電力）をパラメータとした Ψ_{JT} を使用してTJを正確に見積もることがJEDEC、JEITAにて推奨されている。ここでは、 Ψ_{JT} がどのようなパラメータに依存していて、どのような状態であれば正確に使用できるかを等価回路を使用して確認

前提条件

$\theta_{JC_TOP} = 40^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC_BOT} = 10^{\circ}\text{C}/\text{W}$ はIC (pkg) で固定。
 ここでは仮に、 $\theta_{ca} = 40^{\circ}\text{C}/\text{W}$ 、 $\theta_{ba} = 30^{\circ}\text{C}/\text{W}$ とする。

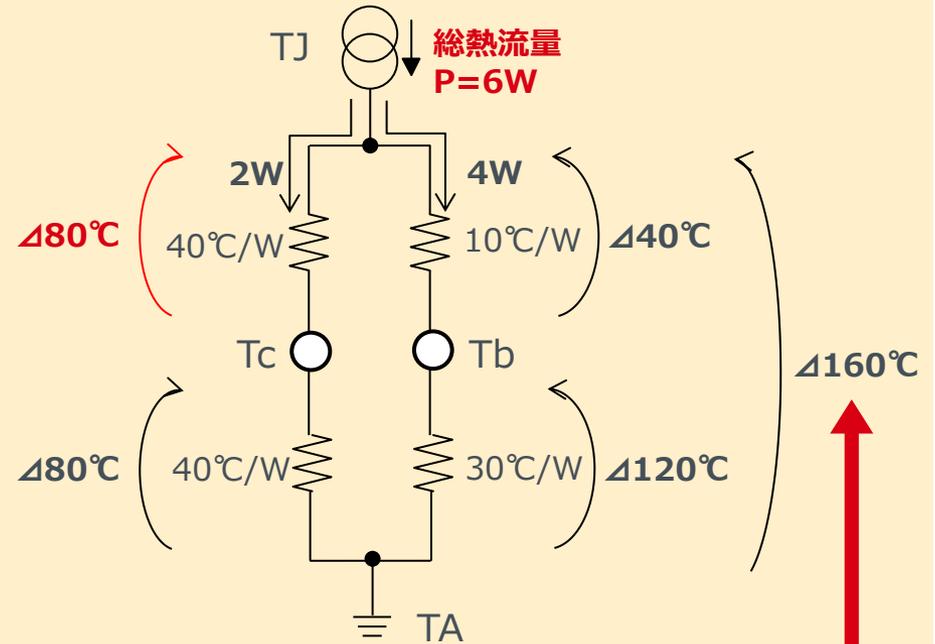


15.5-3. 参考資料 ΨJTについて



左で得たΨJTを使用して、パラメータを振ってみる。
簡単化のため、TA = 0°Cとする。

総熱流量 $P = 6W$



ΨJT = 13.3°C/Wを使用してTjを見積もると、
 $TJ = Tc + \Psi_{JT} \times P$
 $= 80^\circ C + 13.3^\circ C/W \times 6W$
 $= 160^\circ C$

同値

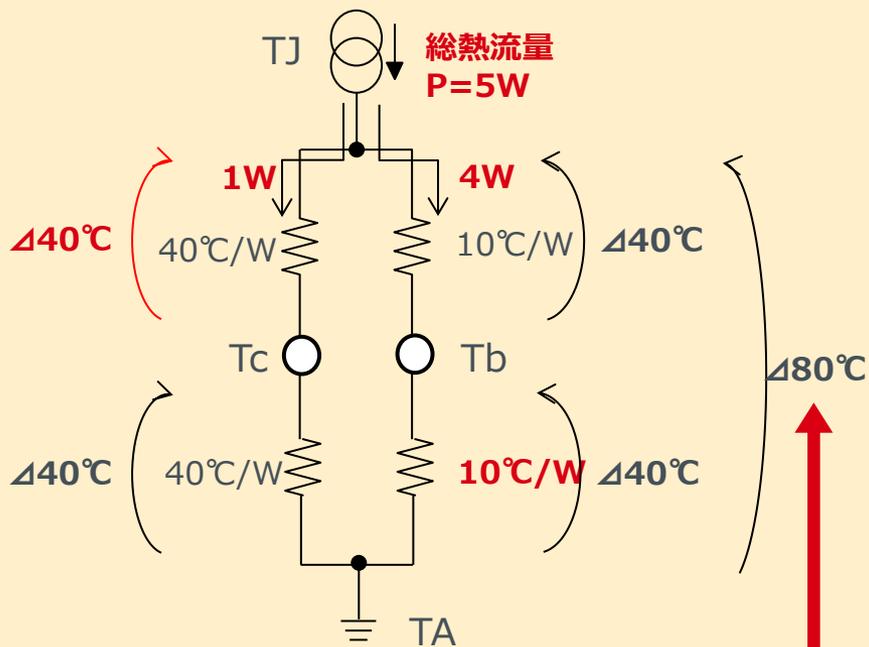
総熱流量依存はない ⇒ ΨJT適用可能

この状態でΨJTを計算すると、
 $\Psi_{JT} = (TJ - Tc) / P$
 $= 40^\circ C / 3W$
 $= 13.3^\circ C/W$
 ※ここでは簡単化のため、Tc = Tdとする。

15.5-4. 参考資料 ΨJTについて

基板の放熱性能を上げる。

$\theta_{ba} = 10^{\circ}\text{C}/\text{W}$

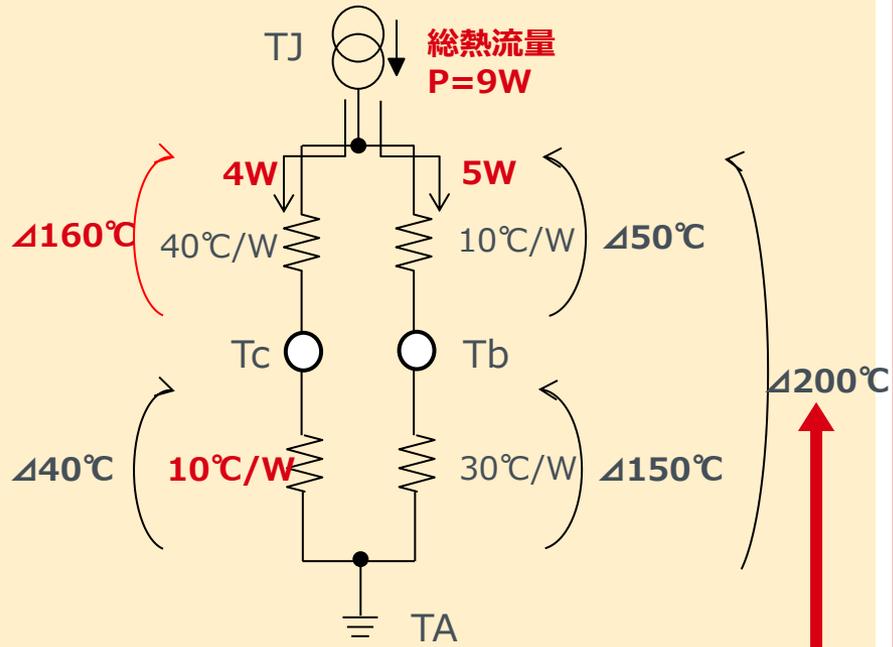


不一致

ΨJT = 13.3°C/Wを使用してTJを見積もると、
 $TJ = Tc + \Psi_{JT} \times P$
 $= 40^{\circ}\text{C} + 13.3^{\circ}\text{C}/\text{W} \times 5\text{W}$
 $= 106.5^{\circ}\text{C}$

パッケージ上面にヒートシンクを取り付ける。

$\theta_{ca} = 10^{\circ}\text{C}/\text{W}$



不一致

ΨJT = 13.3°C/Wを使用してTJを見積もると、
 $TJ = Tc + \Psi_{JT} \times P$
 $= 40^{\circ}\text{C} + 13.3^{\circ}\text{C}/\text{W} \times 9\text{W}$
 $= 159.7^{\circ}\text{C}$

基板依存有 ⇒ ΨJT適用不可
 実際のΨJTは、 $\Psi_{JT} = 40^{\circ}\text{C} / 5\text{W} = 8^{\circ}\text{C}/\text{W}$

ヒートシンク依存有 ⇒ ΨJT適用不可
 実際のΨJTは、 $\Psi_{JT} = 160^{\circ}\text{C} / 9\text{W} = 17.8^{\circ}\text{C}/\text{W}$

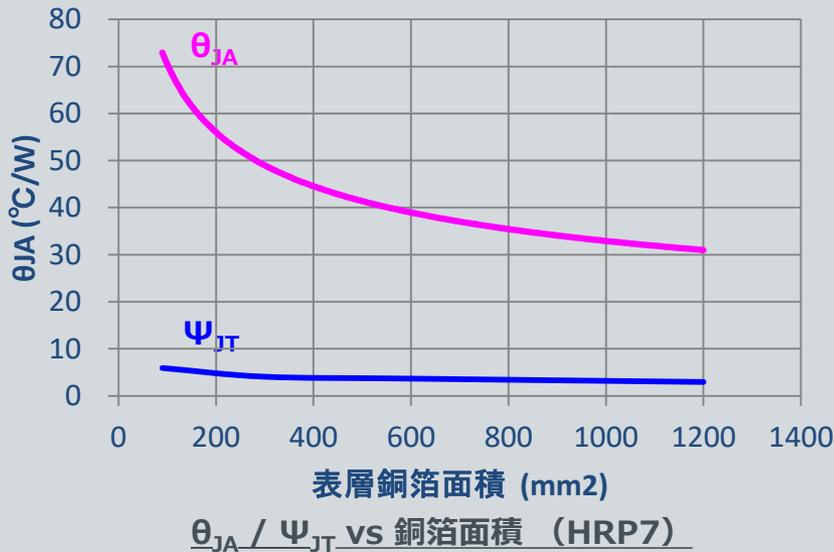
15.5-5. 参考資料 Ψ_{JT} について

Ψ_{JT} について以下にまとめる。

- 熱流量（消費電力）依存はない。
- 基板などその他放熱性能を上げると、 Ψ_{JT} は前後する。
 - ⇒ Ψ_{JT} はICそのものの熱抵抗ではない。あくまでも測定した放熱環境での値と心得る。
 - ⇒ 基板の放熱性能が上がると Ψ_{JT} は下がる。1s基板の Ψ_{JT} を使用してマージンととらえることもできる。
 - ⇒ ヒートシンクなどが加わると、 Ψ_{JT} は上昇するので無効。

結論：使用する基板、セット状態での Ψ_{JT} を知ること、実使用時のTJ見積もりに使うことができる。

Tips

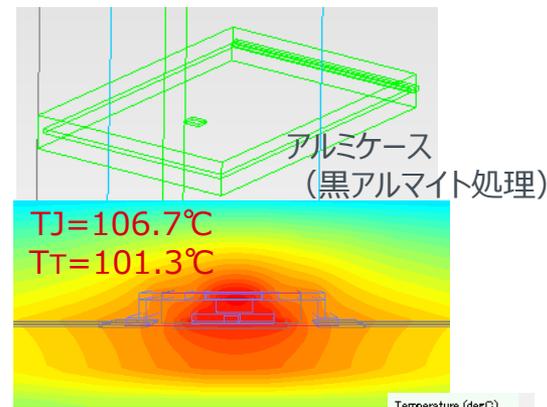
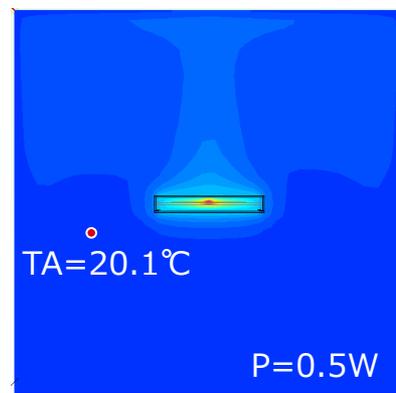
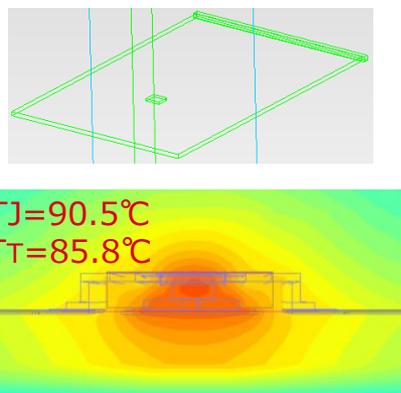
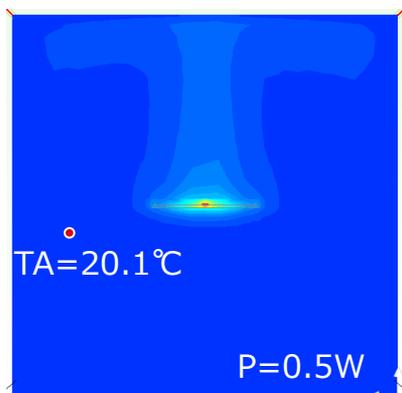


- Ψ_{JT} について左のように値としては非常に小さい値（TJとT_Tの差が小さい）
- 基板の放熱性能などに依存するが、 θ_{JA} と比較すると変化は微小



近い条件であれば代表値を適用可能

15.5-6. 参考資料 ΨJTについて

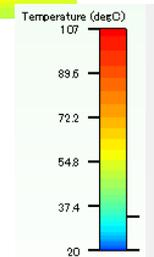


θ_{JA}	Ψ_{JT}
140.8°C/W	9.4°C/W

ケース無し

θ_{JA}	Ψ_{JT}
173.2°C/W	10.8°C/W

ケース有り



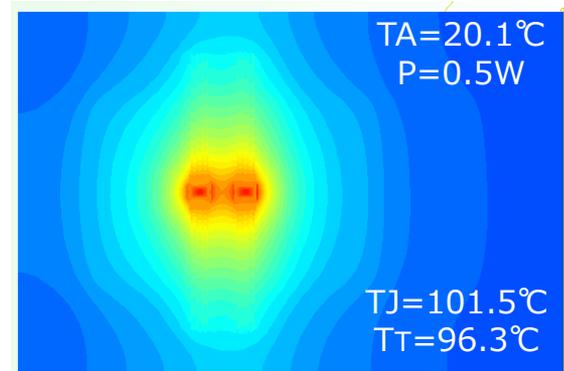
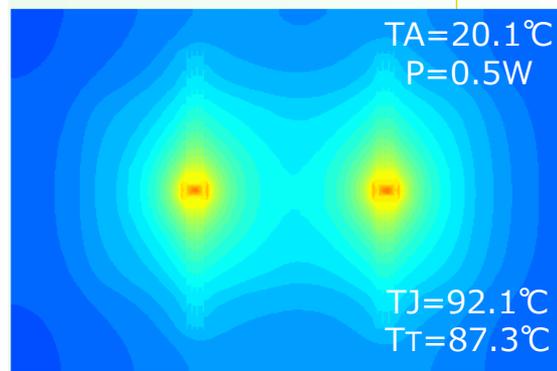
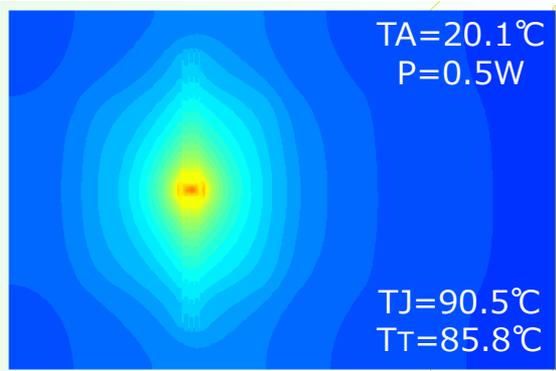
- ・シールドケースなどに囲われた状態では、 θ_{JA} は無効。
- ・ Ψ_{JT} も当然変わるが、もともとの値が小さいため、近い条件で適用しても大きなエラーにはならない。

例として、シールド無しの $\Psi_{JT}=9.4\text{°C/W}$ を使用してシールド有り状態のTJを計算すると、

$$\begin{aligned} T_J &= 0.5\text{W} \times 9.4\text{°C/W} + 101.3\text{°C} \\ &= 106.0\text{°C} \end{aligned}$$

となる。実際の温度106.7°Cと比較して誤差は1%以下。

15.5-7. 参考資料 ΨJTについて



θ_{JA}	Ψ_{JT}
140.8°C/W	9.4°C/W

1pcs

θ_{JA}	Ψ_{JT}
144.0°C/W	9.6°C/W

2pcs

θ_{JA}	Ψ_{JT}
162.8°C/W	10.4°C/W

2pcs 隣接

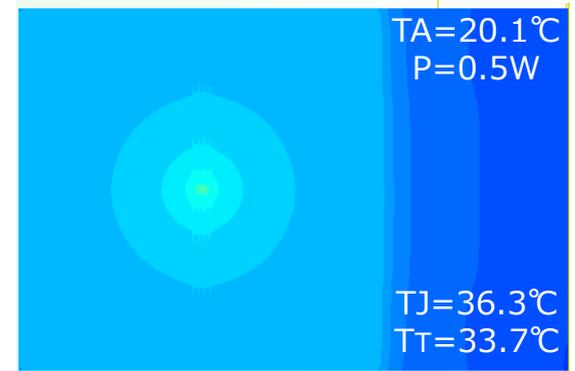
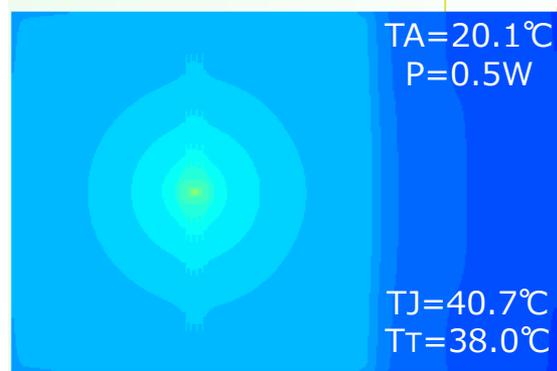
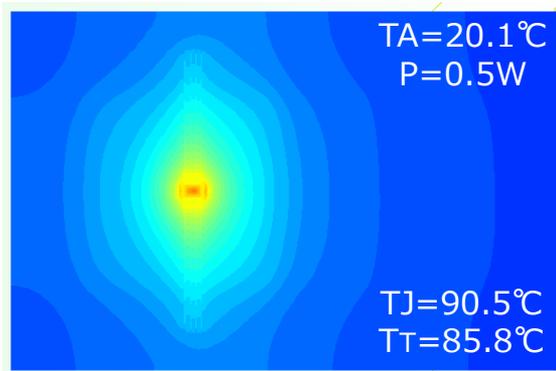
- ・発熱源となる部品が隣接した状態では、 θ_{JA} は無効。
- ・ Ψ_{JT} も当然変わるが、もともとの値が小さいため、近い条件で適用しても大きなエラーにはならない。

例として、1pcs時の $\Psi_{JT}=9.4^\circ\text{C}/\text{W}$ を使用して2pcs 隣接状態のTJを計算すると、

$$\begin{aligned} T_J &= 0.5\text{W} \times 9.4^\circ\text{C}/\text{W} + 96.3^\circ\text{C} \\ &= 101.0^\circ\text{C} \end{aligned}$$

となる。実際の温度101.5°Cと比較して誤差は1%以下。

15.5-8. 参考資料 ΨJTについて



θ_{JA}	Ψ_{JT}
140.8°C/W	9.4°C/W

1s (1層基板)

θ_{JA}	Ψ_{JT}
41.2°C/W	5.4°C/W

2s (2層基板)

θ_{JA}	Ψ_{JT}
32.4°C/W	5.2°C/W

2s2p (4層基板)

・基板層数が変わる場合は、 θ_{JA} は無効。

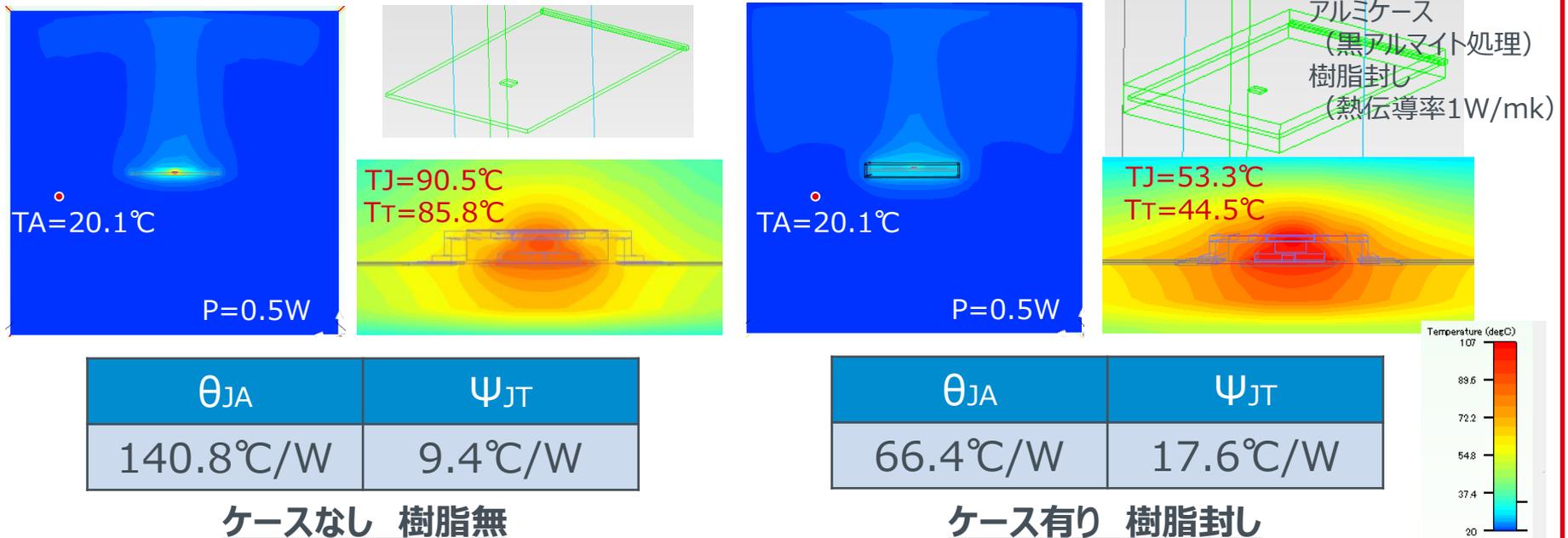
・ Ψ_{JT} も当然変わる。

例として、1s時の $\Psi_{JT}=9.4\text{°C/W}$ を使用して2s2p状態のTJを計算すると、

$$\begin{aligned}
 T_J &= 0.5\text{W} \times 9.4\text{°C/W} + 33.7\text{°C} \\
 &= 38.4\text{°C}
 \end{aligned}$$

となる。実際の温度36.3°Cと比較して誤差は6%程度。

15.5-9. 参考資料 ΨJTについて



- ・樹脂封しする場合は、 θ_{JA} は無効。
- ・ Ψ_{JT} も当然変わる。

例として、ケース有り 樹脂無時の $\Psi_{JT}=9.4^\circ\text{C}/\text{W}$ を使用して樹脂封し状態の T_J を計算すると、

$$T_J = 0.5\text{W} \times 9.4^\circ\text{C}/\text{W} + 44.5^\circ\text{C}$$

$$= 49.2^\circ\text{C}$$

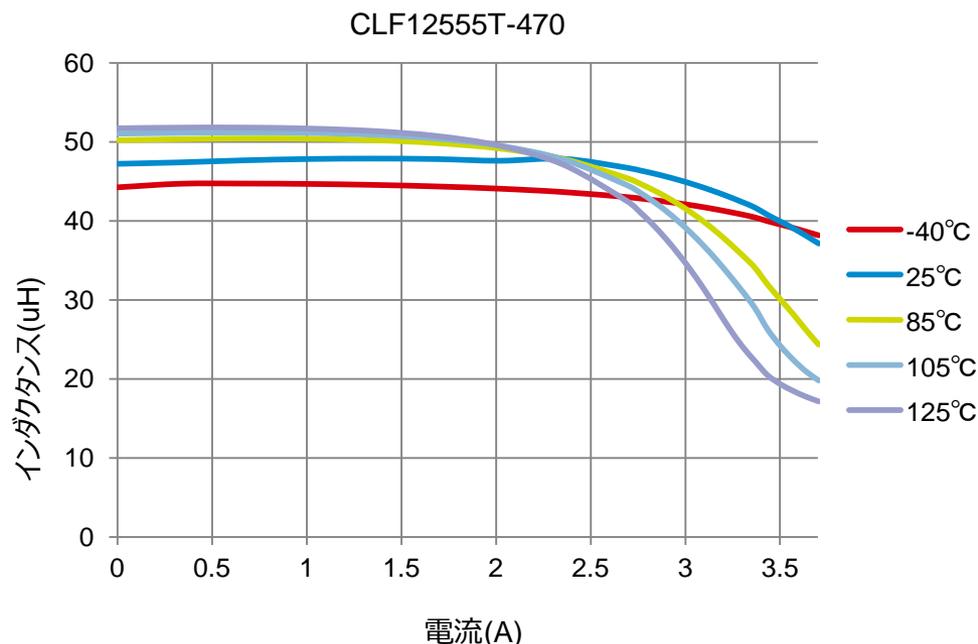
となる。実際の温度 53.3°C と比較して誤差は8%程度。

15.6-1. 参考資料 周辺部品の特性 (インダクタンス)

CLF12555T-470

インダクタンス 47 μ H \pm 20% at 100KHz
定格電流(L変化による) 3.2A (10% Down)
定格電流(温度上昇による) 1.8A (30 $^{\circ}$ C Rise)
使用温度範囲 -40 ~ 105 $^{\circ}$ C

← 105 $^{\circ}$ Cだと40%近く下がっています



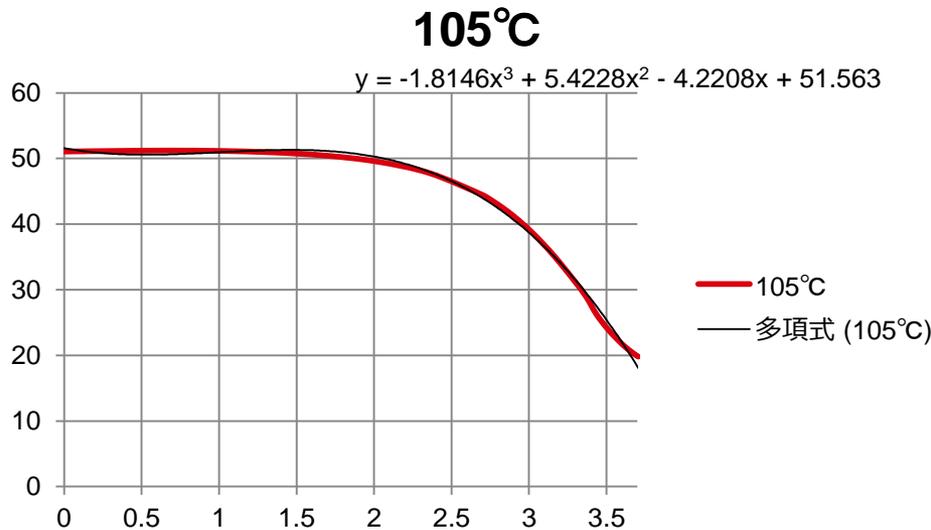
今一番しっかりしたデータを出している TDK様を例にしています。
他のメーカーはこれ以下なので注意してください。

15.6-2. 参考資料 周辺部品の特性 (インダクタンス)

SPICEモデルの注意点

25°Cにおいては電流重畳モデルはよくできています。

高温時に関しては 温度特性分ズレが生じます。



インダクタンスモデル



インダクタンスの温度モデルをEXCELの式を代入して作る。

$$L=VALUE(-1.8146*I(V1)^3 \dots$$

15.7. 参考資料 周辺部品の特性 (キャパシタンス)

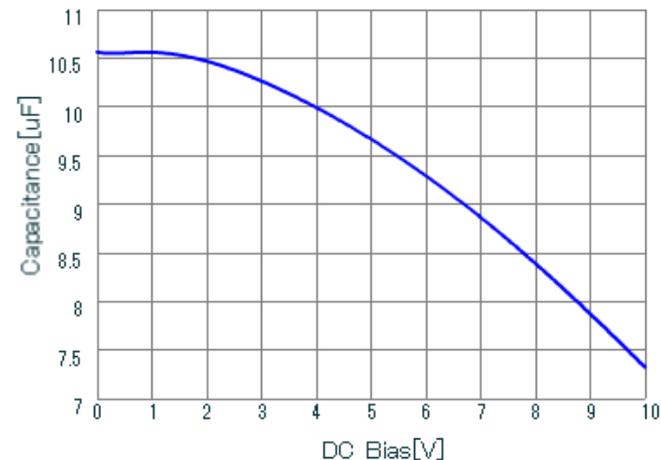
近年 SPICE用モデルにはDCバイアス特性が入ったものも用意されました。

車載の設計では十分耐圧をとって設計している為 10%程度の変化以内で使われています。

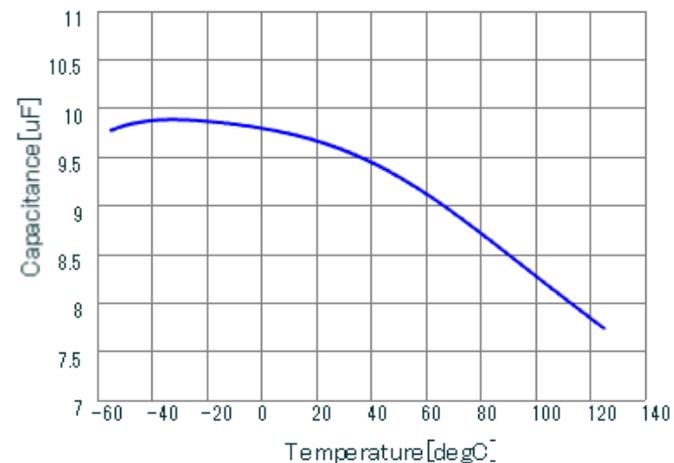
ところが自己発熱による **温度特性はSPICEでは対応できません。**

特性に注意しましょう。

キャパシタンスもEXCELの近似式からモデルを作ることは可能です。



GDM31DR11A106KA49 C-DC bias, Capacitance, 20degC, AC1Vrr



GDM31DR11A106KA49 C-Temp, Capacitance, DC5V, AC1Vrr

15.8. 参考資料 周辺部品の特性（基板の検討）

1. 発熱部品の放熱必要エリアの距離をとる（配線長の設定）
2. 配線の長さから寄生抵抗、寄生インダクタンスを付けた回路での検証
3. 高インピーダンスライン（センスライン）とノイズラインとの距離の確認
4. 対策部品の追加ランドの検討
5. 熱特性を考えた周辺部品でのシミュレーション検証

15.7. 参考資料 銅箔の抵抗とインダクタンス

1. 銅箔の抵抗

- Figure 10 に銅箔の単位面積当たりの抵抗値を示す
- これは銅箔厚 35 μ m、幅 1mm、長さ 1mm 時の抵抗値
- 一般的な抵抗の計算は次式で表される

$$R = \frac{\rho \times l}{t \times w} \times 10 \text{ [m}\Omega\text{]}$$

l : 導体の長さ [mm]

w : 導体の幅 [mm]

t : 銅箔の厚み [μ m]

ρ : 銅の比抵抗 [$\mu\Omega$ cm]

$$\rho(T=25^\circ\text{C}) = 1.72 \mu\Omega\text{cm}$$

$$\rho(T) = \rho(T_a=25^\circ\text{C}) \times \{1 + 0.00385(T - 25)\} \text{ [}\mu\Omega\text{cm]}$$

T: 温度

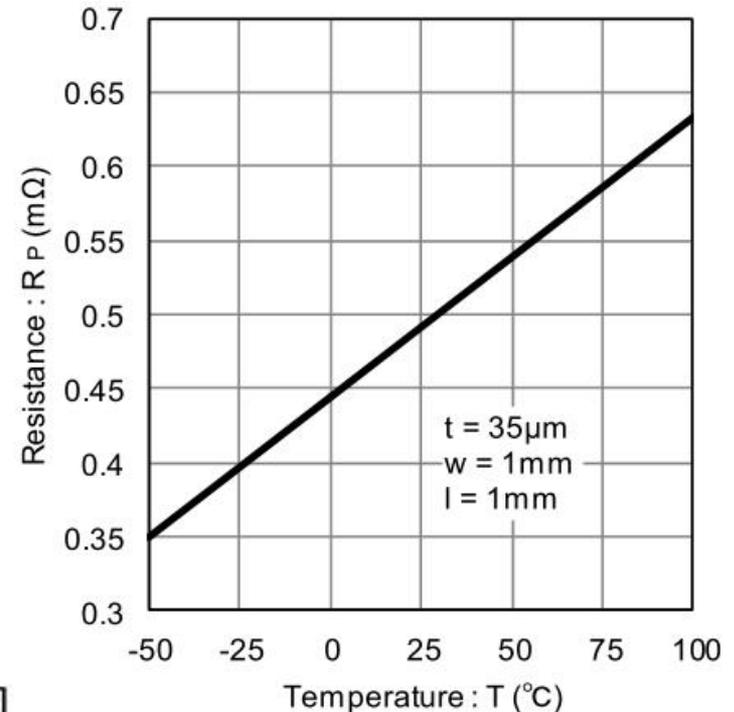


Figure 10. 銅箔の単位面積当たりの抵抗値

15.7. 参考資料 銅箔の抵抗とインダクタンス

- Figure 10 から読み取った単位面積当たりの抵抗値 R_p より計算すると

$$R = R_p \times \frac{l}{w} \times \frac{35}{t} \quad [\text{m}\Omega]$$

R_p : グラフから読み取った抵抗値 [mΩ]

l : 導体の長さ [mm]

w : 導体の幅 [mm]

t : 銅箔の厚み [μm]

- 例えば、25°C 時、幅 3mm、長さ 50mm の抵抗値は、

$$R = R_p \times \frac{l}{w} \times \frac{35}{t} = 0.49 \times \frac{50}{3} \times \frac{35}{35} = 8.17 \quad [\text{m}\Omega]$$

- 3A の電流が流れる場合の電圧降下は 24.5mV になる
- 温度が 100°C では抵抗値が 29%増加し電圧降下も 31.6mV に増加する

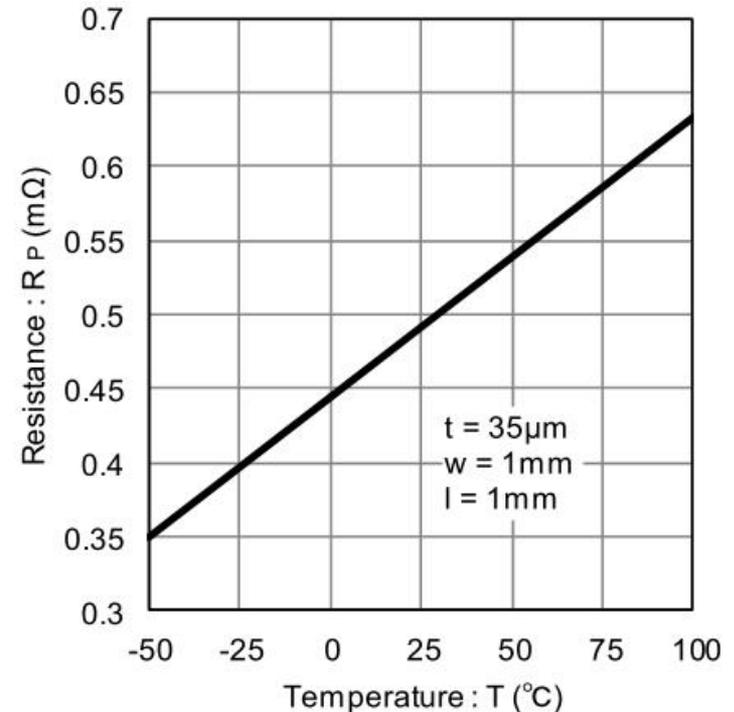


Figure 10. 銅箔の単位面積当たりの抵抗値

15.7. 参考資料 銅箔の抵抗とインダクタンス

2. 銅箔のインダクタンス

- 銅箔のインダクタンスは次式で表される

$$L = 0.2 \times l \times \left(\ln \frac{2 \times l}{w + t} + 0.2235 \times \frac{w + t}{l} + 0.5 \right) \text{ [nH]}$$

l : 導体の長さ [mm]

w : 導体の幅 [mm]

t : 銅箔の厚み [mm]

w と t の合計が
パラメータにある

- PCB 配線ではインダクタンス値は、w + t の関係上、一般的に 導体の幅 > 厚み(35μmなど) となるため 銅箔の厚みにあまり依存しないことがわかる

15.7. 参考資料 銅箔の抵抗とインダクタンス

- Figure 11 に銅箔インダクタンスの計算値を示す
- グラフから判る様に、線幅を2倍にしても期待した程インダクタンス値が下がらない
- 寄生インダクタンスの影響を抑えるには、配線長を短くする事が一番の解決策
- インダクタンス L [H] のプリントパターンを伝播する電流が時間 t [s] に i [A] 変化したとすると、プリントパターンの両端には次式の電圧が発生する

$$|V| = L \times \frac{di}{dt} \text{ [V]}$$

- 例えば、寄生インダクタンス 6nH のプリントパターンに、2A の電流が 10ns 間で流れると、以下の電圧が発生する

$$|V| = 6 \times 10^{-9} \times \frac{2}{10 \times 10^{-9}} = 1.2 \text{ [V]}$$

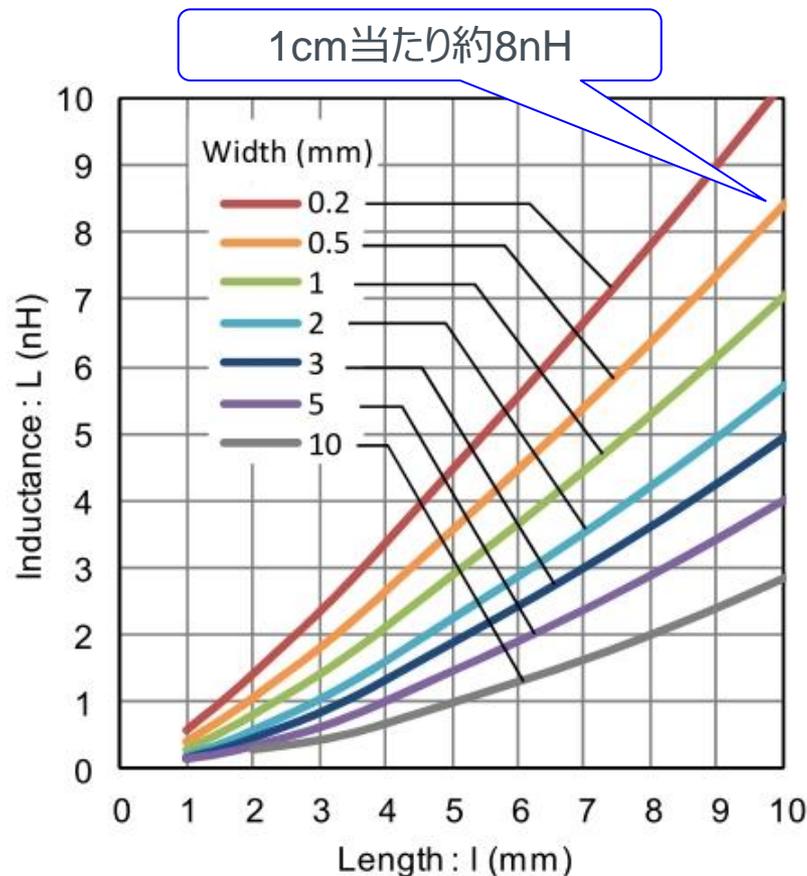


Figure 11. 銅箔のインダクタンス

15.8. 参考資料 ビアの抵抗、インダクタンス、許容電流

1. ビアの抵抗

- ビアの抵抗は次式で表される
- Figure 12 に板厚 1.6mm、メッキ厚 0.015mm (15μm) 時のビア抵抗値を示す

$$R_V = \frac{\rho \times h}{\pi \left\{ \left(\frac{d}{2} \right)^2 - \left(\frac{d}{2} - t_m \right)^2 \right\}} \times 0.01 \text{ [m}\Omega\text{]}$$

h : 板厚 [mm]

d : ビア直径 [mm]

t_m : スルーホールメッキ厚 [mm]

ρ : 銅の比抵抗 [μΩcm]

$$\rho(T=25^\circ\text{C}) = 1.72 \text{ }\mu\Omega\text{cm}$$

$$\rho(T) = \rho(T_a=25^\circ\text{C}) \times \{1 + 0.00385(T-25)\} \text{ [}\mu\Omega\text{cm}\text{]}$$

T: 温度

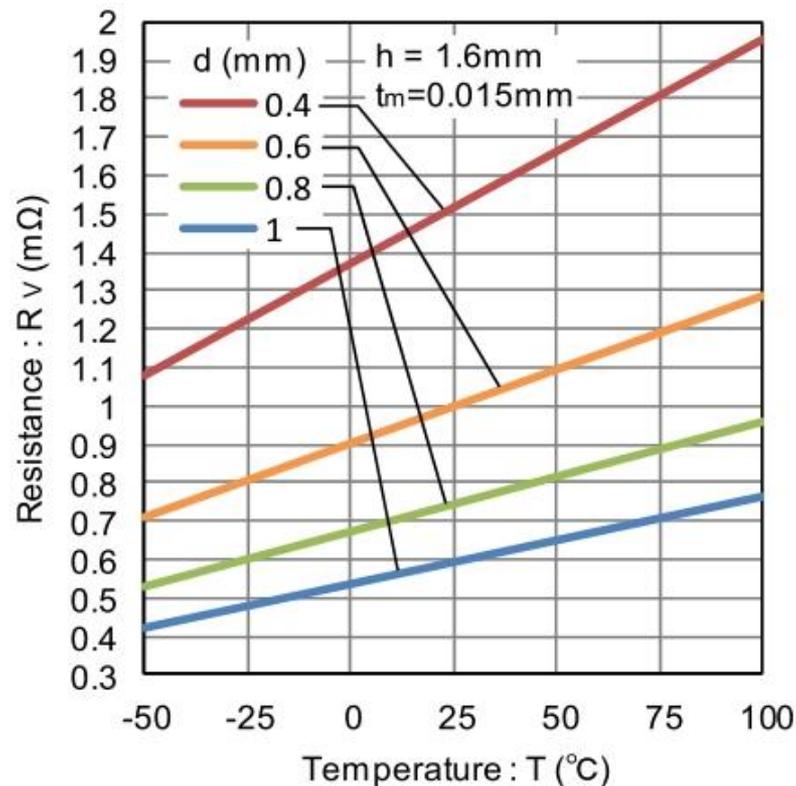


Figure 12. ビアの抵抗

2. ビアのインダクタンス

- ビアのインダクタンスは、Frederick W. Grover によると次式で表される
- Figure 13 に計算結果を示す

$$L = \frac{h}{5} \times \left(\ln \frac{4 \times h}{d} + 1 \right) \text{ [nH]}$$

h : 板厚 [mm]

d : ビア直径 [mm]

- ビアのインダクタンス値は小さいが、配線が直角に曲がることで EMI の悪化を招くので注意が必要（「コーナー配線」の項目を参照。）

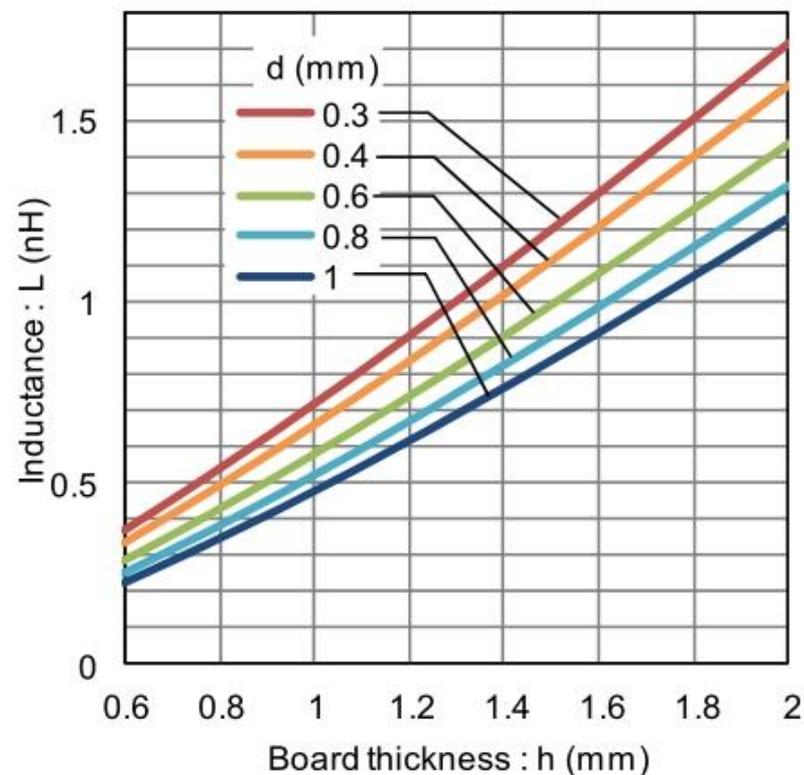
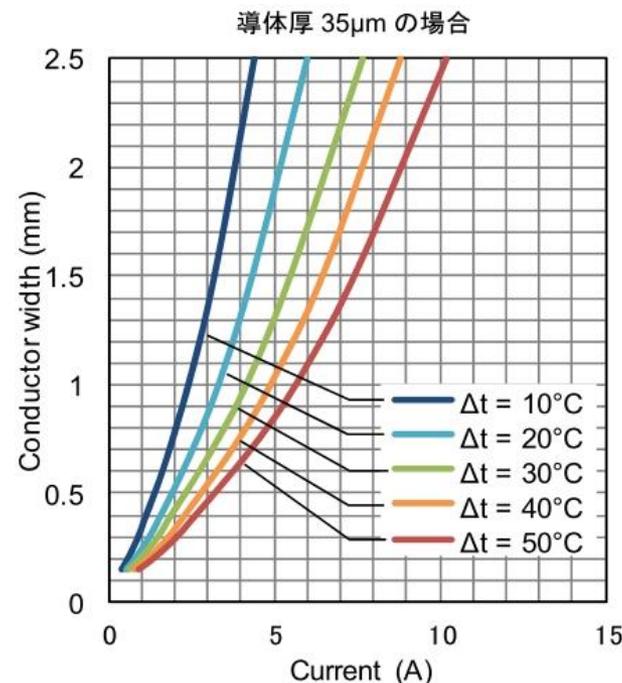


Figure 13. ビアのインダクタンス

15.8. 参考資料 ビアの抵抗、インダクタンス、許容電流

3. ビアの許容電流

- ビアの直径に n を乗じた値が線幅に相当する
- 「インダクタの配置」で示した、導体の電流による温度上昇のグラフ Figure 4（導体厚 $35\mu\text{m}$ ）から許容電流値を予測できるが、ビアメッキ厚は $18\mu\text{m}$ なので電流容量は低下する
- 「インダクタの配置」の項目では、配線について導体厚 $35\mu\text{m}$ 時は 1A あたり 1mm 幅以上の導体幅で配線することを推奨したが、ビアの場合はメッキ厚が半分のため、 1A あたり 2mm 幅以上の導体幅を推奨する



- Figure 14 に許容電流の例を示す
- ビアの個数は、使用する用途に応じて、許容電流、抵抗、インダクタンスの値が規格を満足するように配置する

ビア直径 d (mm)	導体幅 $d \times \pi$ (mm)	許容電流 (A)
0.3	0.94	0.4
0.4	1.26	0.6
0.6	1.88	0.9
0.8	2.51	1.2
1	3.14	1.5

Figure 14. ビアの許容電流例

