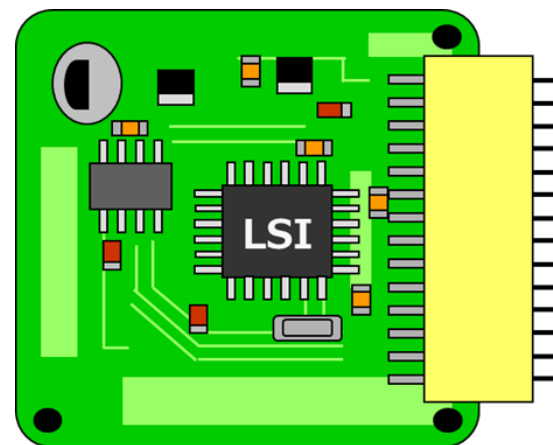
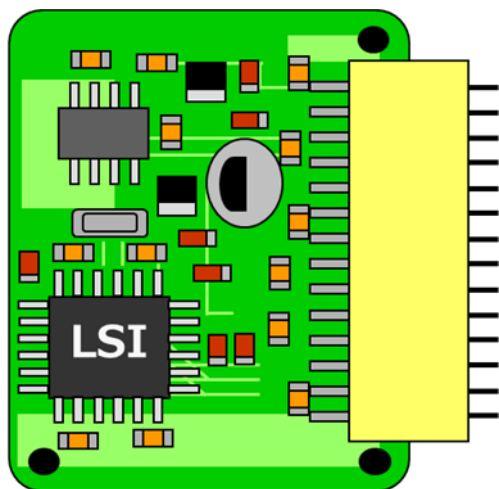


モデルを使用した設計スタイルの フロントローディング化

(株) デンソー 市川 浩司

実装設計(EMC)における課題

LSIのEMC性能を考慮して基板(下流)設計を実施



どう考慮する？、どう設計する？
LSIのEMC性能：実測値？、解析モデル？

実装設計 現状

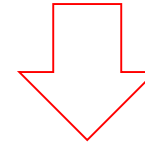


構想設計

詳細設計

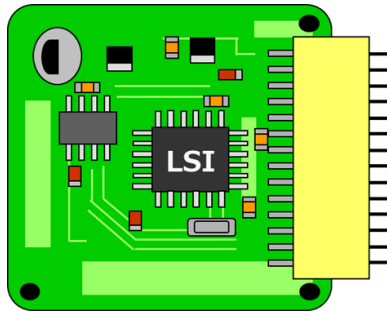
評価

製品



実測値

確認済の精度良いモデル



構想設計

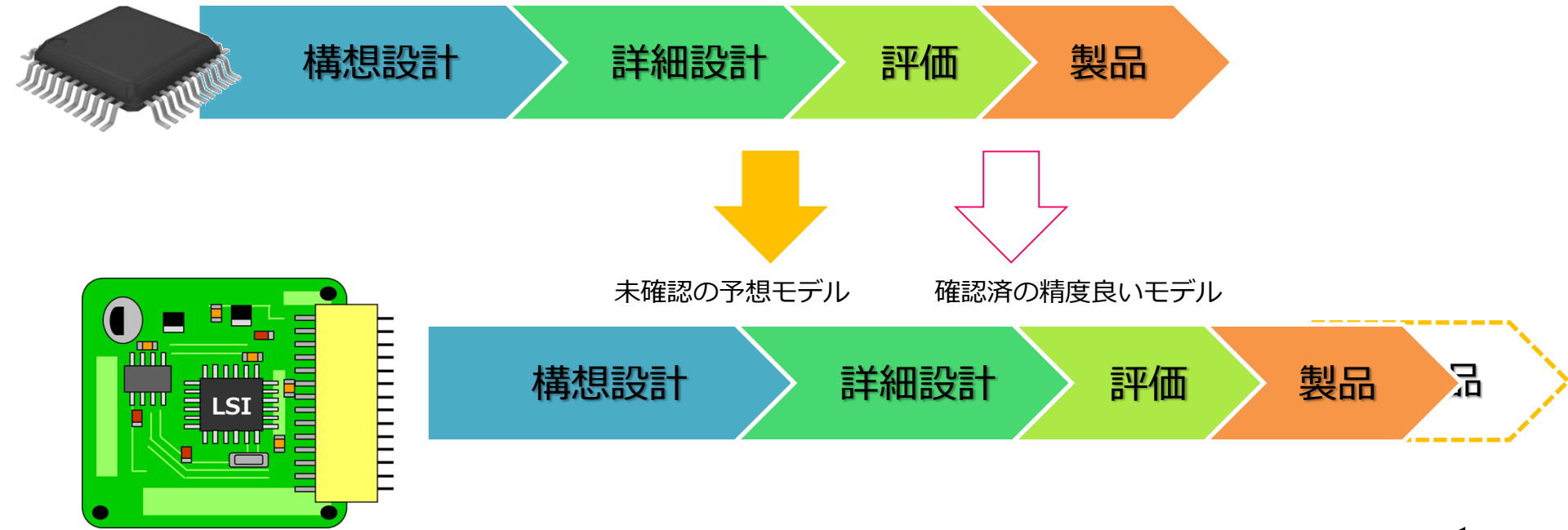
詳細設計

評価

製品

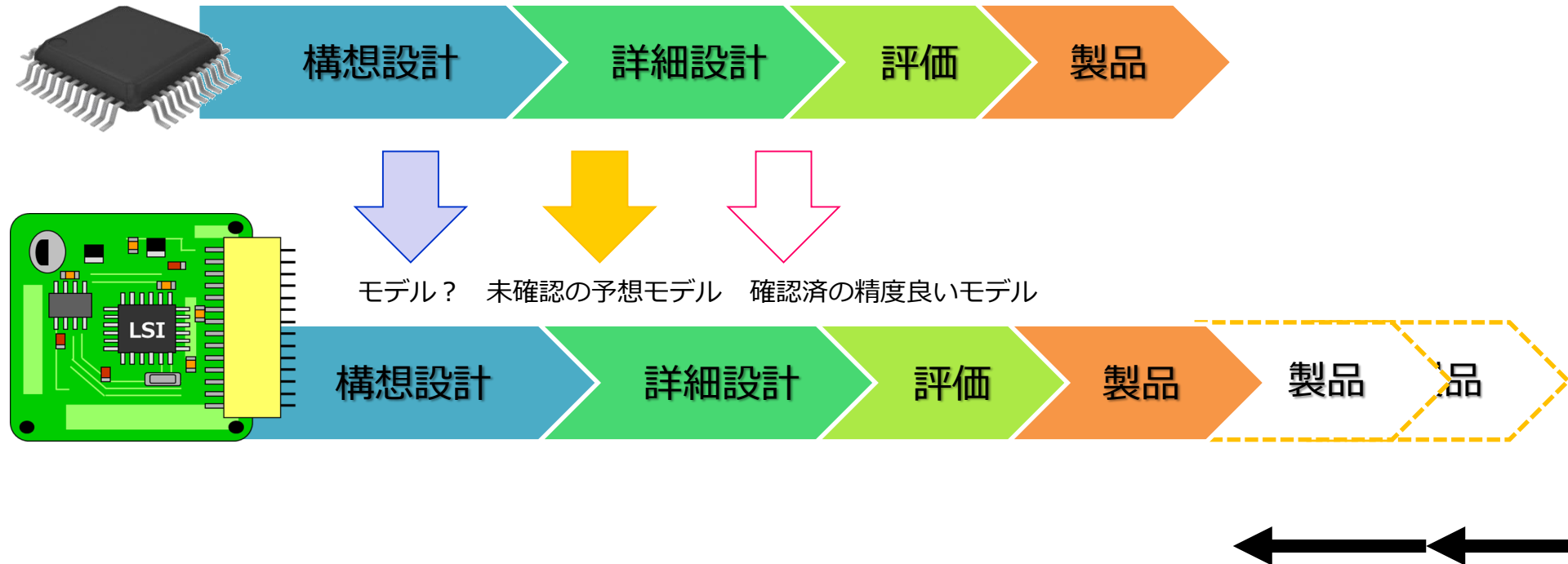
IC試作後の評価データを基板設計に反映：開発期間大

実装設計 改善



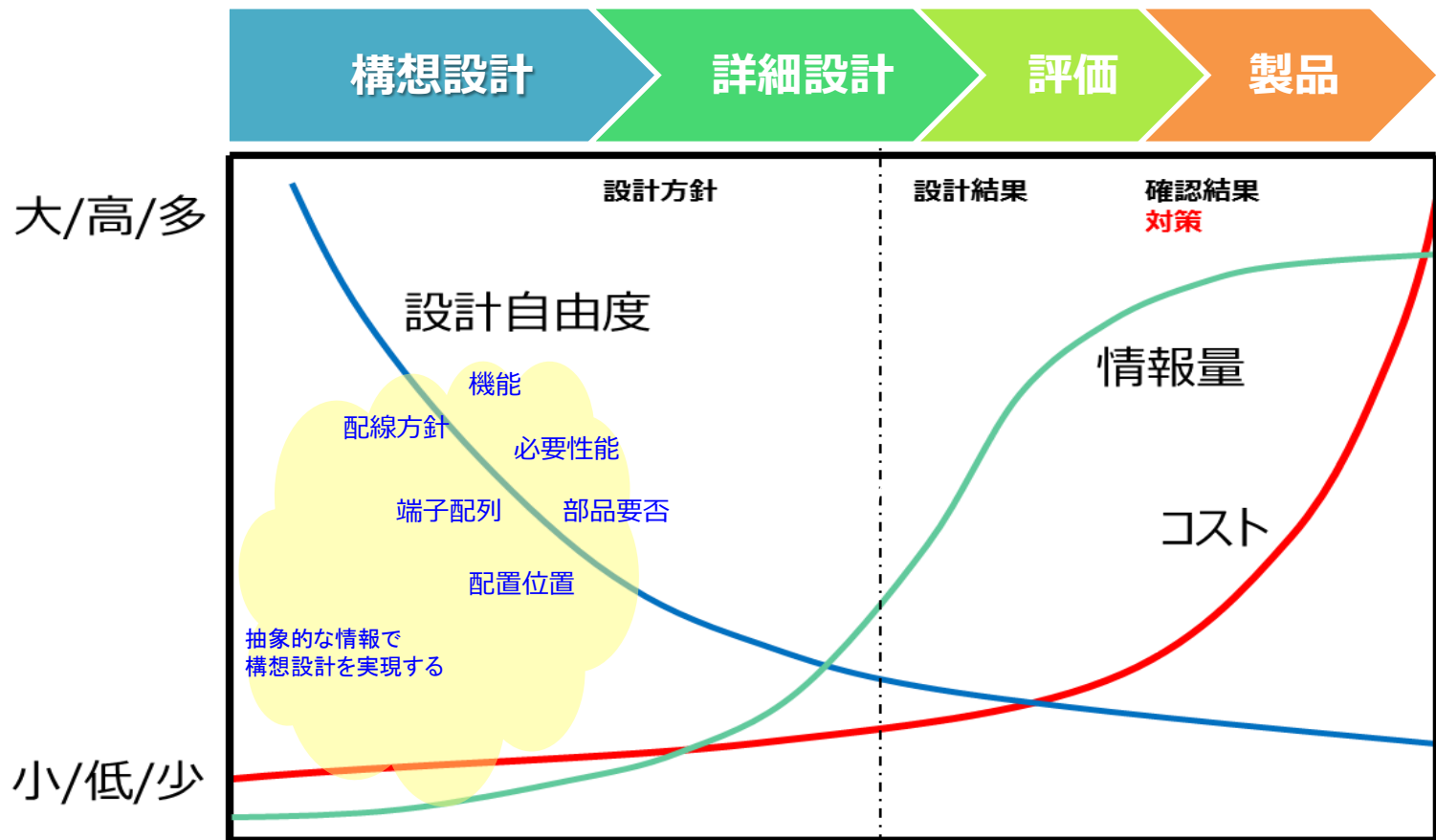
ICの設計データでEMC性能を予測：
機器開発の過程で精度良いモデルに置き換えて設計
開発確度が向上

実装設計 さらなる改善

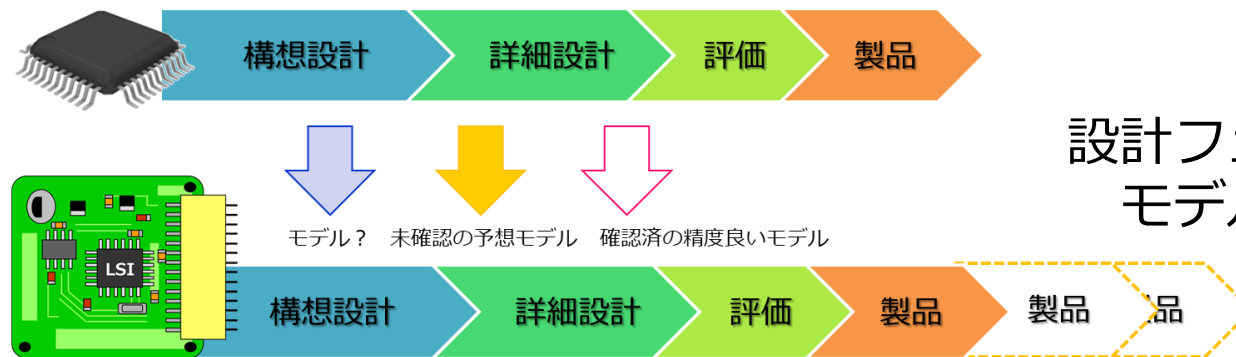


IC/機器の構想段階でEMCリスクを抽出：

実装(EMC)設計のトレードオフ



半導体EMCモデル

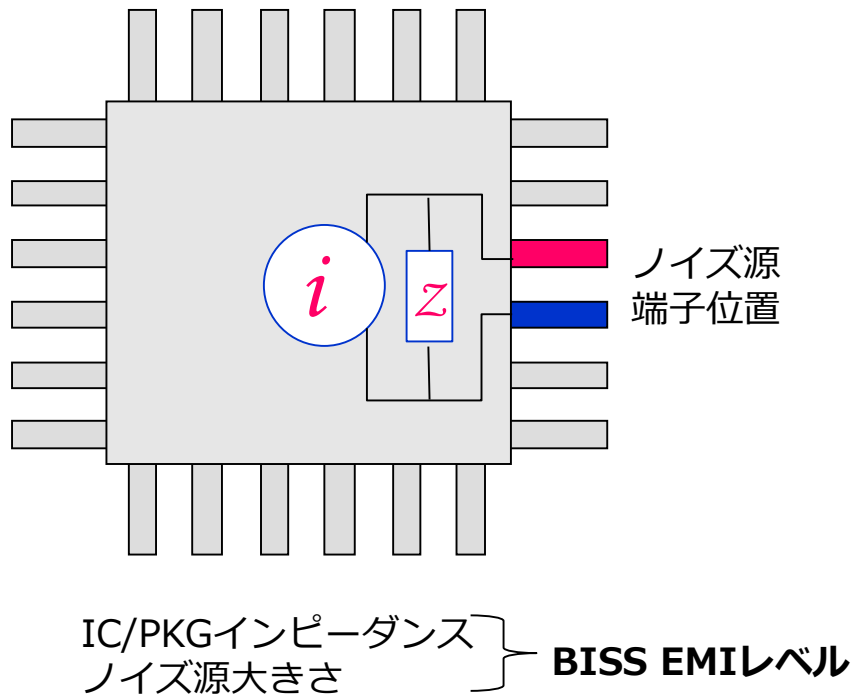


	仕様モデル 設計目標モデル	設計モデル	性能検証 モデル
使用目的	構想	設計	検証
ノイズ源	BISSクラス IEC62433	設計結果で モデリング CPM,IBIS IEC62433	設計/評価結果 でモデリング CPM,IBIS IEC62433
内部インピーダンス	設計狙い値		
耐性	BISSクラス IEC62433		

構想：半導体EMC(仕様,設計目標)モデル

例えば、PKGと端子位置を仮設定すれば適当なモデルは準備可能
このモデルを用いて機器設計を進める、半導体はこれを目指して開発を進める。

EMIモデル



BISSスペック

150Ω法 (IEC 61967-4)

Conducted emission 150Ω method limit line set for all IC function modules

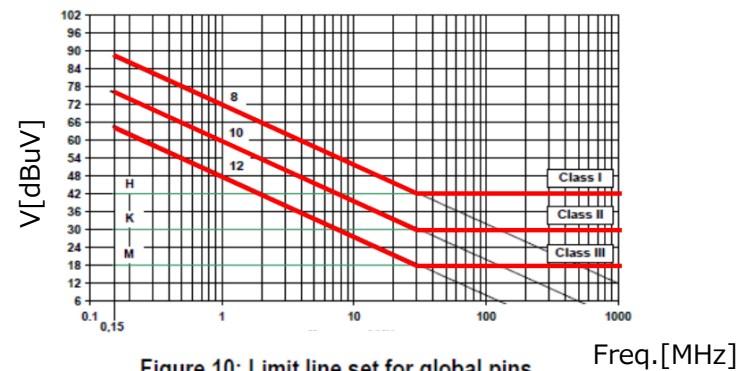


Figure 10: Limit line set for global pins

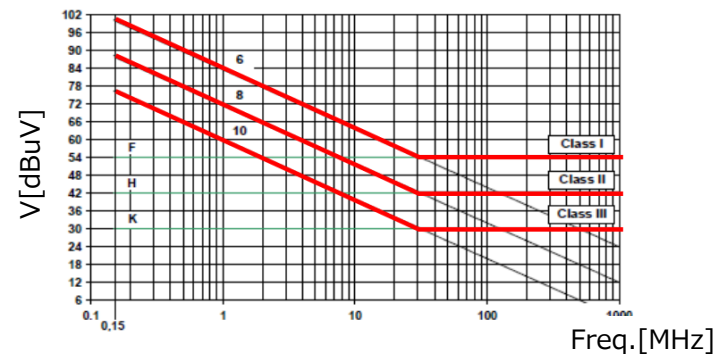
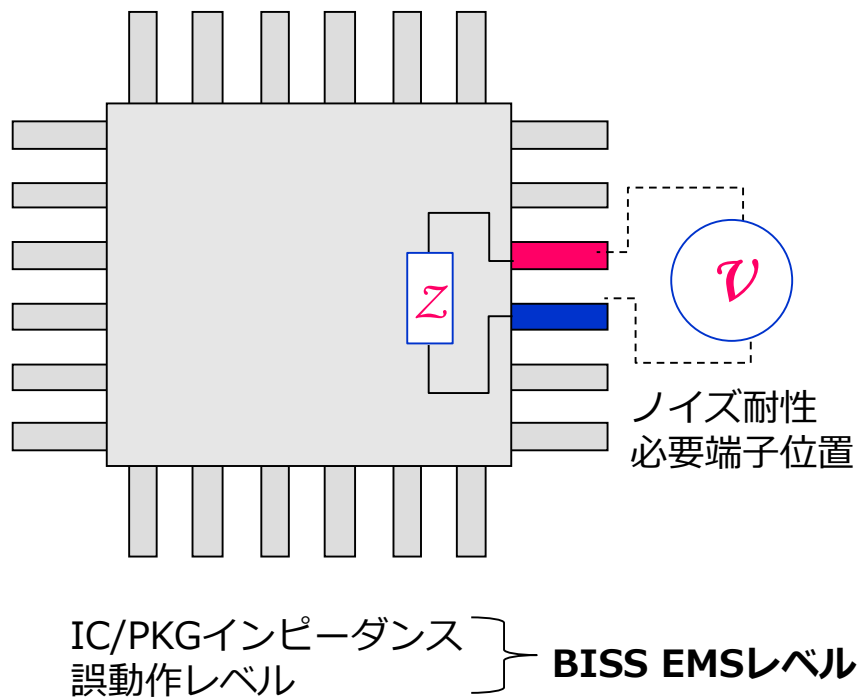


Figure 11: Limit line set for local pins

構想：半導体EMC(仕様,設計目標)モデル

EMSモデル



BISSスペック

DPI法 (IEC 62132-4)

Conducted immunity DPI method limit line set for all IC function modules

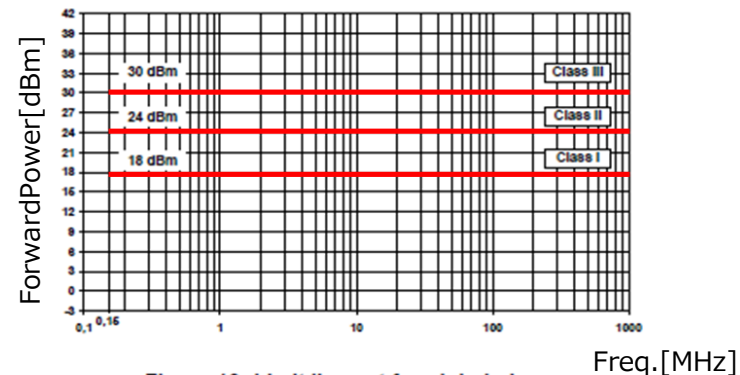


Figure 18: Limit line set for global pins

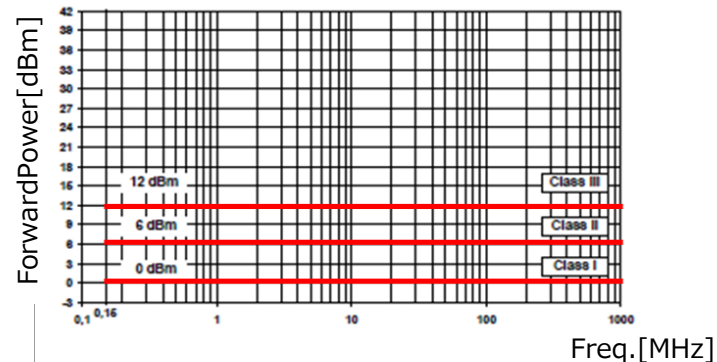
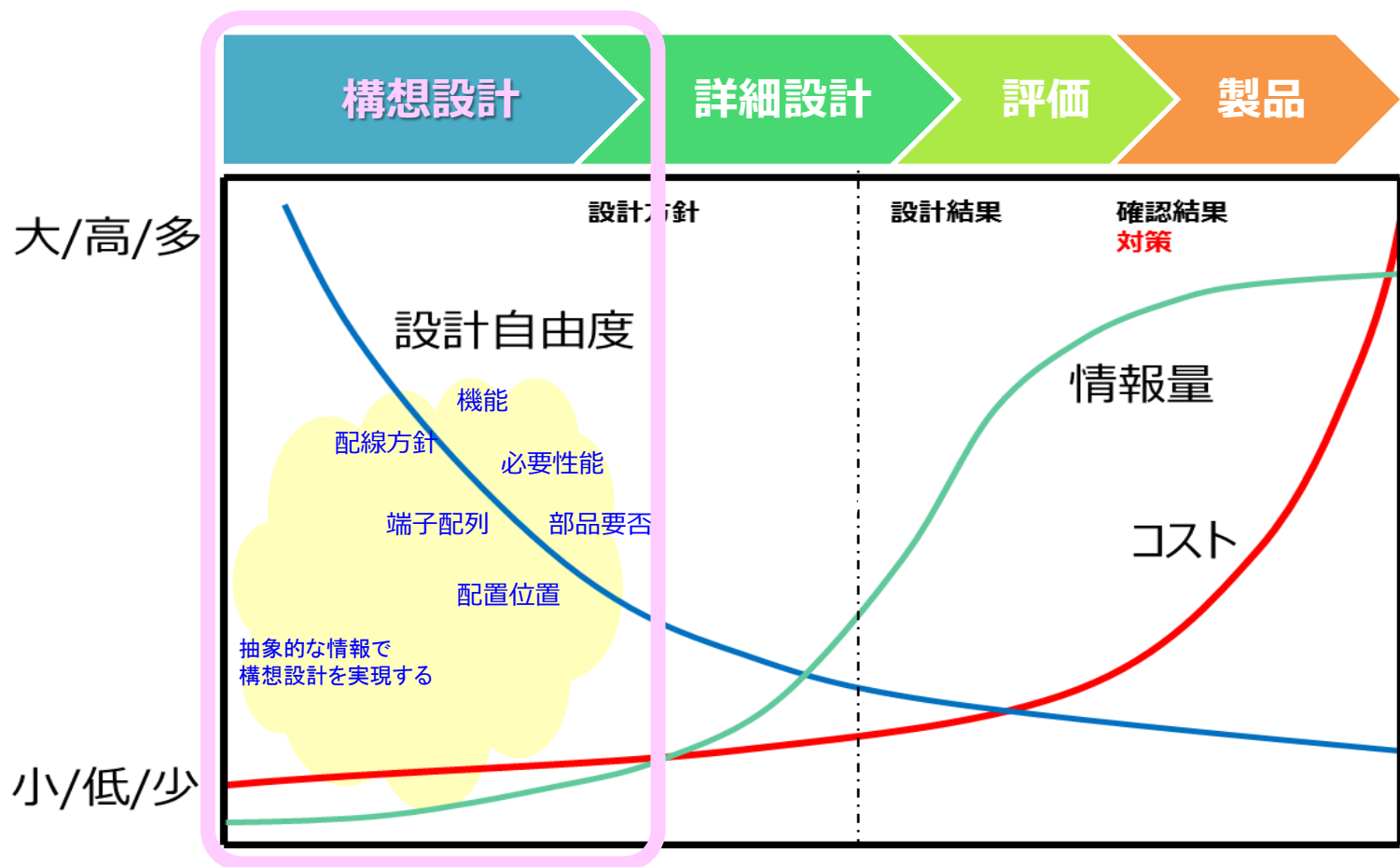


Figure 19: Limit line set for local pins

実装(EMC)のための構想設計

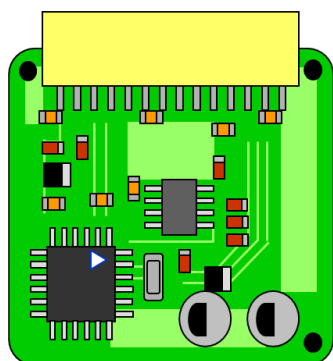


構想：実装(EMC)のための構想設計

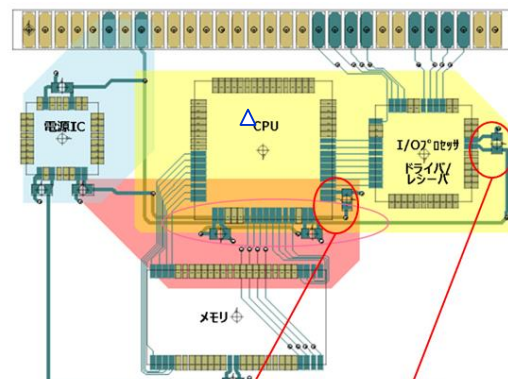
構想設計：

PCB ICの実装位置/向き、配線方針、
IC 端子配列

ICの電源-GND端子位置の
EMCリスクを抽出
構想モデルで解析

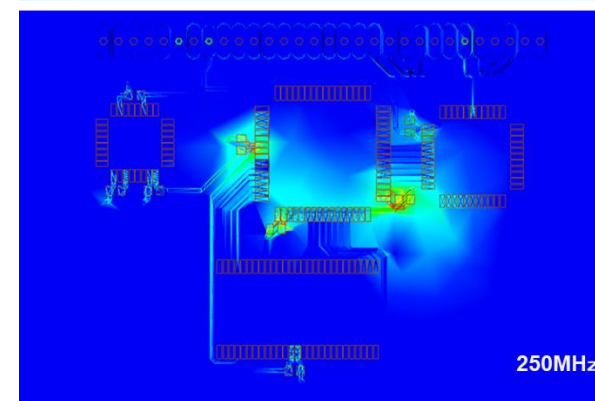
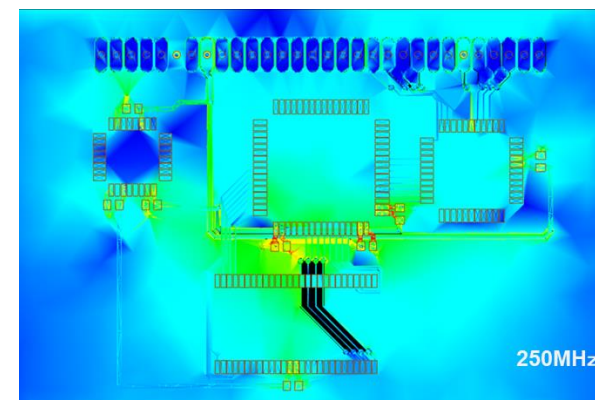
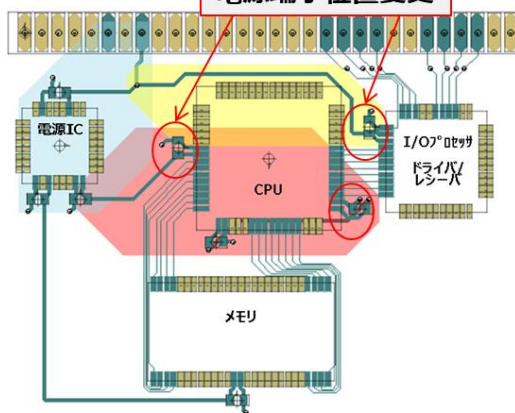


パターン1

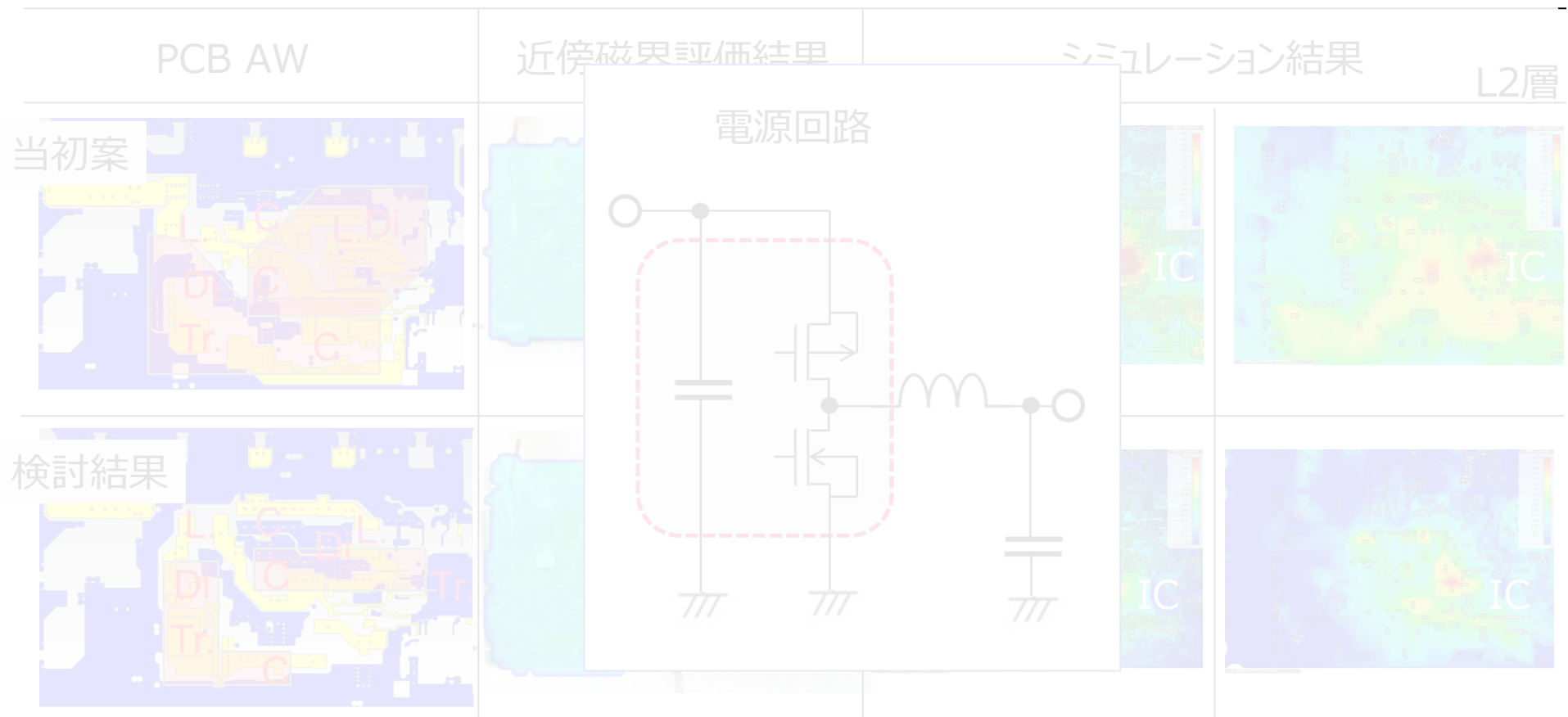


電源端子位置変更

パターン3



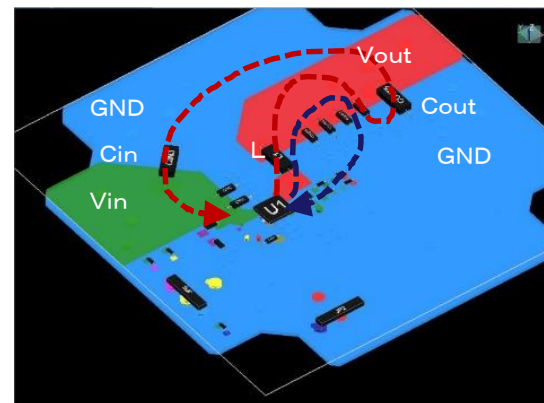
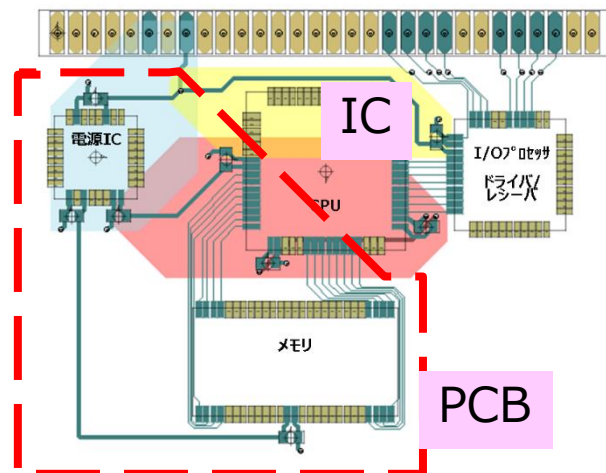
構想：実装(EMC)のための構想設計



設計 実装(EMC他)のための設計検討

設計検討：

電源回路設計
電源熱設計
EMC、SI、PI

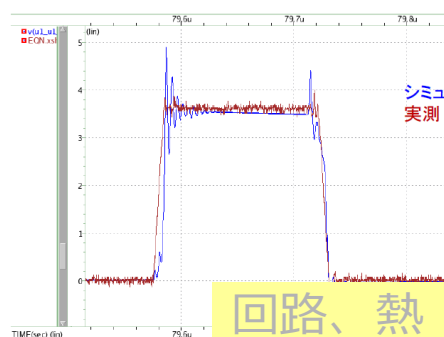


Sim. 結果:リプルノイズ

PI, SI

LX電圧波形

■ シミュレーションはスルーレートが高く、リングングが発生

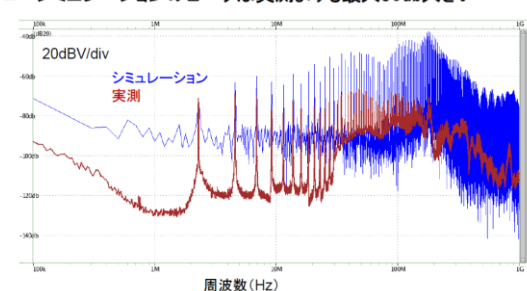


回路、熱

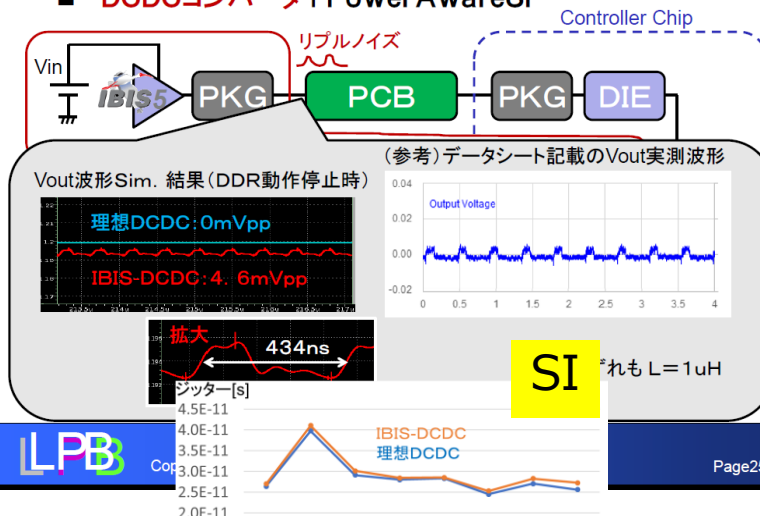
PVIN伝導ノイズ波形

EMC

■ シミュレーションのピークは実測よりも最大30db大きい



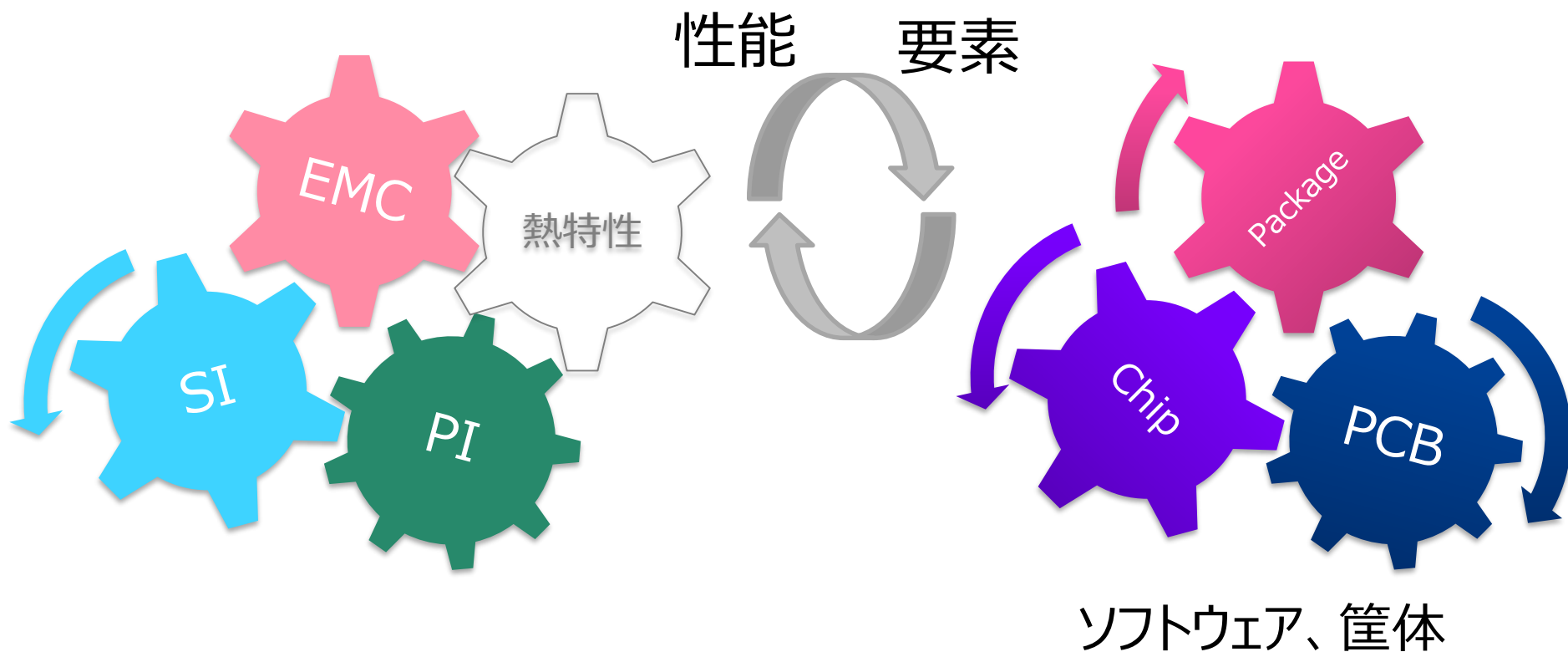
■ DCDCコンバータ+PowerAwareSI



SI

でも $L=1\mu H$

実装(EMC他)設計のための連携



各要件を構想段階から調整

