

JEITA 第12回LPBフォーラム

# イミュニティーモデルの具現化と 設計フローにおける活用について

2020/9/11

JEITA 半導体 & システム設計技術委員会  
IEC62433/バウンダリモデルTG リーダー  
野村

# Contents

## ◆ イミュニティモデルのターゲット

- ✓ 高速シリアル通信LSI
- ✓ ICIM-CI (Conducted Immunity Modelling) との対応

## ◆ イミュニティモデル作成

- ✓ DPI試験結果
- ✓ 電源インピーダンスの測定・・・電源のインピーダンス測定から内部回路を推定
- ✓ DPI測定時の基板／LSIをモデル化・・・実測結果から電源インピーダンスを補正
- ✓ DPI試験回路解析・・・DPI 1Wの注入に対するLSIコアの誘導電圧／誘導電流を導出
- ✓ LSIコアの誘導電圧とDPI試験耐量の相関
- ✓ イミュニティーモデル・・・LSIの端子の特性を推定

## ◆ イミュニティーモデルを活用した協調設計の姿

- ✓ コアの誘導電圧／電流の低減検討 (LSI側の寄与)
- ✓ コアの誘導電圧／電流の低減検討 (セット側の寄与)
- ✓ IBの議論

## ◆ 今期の課題

- ✓ フロントローディングに向けた検討・・・設計初期段階でどんなモデルを提供できるか？

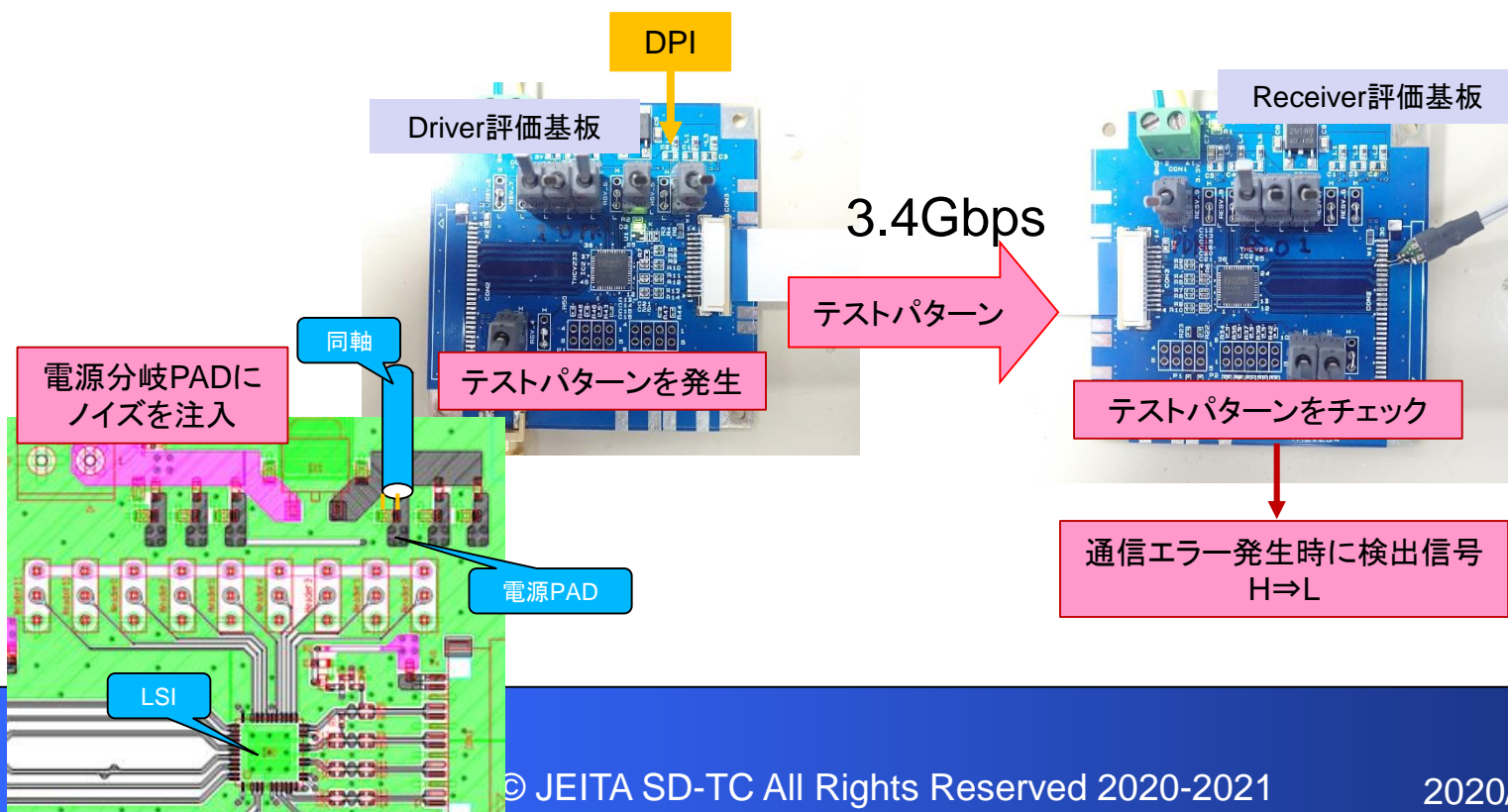


# イミューニティーモデルのターゲット

# 高速シリアル通信LSI

- モデリングのTargetは高速シリアルIF LSI
- DPI試験による実測結果からBCI試験のシミュレーションモデルを作成
- LSIメーカーが提供している評価基板を購入
- 誤動作の発生を如何にモニタするかがポイント  
⇒LSIに搭載されているBitErrorTestモードを利用

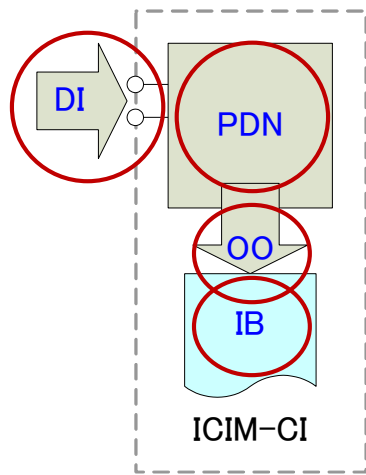
## 高速シリアルIF LSIの評価セット



# ICIM-CI (Conducted Immunity Modelling) との対応

- DI: ノイズ注入端子はドライバ側PLL電源、PDN: ドライバ電源インピーダンス、OO: 通信エラー検出信号 IB: 通信エラー(誤動作)の閾値データ

## IEC 62433 Part4 ICIM-CIの定義



### 【IC端子定義】

DI : ノイズを注入する端子

OO: 誤動作をモニターする端子

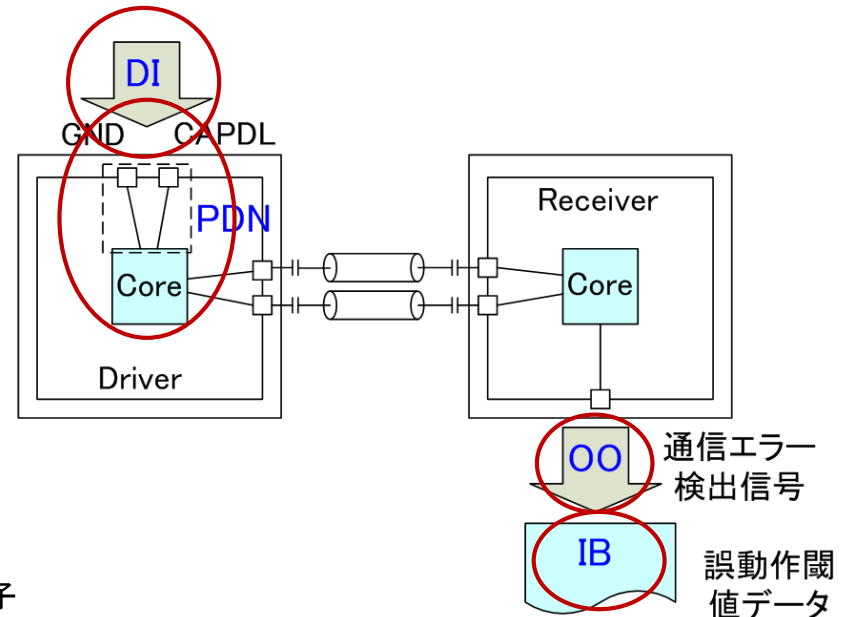
### 【IC内部model】

PDN: チップ内部 端子間の接続情報

(インピーダンスのネットワーク、S、Z、Yパラなど)

IB: OOで観測される情報から誤動作判定する閾値データ

## 今回のTargetでのモデル定義

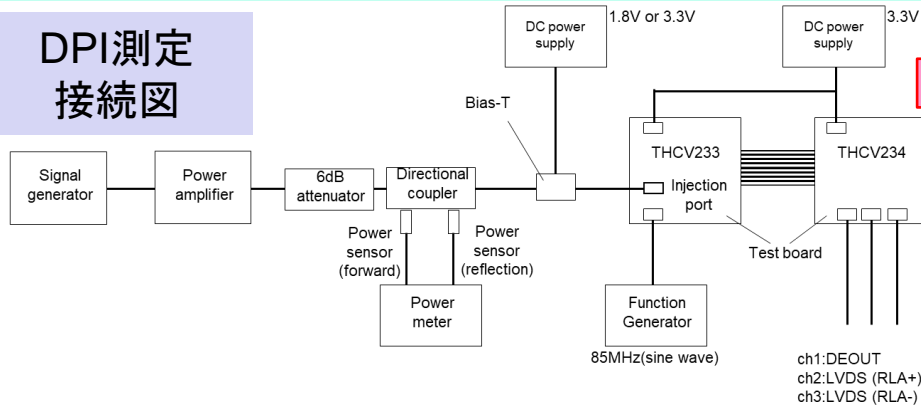


# イミューニティーモデルの作成

# DPI測定結果

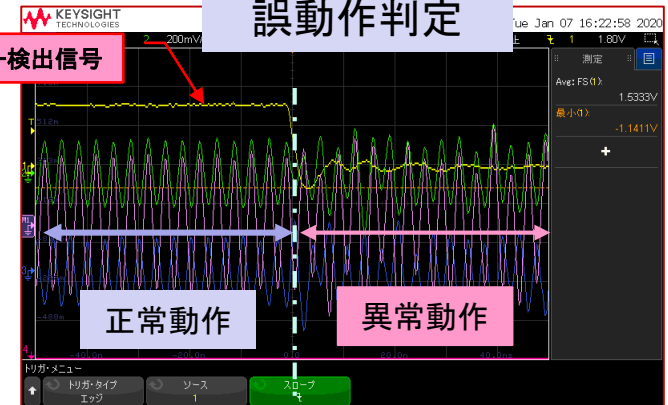
- DPI測定を実施し誤動作閾値特性を取得した
- 但し、Driver基板パターンやデカップリングキャパシタを含んだ誤動作閾値である。

DPI測定  
接続図

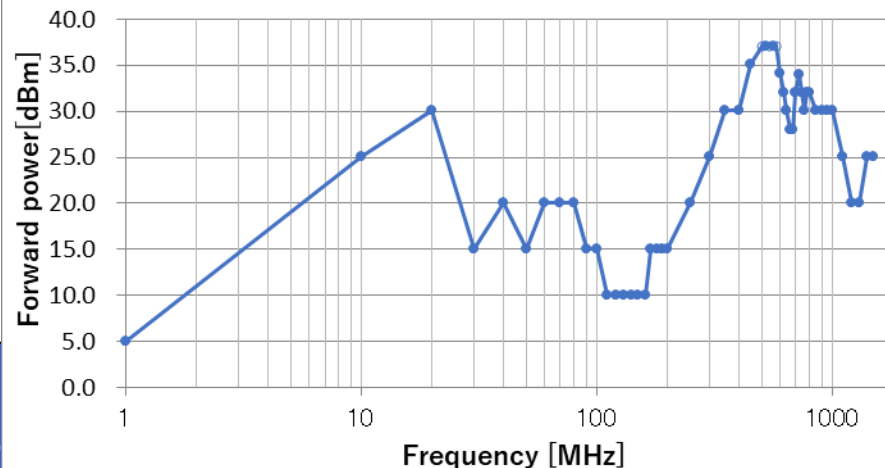


通信エラー検出信号

誤動作判定

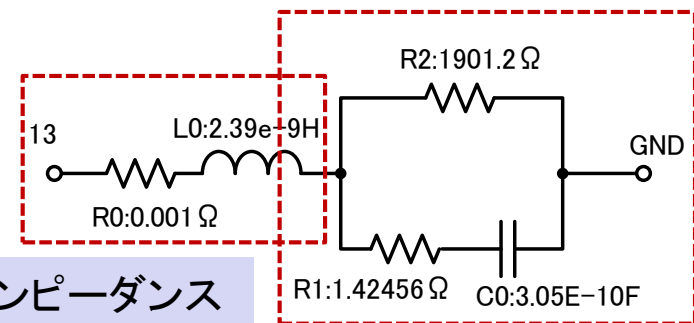
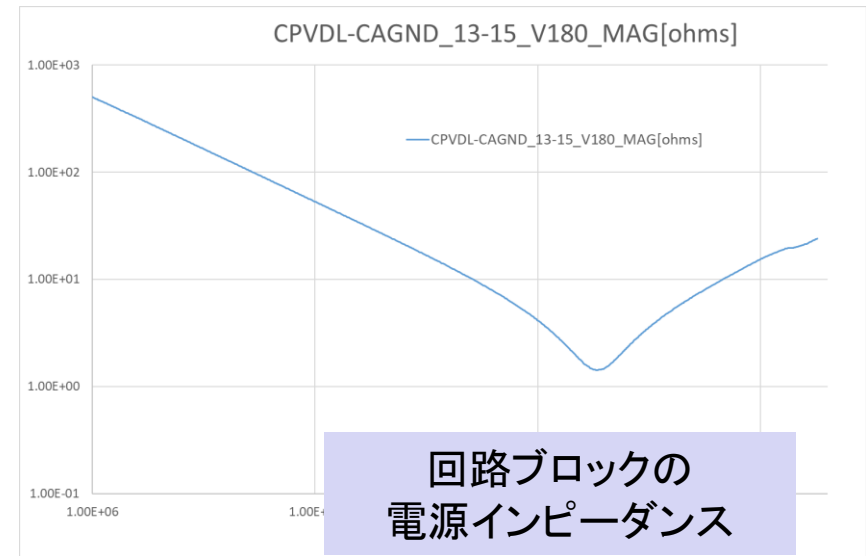
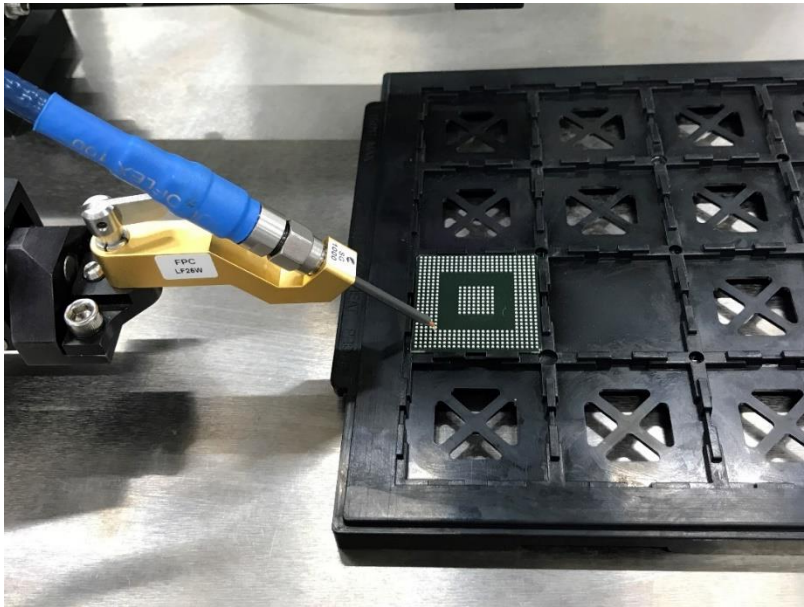


PLL電源へノイズを印加した時の  
誤動作閾値の測定結果



# 電源インピーダンスの測定

- LSIの電源インピーダンスを実測した。
- 等価回路(パッケージインピーダンスとコア電源のインピーダンスで表現。



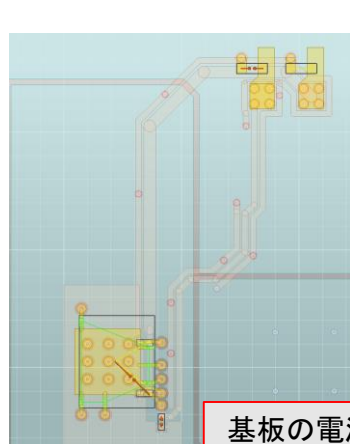
パッケージインピーダンス



# DPI測定時の基板／LSIをモデル化

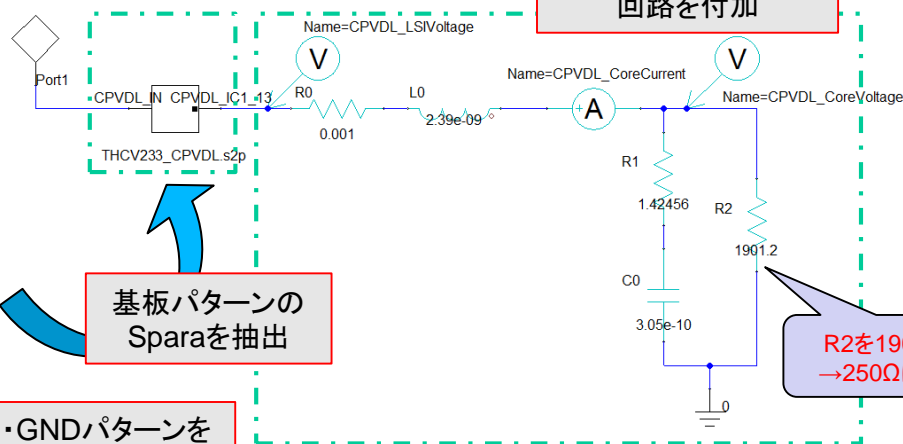
- 基板パターン、層構造をシミュレータに定義し実測と比較し補正。

## 基板込みのインピーダンスの回路シミュレーション



基板パターンのSparaを抽出

基板の電源・GNDパターンをシミュレーションモデル化



LSI単体の電源等価回路を付加

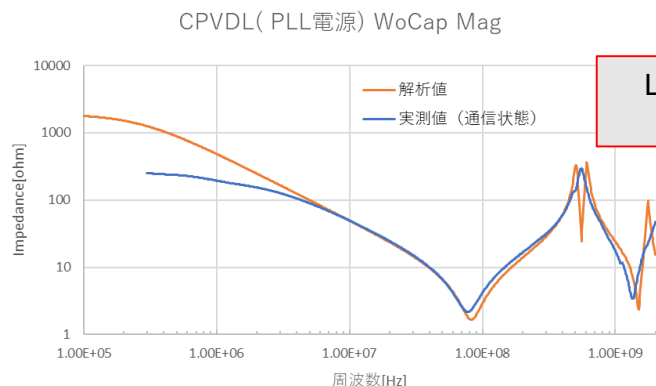
## 基板込みのインピーダンスの実測

DPI試験時にノイズを印加したポイントに同軸ケーブルを接続してネットアナケーブルと接続

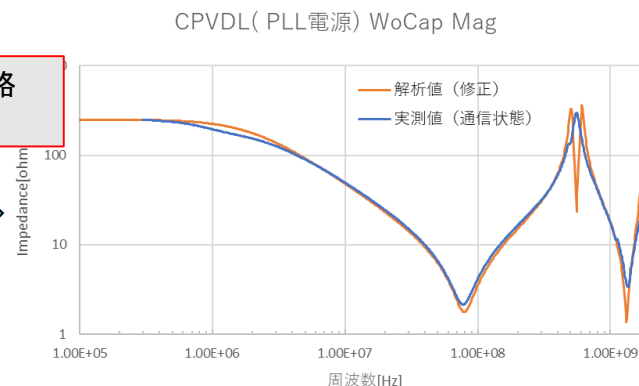


基準面

R2を1901.2Ω  
→250Ωに変更



LSIの等価回路を補正

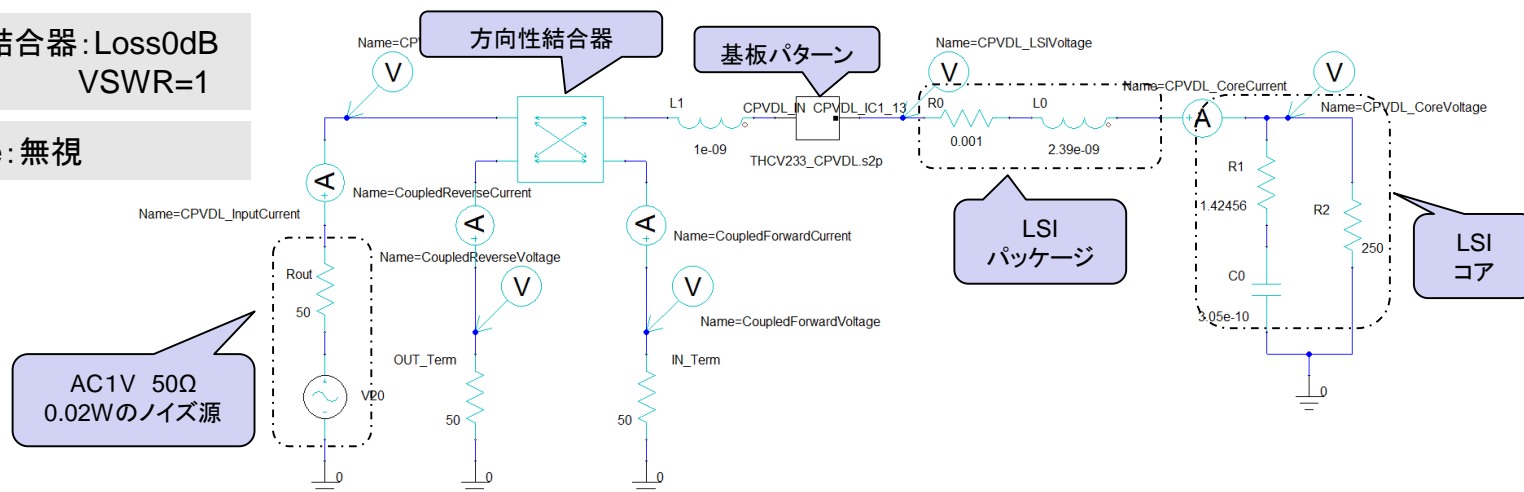


# DPI試験回路解析

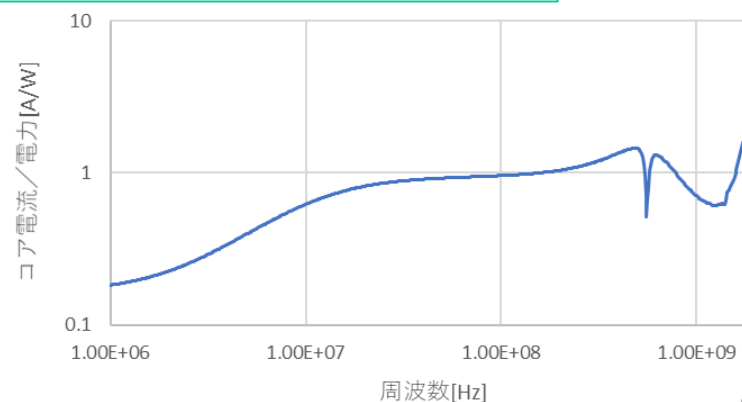
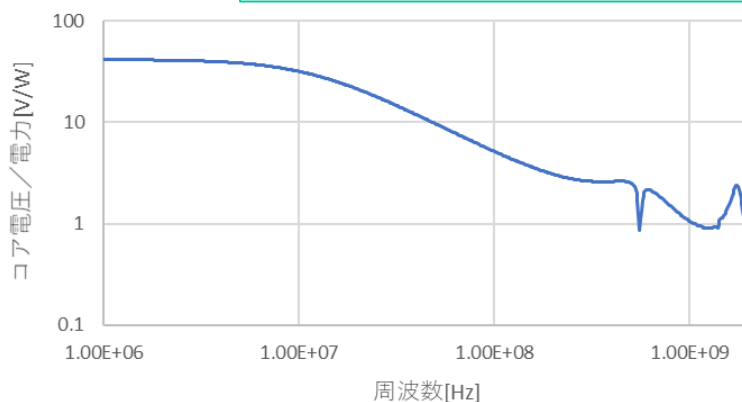
- DPI試験回路解析を行い、注入電力1Wに対するLSIコアの電圧／電流を求めた。

方向性結合器: Loss0dB  
VSWR=1

BiasTee: 無視



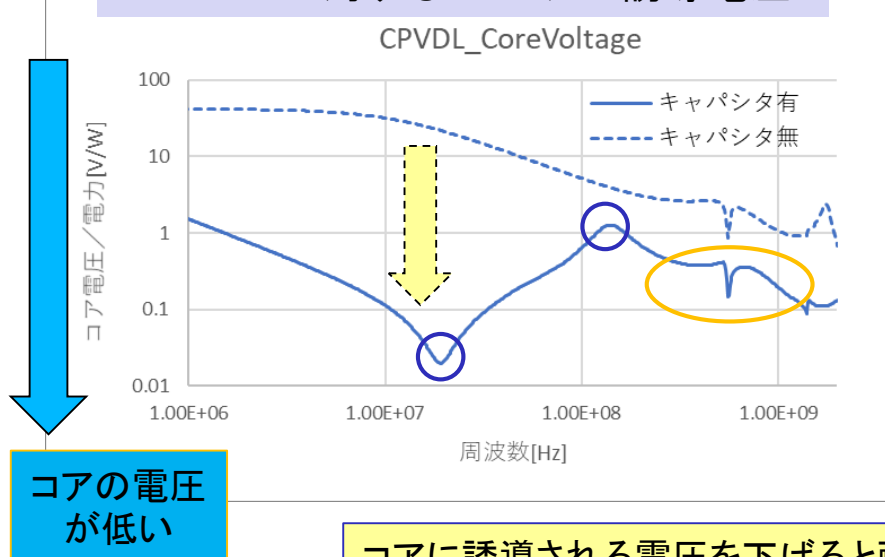
## 注入電力1Wあたりのコア電圧とコア電流



# LSIコアの誘導電圧とDPI試験耐量の相関

- コアの誘導電圧とDPI耐量には相関がみられる。
- LSI自体の強さは周波数特性が無いからさらに検討が必要。

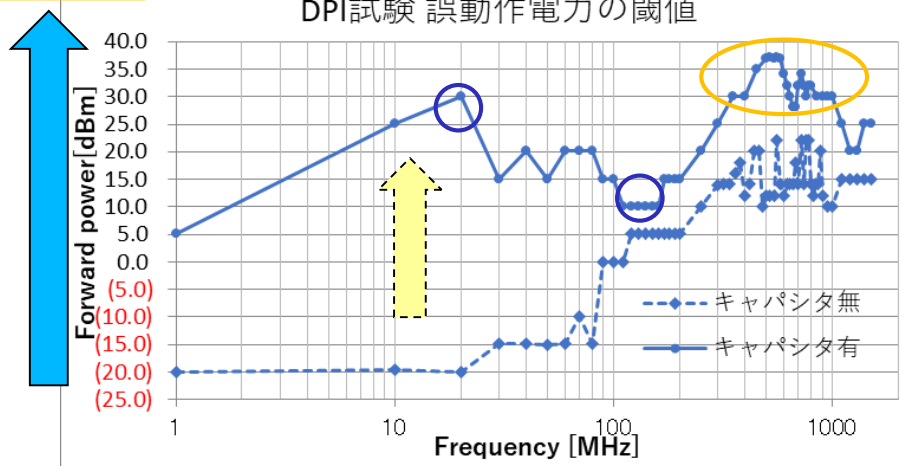
DPI 1Wに対するLSIコアの誘導電圧



耐量が高い

LSIの誤動作閾値電力

DPI試験 誤動作電力の閾値



コアに誘導される電圧を下げると耐量上がる関係にあることがわかる。

20MHzはデカップリングキャパシタの自己共振周波数でコア電圧が低減できているために耐量が上昇している。150MHz付近のコア電圧が低減できていないので耐量は下がっている。

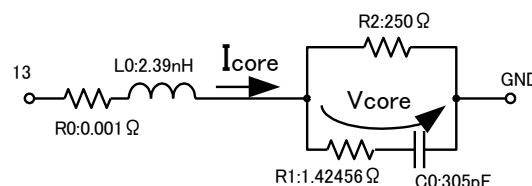
500MHz付近の耐量が非常に高い。一方、誘導電圧はさほど低くない。この帯域はLSIがノイズに追従できない領域か？

# イミュニティーモデル

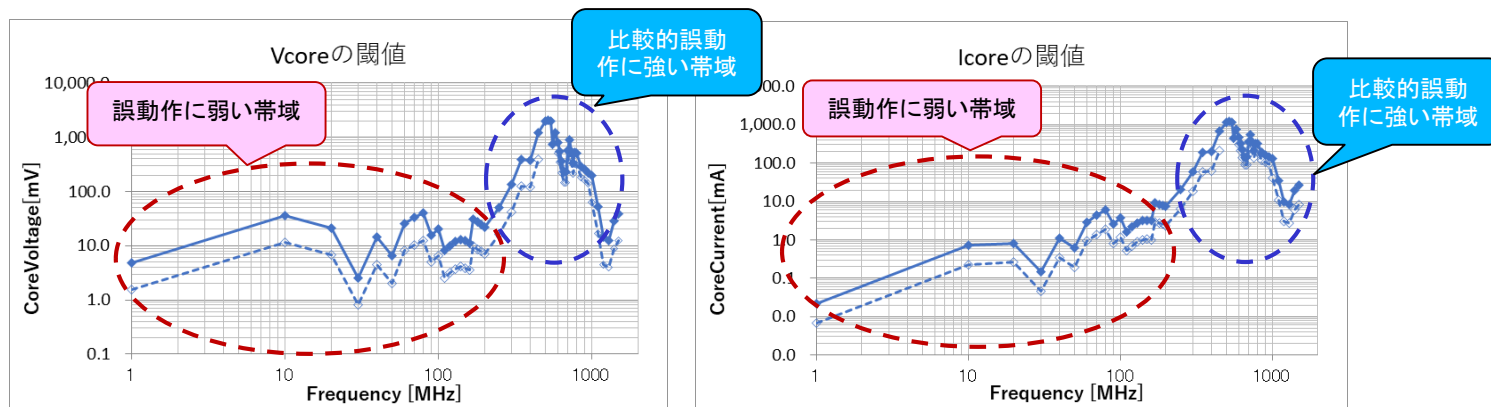
- PDN (Passive Distribution Network) は電源インピーダンスの実測から内部回路を推定した。
- IB (Immunity Behaviour) はDPI試験結果から基板、キャパシタの特性を差し引いて素のLSI耐量の周波数特性を求めた。

IEC 62433 Part4に従い導出したイミュニティーモデル=バウンダリ

## ★PDN (Passive Distribution Network)



## ★IB (Immunity Behaviour)

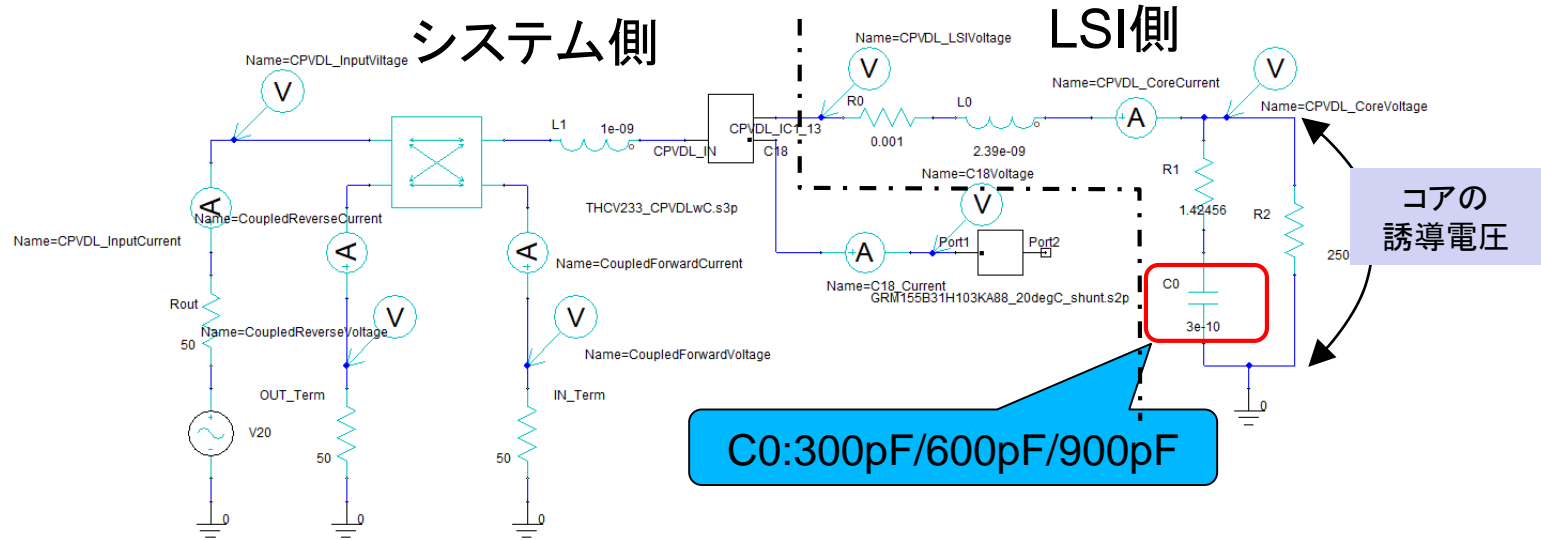


- LSI素の特性として、低域は誤動作の耐量がほとんどない、高域は比較的耐量があるが1GHz付近でまた耐量が下がる傾向がつかめた。

# イミュニティーモデルを活用した 協調設計の姿

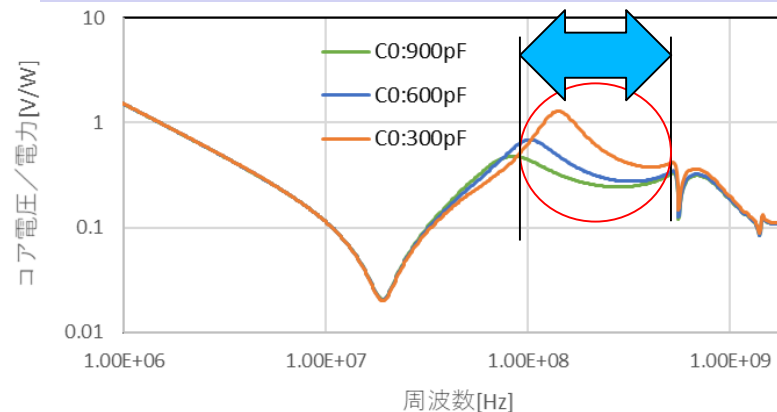
# コアの誘導電圧／電流の低減検討 (LSI側の寄与)

- LSI側の設計条件であるコア容量を変化(300pF／600pF／900pF)させると誘導電圧200MHz付近の誘導電圧低減に効果がある。



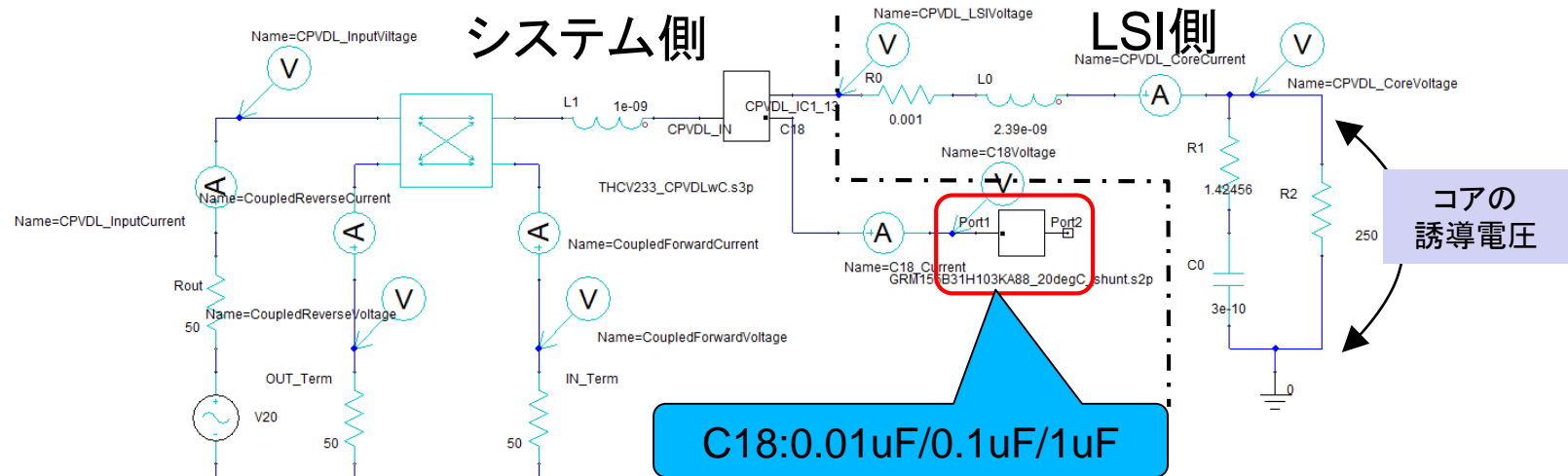
オンチップキャパシタの増加によりコアの容量を大きくした場合、100MHz~600MHzの誘導電圧の低減効果は期待できる。

1Wの注入に対するコアの誘導電圧

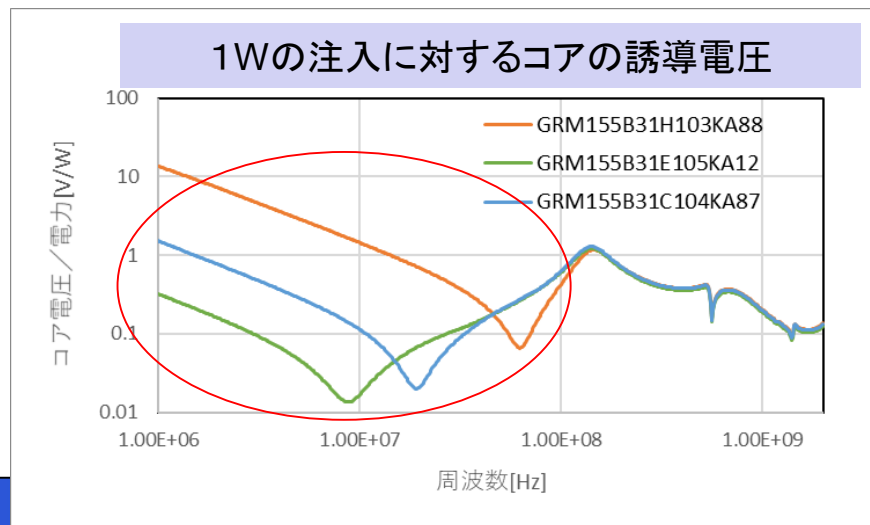


# コアの誘導電圧／電流の低減検討 (システム側の寄与)

- システム側設計条件である基板に実装するキャパシタ種(0.01uF/0.1uF/1uF)を変化させると100MHz以下の誘導電圧低減に効果が見込める。



キャパシタの容量を変えると  
100MHz以下の誘導電圧を  
変化させることができる

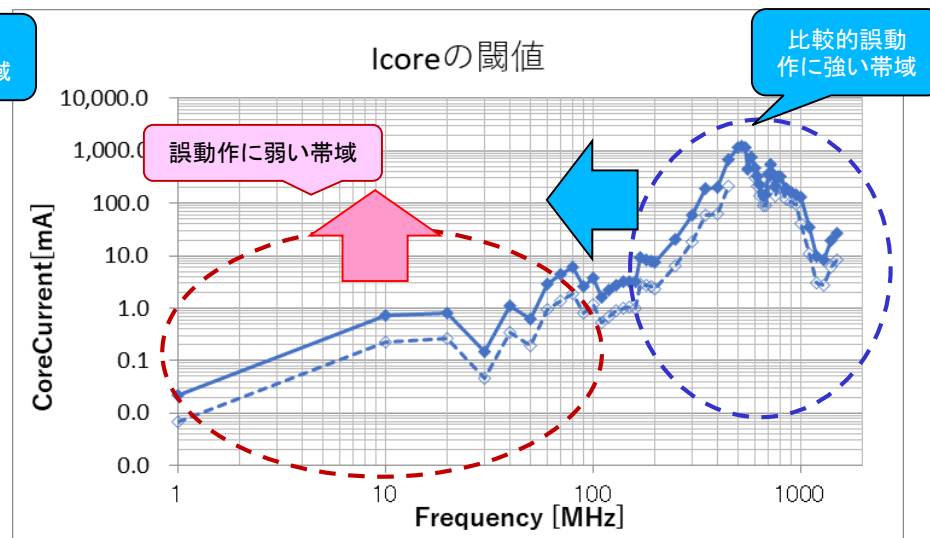
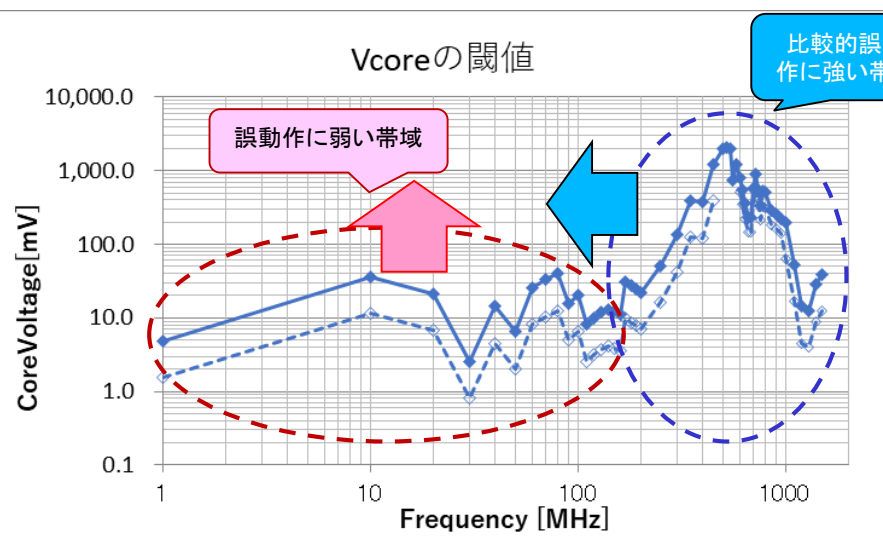


- 耐量を改善したい周波数帯域に効果的な設計パラメータの検討が可能に。

# IBの議論

- IB (Immunity Behaviour) をバウンダリとして共有することで、LSIの耐量特性をどこまで高めるか、LSI側／システム側の協調設計を可能とする。

## ★IB (Immunity Behaviour)



システム側：要求としてLSIの耐量を\*\*MHzまで向上させてほしい

LSI側の要求：ボード設計の適正化で\*\*MHzまでの誤動作耐量を持ち上げてほしい



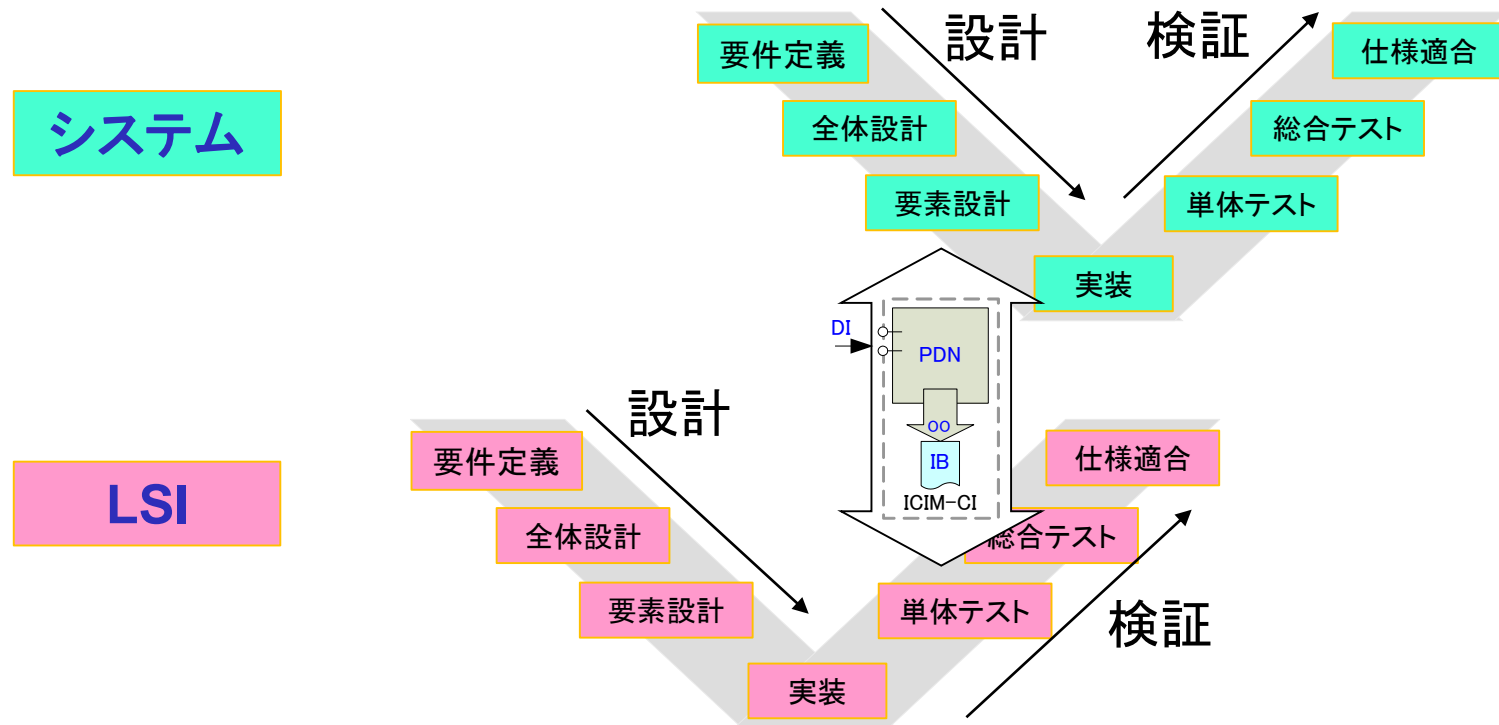
# 今後の課題



# 今後の課題 フロントローディングの姿を描きたい

- 今回作成したBCI試験用のバウンダリモデルを題材として、設計初期でのバウンダリモデルによる協調設計の可能性を議論したい

## システムとLSIの開発プロセス

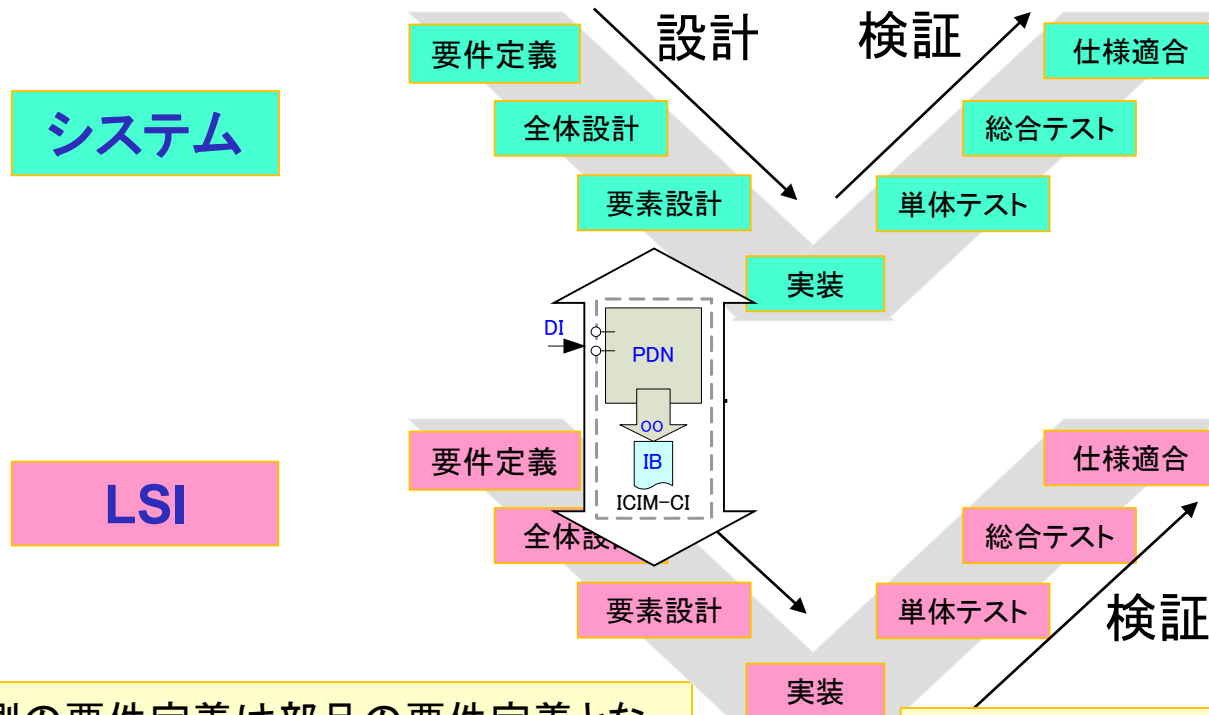


今回のように、部品を測定して作成したモデルでもシステムの設計に間に合うかもしれない。

# 今後の課題 フロントローディングの姿を描きたい

- 開発期間を短縮する場合、バウンダリモデルはLSI設計プロセスから取り交わすべき。

## システムとLSIの開発が並行して進む設計プロセス



機器側の要件定義は部品の要件定義となる。その後どの段階でバウンダリを取り交わすことができるか？ またその粒度はどうか？

LPBフォーマットに、バウンダリを定義し、設計の進捗に従って粒度・精度を上げていく仕組み