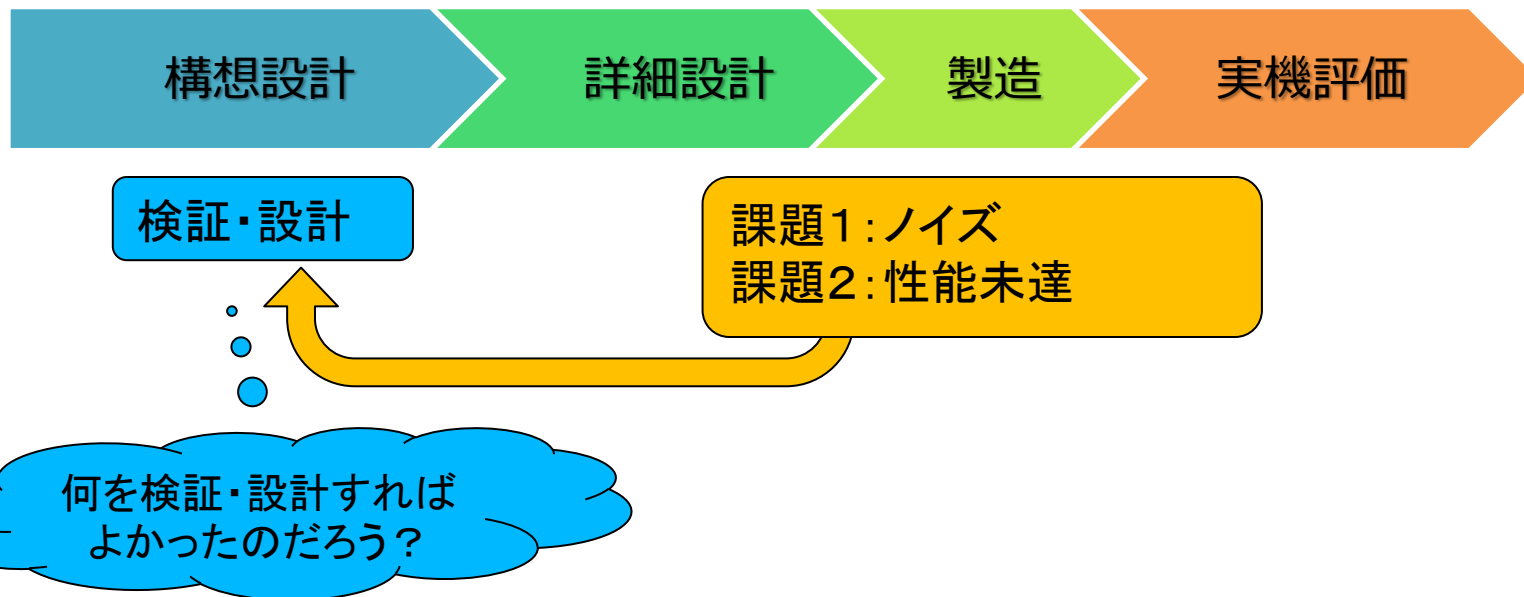


LPB workshop 2021

電源設計のフロントローディング

電源設計実証TG

電源フロントローディング設計(案)



愚直に、課題の発生メカニズムを明確化し、フロントローディング設計

- ・実際に発生した課題
- ・発生する可能性のある課題

将来は仕様検討から実装設計までAIで自動化されるかもしれません・・・
この時にはAIが目標とする必要十分な制約リストが重要となる？

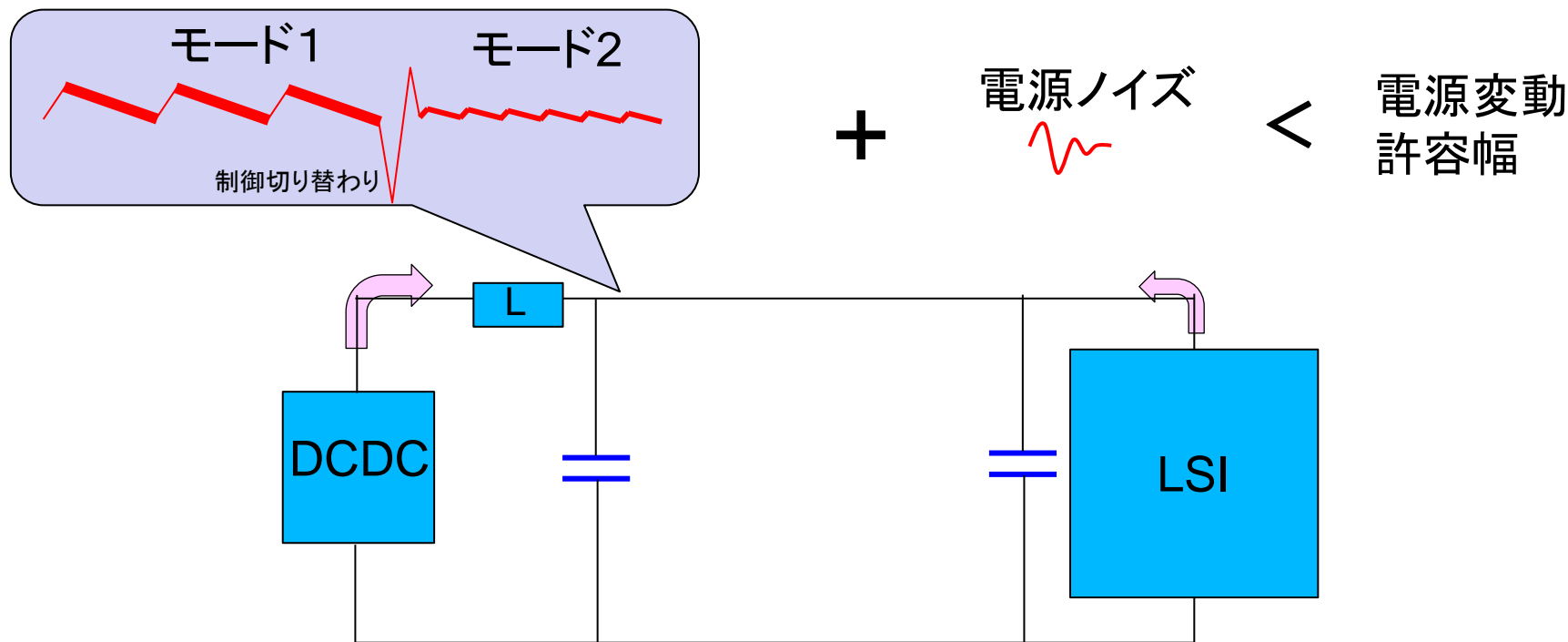
課題の抽出から

メンバーから電源設計に関する課題をヒアリング

課題認識1: DCDCノイズ事例

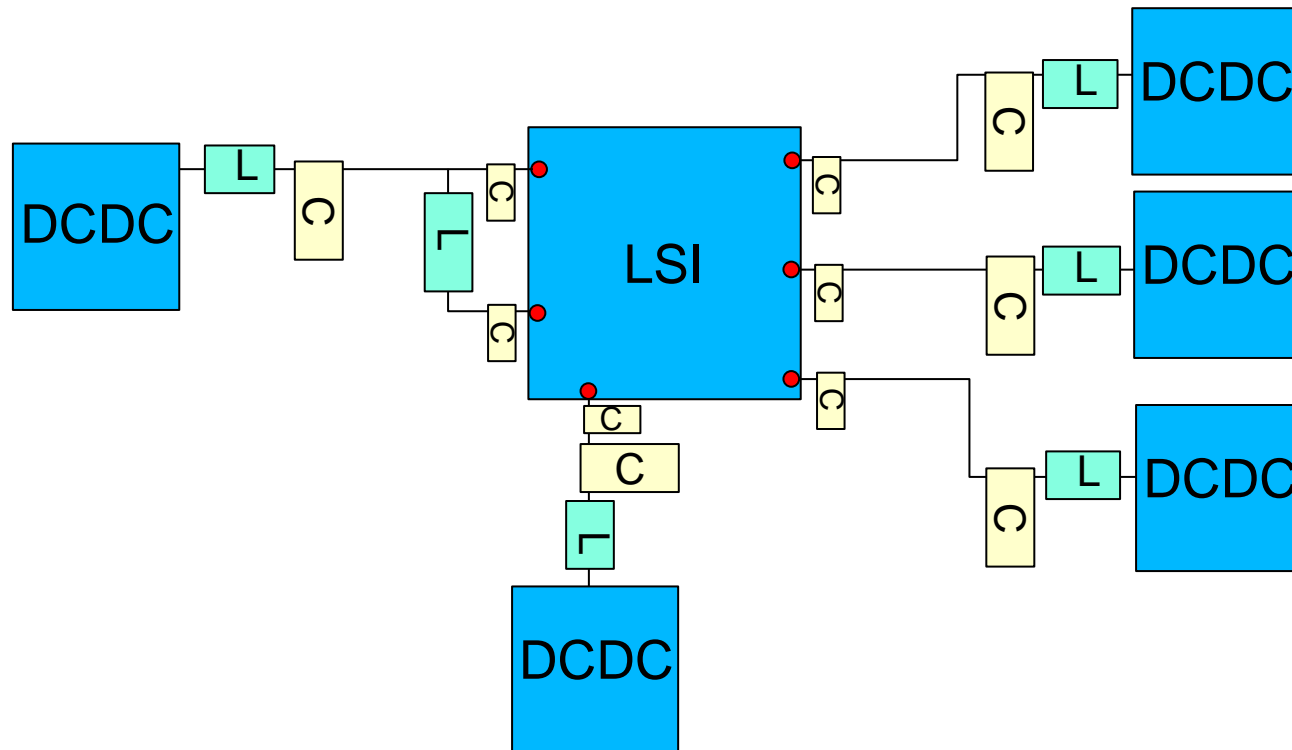
課題認識2: LSIの仕様を満たす最適化

課題認識1: DCDCノイズ事例



- どんなDCDCを使用するかによって、LSIの電源端子数、パソコン決められない
LSI作りこんだけど、適当なDCDCが無くてあとから困った
- そのDCDCがどれくらいの変動になるのかよくわからない
PWM、PFM制御が入っており、実際どのような動作になるかわからない
- 標準的なモデルが無い

課題認識2: LSIの仕様を満たす最適化

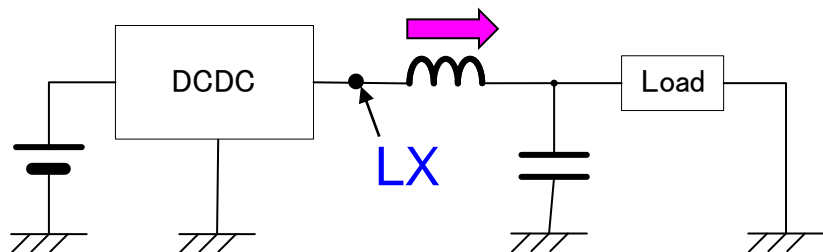


- 多電源種を有するLSIでは、電圧違い、ノイズ制約から、複数の電源回路を配置し、電源を供給している
- フィルタで分離して複数の電源種に供給することで電源回路削減を図るも、LSIの引き出し領域でフィルタの実装面積を確保するのは困難な場合も多い

電源設計の課題についてみなさまへの質問

- ・DCDCコンバータが原因で電源が変動して問題が生じた経験はありますか？
- ・その他、電源設計で課題等ありましたらよろしく願いいたします。

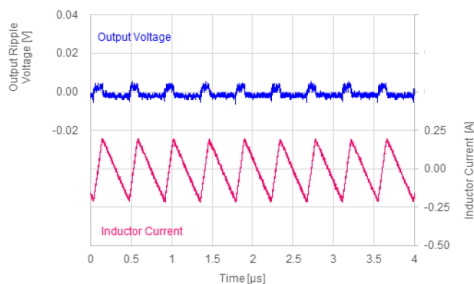
課題1: PWM制御からPFM制御へ移行時のノイズ発生原因検討



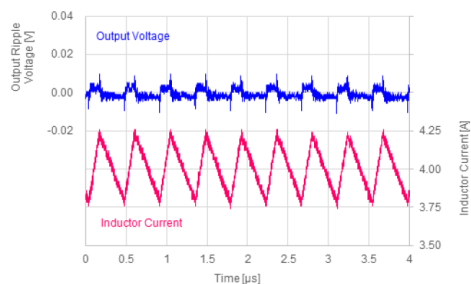
PWM (Pulse Width Modulation : パルス幅変調)
 PFM (Pulse Frequency Modulation : パルス周波数変調)

PWM→PFMへの切り替わり時のノイズ発生原因検討
 逆流防止機能のないDCDCにおいてPFM制御に移行したときに、出力High-Zになり、急激な電流変化が発生するためと推測

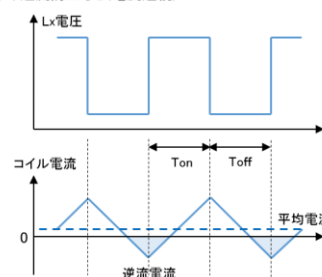
8) 出力電圧波形
 $V_{OUT} = 1.2\text{ V}$, $I_{OUT} = 0\text{ mA}$



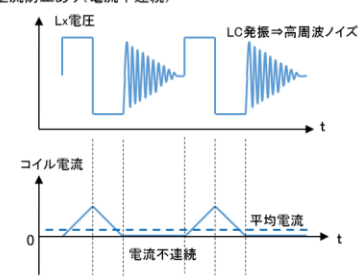
$V_{OUT} = 1.2\text{ V}$, $I_{OUT} = 4000\text{ mA}$



(1) 逆流防止なし(電流連続)

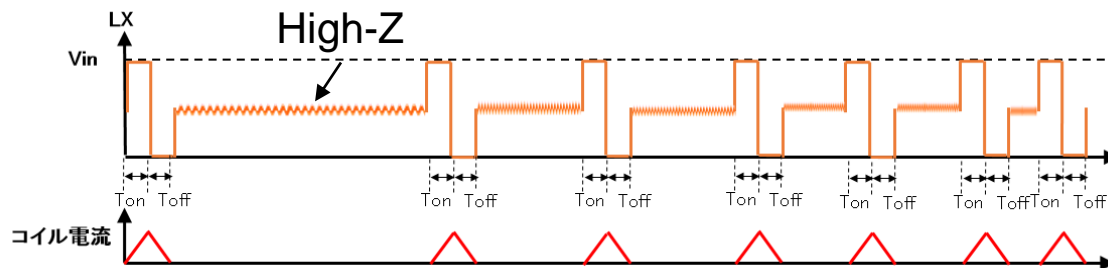


(2) 逆流防止あり(電流不連続)



PWM

PFM

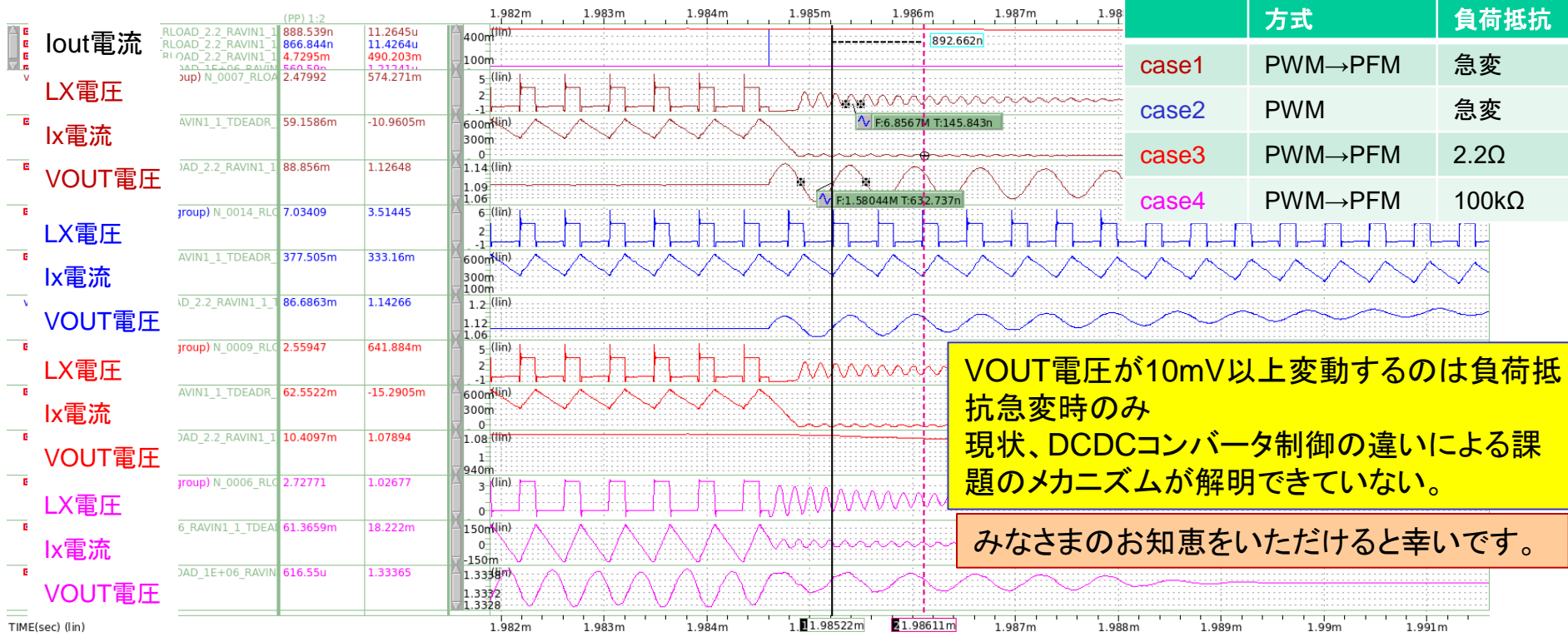
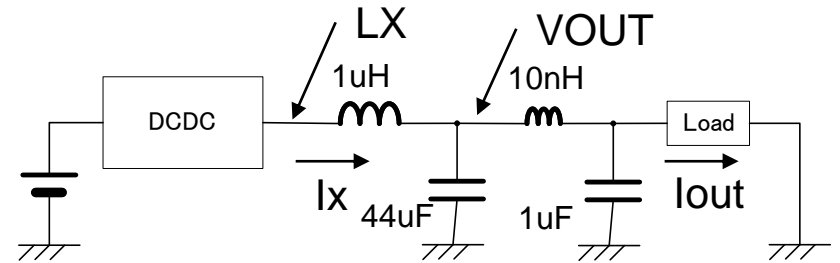


注: ノイズ発生と参考文献は無関係です。
<https://www.n-redc.co.jp/ja/pdf/datasheet/rp510-ja.pdf>
https://club-z.zuken.co.jp/tech-column/20180830_r007.html
https://club-z.zuken.co.jp/tech-column/20181025_r008.html

メカニズム検討: 簡易Simで確認

以下の影響を確認

- ・負荷抵抗の急変 ($2.2\Omega \rightarrow 100k\Omega$)
- ・DCDC出力のHigh-Z (PWM \rightarrow PFM)



以下で使用したモデルを使用

20210305_6 JEITA LPBForum2021 IBISTG 20210305_r6.pdf (jeita-sdte.com)

電源フロントローディング設計

- 検証すべき項目をリストアップ
 - 経験した課題や想定される課題を事前に回避するため
 - 負荷デバイスの制約を満たす設計を行う。
- 検証するためのモデル作成 (Simせずできればそれがベスト)
 - DCDCコンバータの出力バッファ
 - 制御機能を含んだモデルであればベスト
 - 負荷デバイス (SOCやマイコン等) の仕様収集
 - 電流モデル (電流変化、min/max)、電源ノイズ等の制約
- Simおよび机上検討を行う。
 - 一度行ったSim/机上検討環境は別製品でも有効なので再利用する。

電源フロントローディング設計は日々成長していくものと考えます。

みなさんはどう思われますか？

終わり