

LPB Workshop2023

フロントローディング

(まずはSI/PIから+EMCへ)

14:10-15:25(75分)

JEITA
半導体&システム開発技術SC
半導体フロントローディングWG

2023/9/1



本日の流れ

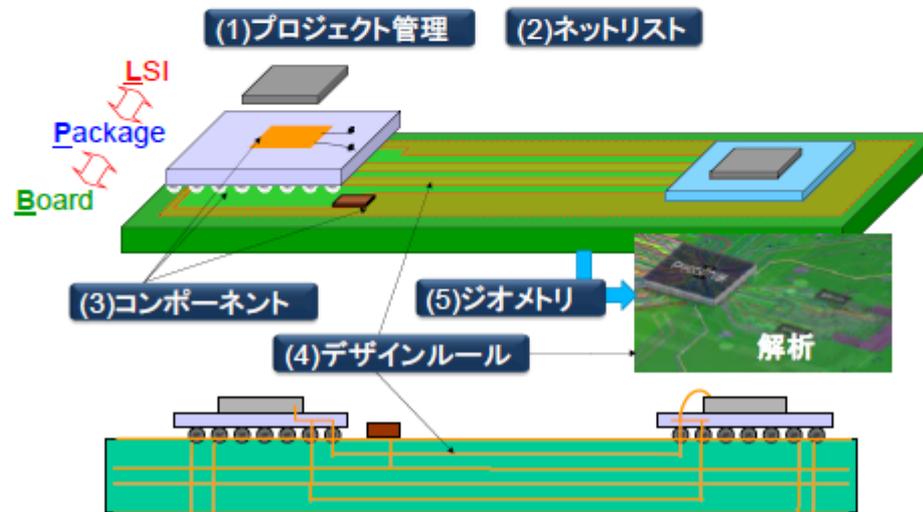
- | | 目安 |
|---|-------|
| 1. はじめに：本Workshop の狙い
JEITA半導体フロントローディング リーダ 林 | 15min |
| 2. Signal IntegrityとPower Integrityの
検討をフロントローディングするための要件を考察する
JEITA半導体フロントローディング メンバ
株式会社 リコー 中根様 | 25min |
| 3. 開発手法としてMBSEに期待すること
JEITA半導体フロントローディング メンバ
株式会社 リコー 黒瀬様 | 25min |

1.はじめに:本Workshop の狙い

LPB Format : 5種類の設計データフォーマット

第11回 LPBフォーラム[2019/03/08]資料より抜粋

フォーマット種別		概要	フォーマット書式
(1)プロジェクト管理	M-Format	LPB全体のファイル管理	XML (独自)
(2)ネットリスト	N-Format	ネット接続記述	Verilog-HDL (既存) ※電源・GNDはコメントで注記
(3)コンポーネント	C-Format	部品・制約・端子情報	XML (独自)
(4)デザインルール	R-Format	設計ルール・材料特性情報	XML (独自)
(5)ジオメトリ	G-Format	解析用形状データ	XFL Ver.1.0 (アパッチ殿からドネーション頂いている)
(6)用語集			

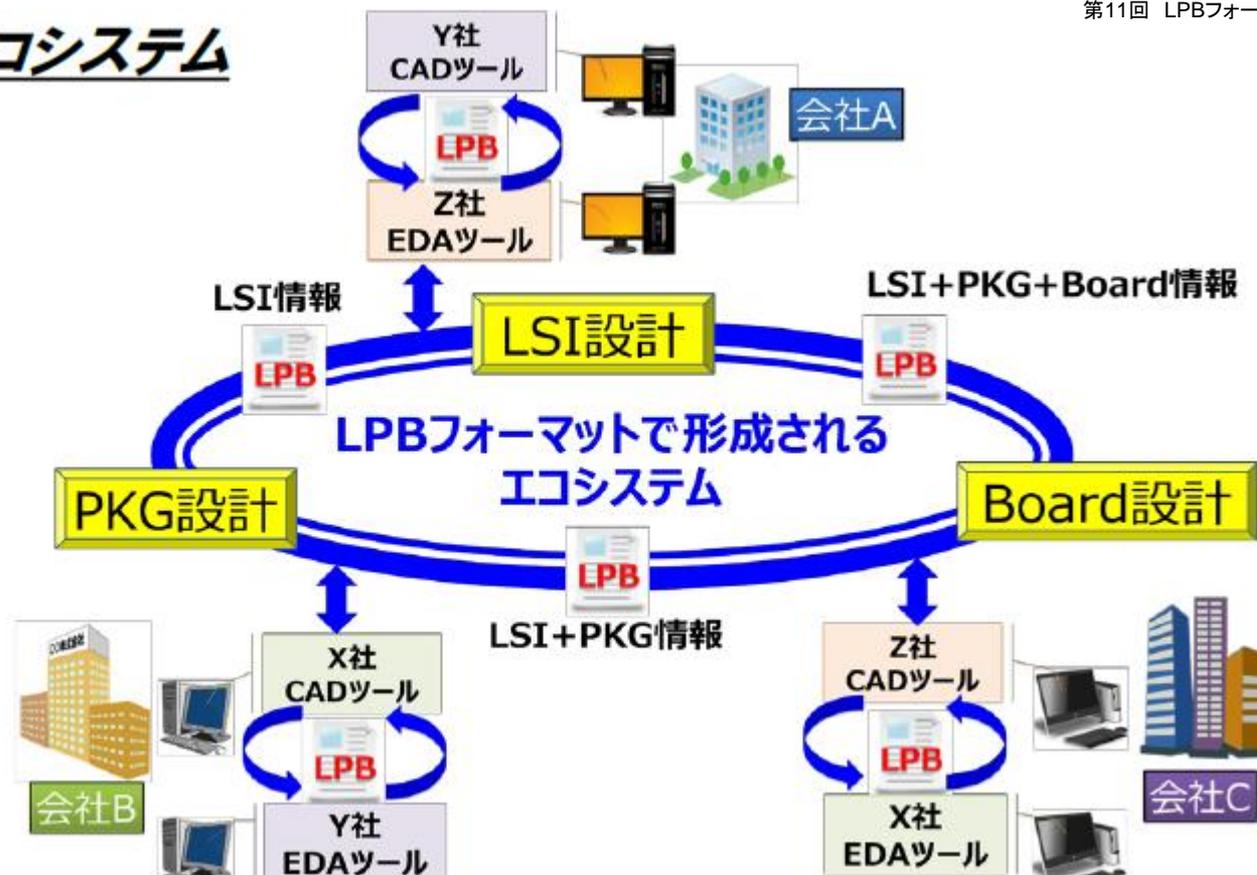


LSI,Package,Boardの設計データのフォーマットを標準化

LPB Format : 円滑に協調設計を行うためのツール

第11回 LPBフォーラム[2019/03/08] 資料より抜粋

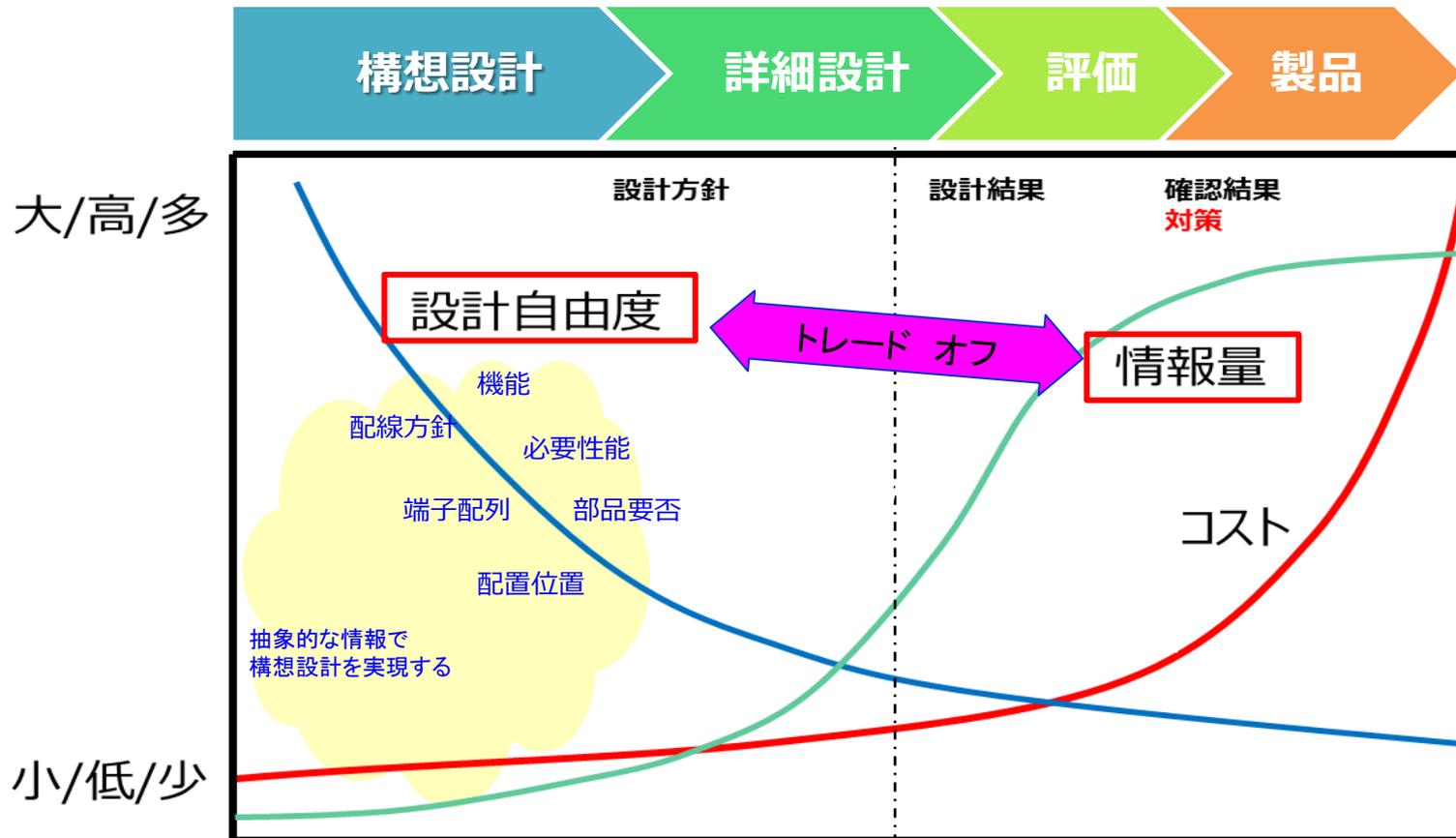
・設計エコシステム



LSI、Package、Boardの協調設計、統合Simを円滑化し、QCD最適化を実現する

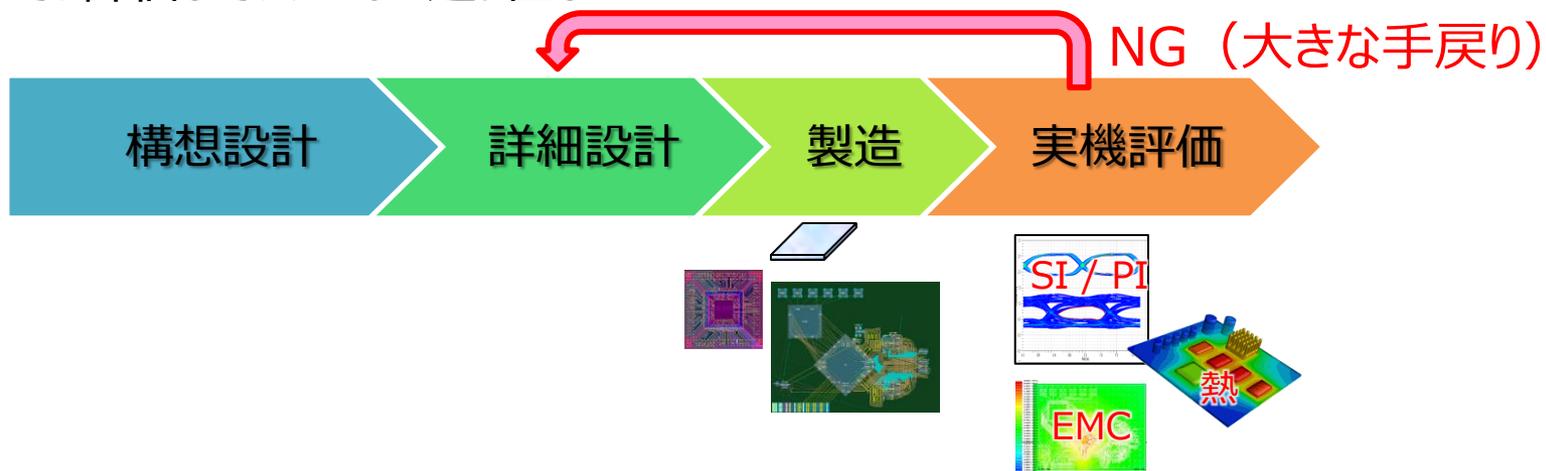
フロントローディング設計

設計自由度が高い上流で検討を行い、素早く最適な設計解に到達できる

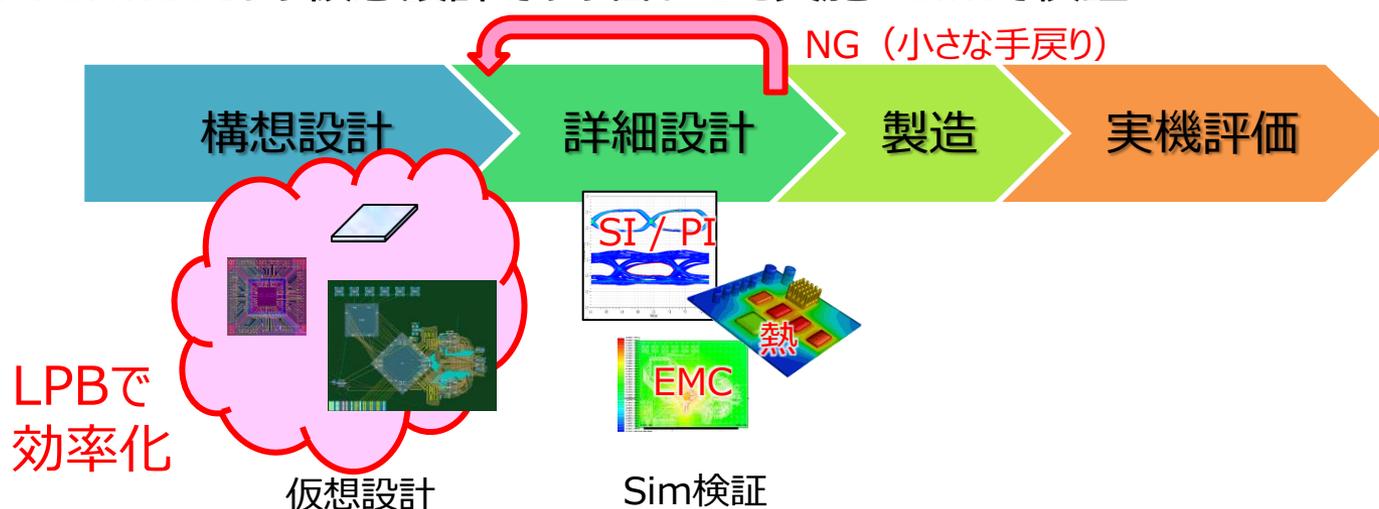


LPB Formatの狙い

【太古の昔】造って、評価して、ダメなら作り直し

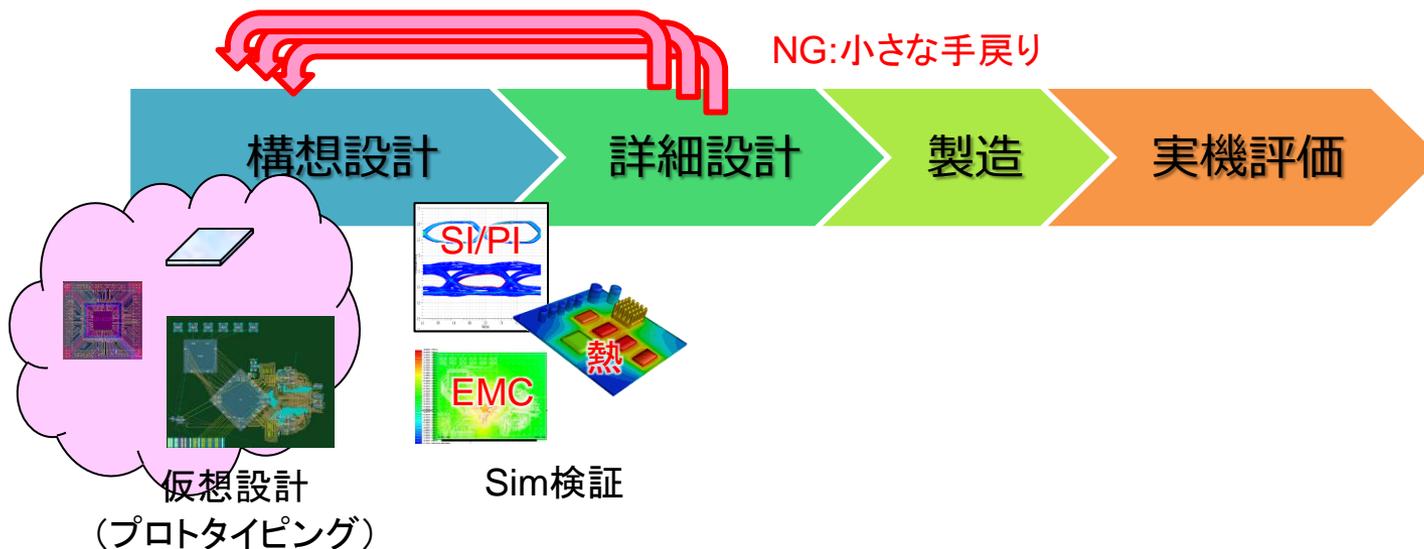


【LPB】LPB Formatにより仮想設計ですり合わせを実施 Simで検証



フロントローディングの課題

構想設計フェーズをなかなか抜け出せない

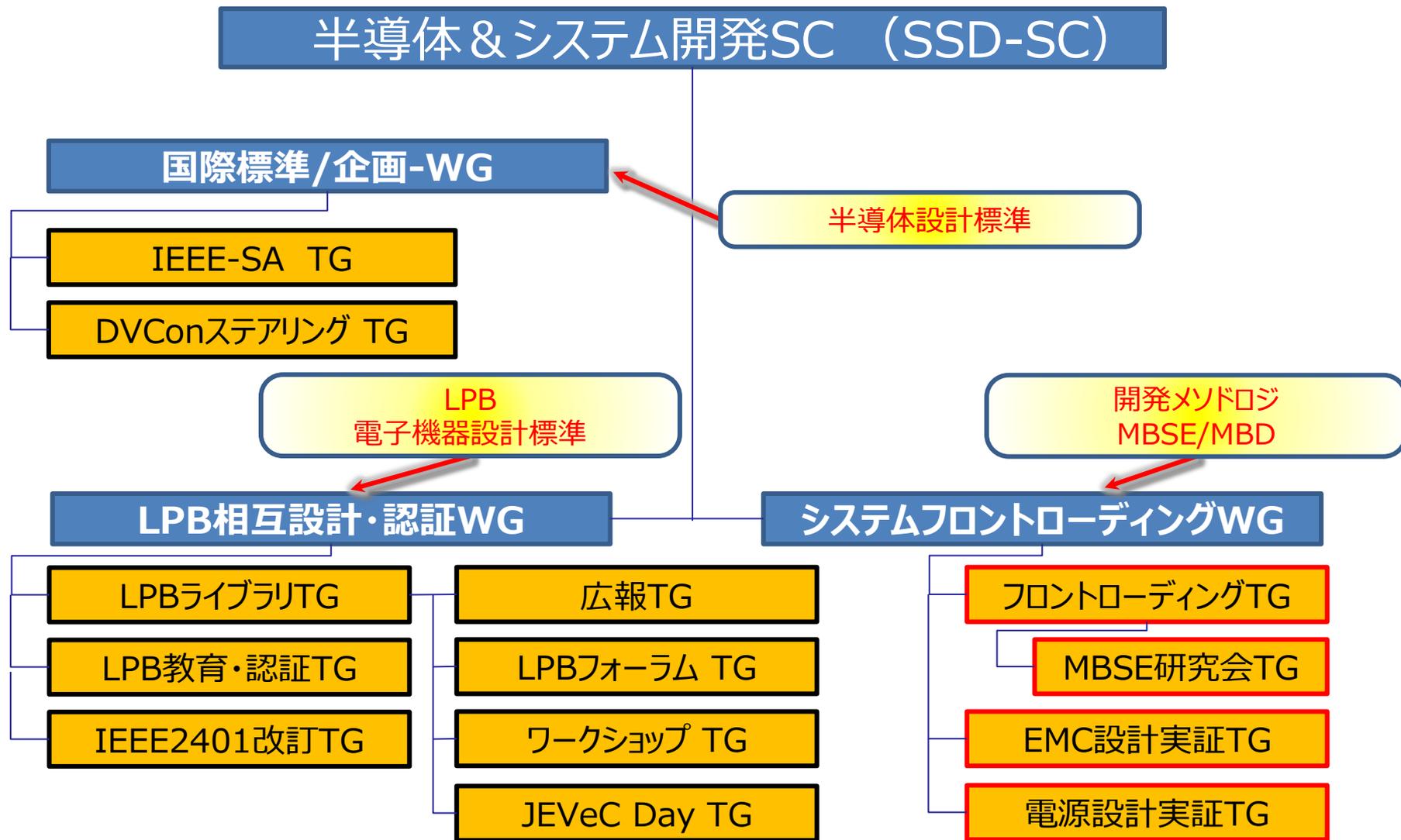


課題 1 : 技術レベルが上がっており、設計解を容易には見出せない

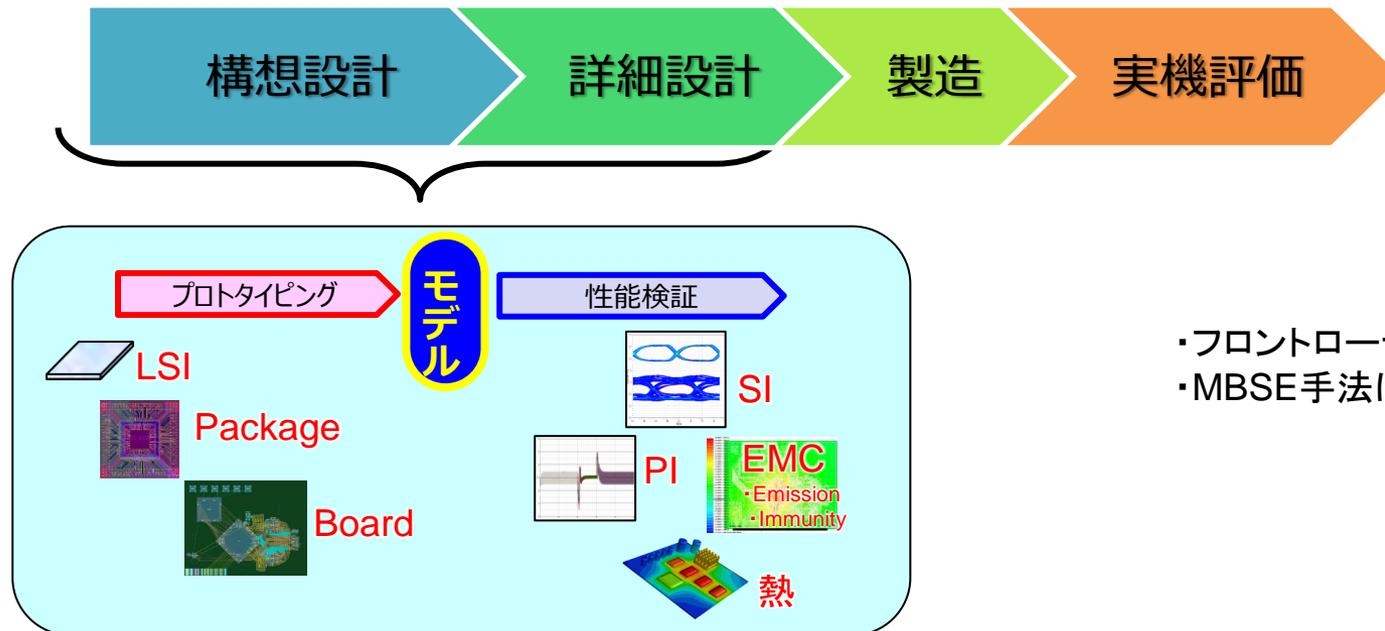
課題 2 : 技術領域によっては、Sim技術が確立しておらず、OK/NGの判断ができない

課題 3 : 必要な情報の流通性、入手性にまだまだ課題がある

SC/TG 構成



システムフロントローディングWG内 各TGの位置づけ



- ・フロントローディングフロー研究
- ・MBSE手法によるフロー分析

技術的切り口

電源設計実証TG

- ・電源回路の上流モデル/標準モデルを検討

EMC設計実証TG

- ・EMCモデルの実証（精度、流通性）

フローの切り口

フロントローディングTG

- ・フロントローディング化の効率化の研究

MBSE研究会TG

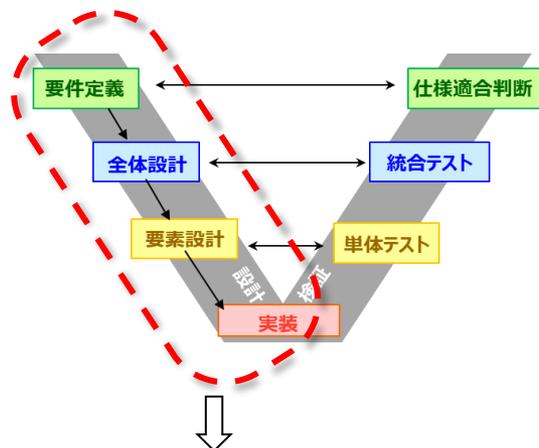
- ・MBSE手法との連携を議論

本Workshopの狙い

- ✓ 最終的には、EMC問題を解決する
フロントローディング 協調設計フローの作成を目指している
- ✓ EMCも含むフローを作成する際の幹となる
Signal Integrity (SI) と Power Integrity (PI) を
解決する協調設計フローについて議論する
- ✓ JEITA WG内での
SI、PIの協調設計フローについての議論を紹介しながら、
フロントローディング化について議論を進めたい
- ✓ MBSEを知っていただき、
協調設計での活用のアイデアを議論したい

本Workshopでの開発フローの定義

LSI開発を伴う電気ユニット開発Vモデル



製品の機能要件/非機能要件 から
電気ユニットの目標スペック (仕様) を導出

製品の機能要件

- ・読み取り解像度
- ・読み取り速度
- ・印刷速度 etc.

非機能要件

- ・開発要員
- ・製品発売日
- ・製造組み立て拠点 etc.

MFPOの例

【スペック案】

- ・DDR4-XXX
- ・USB3.2
- ・LVDS 8lane Cable1m
- ・
-
- ・トータルコスト
- ・サイズイメージ

プロトタイピング
L,P,B



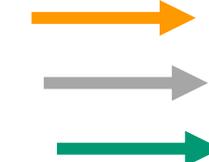
【形態案】

- LSI**
- ・On dieC
- Package**
- ・サイズ
 - ・Ball数、Pitch
- Baord**
- ・サイズ
 - ・層数 minL/S
 - ・Via

こんな感じで行けそう

LPB間 物理調整

各インプリ



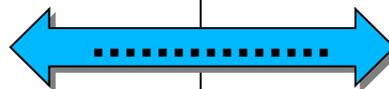
【設計データ】

- LSI
- Package
- PCB
- 各CADデータ

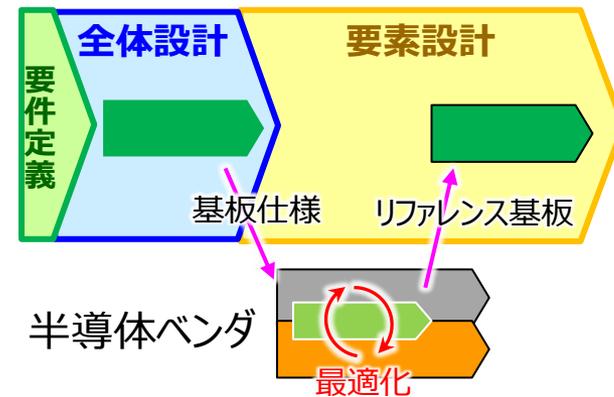
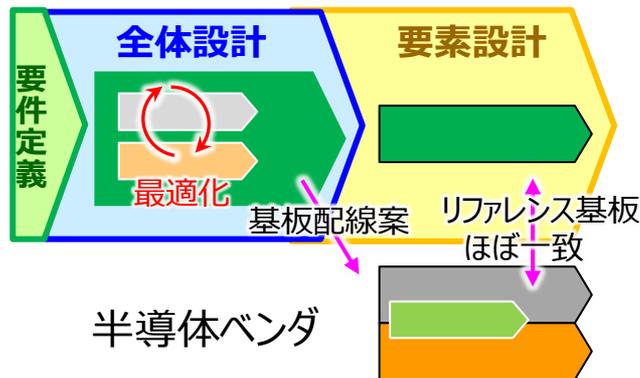


様々な 開発スタイル

セット主導型



デバイス主導型



- ▶ LSI
- ▶ Package
- ▶ Board

半導体ベンダ

半導体ベンダ

アドバンテージ

・セットメーカー主体でQCD最適化ができる

- ・要素設計時の手戻りリスクが低い
- ・セットメーカー 少開発リソースで実現

課題

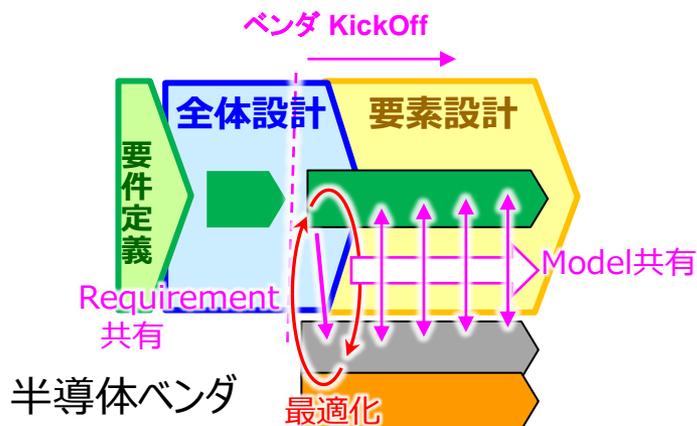
・全体設計に必要なLSI、Packageの
情報、モデルの入手が難しい

- ・セットメーカーが納得するQCDの最適化になっていない場合がある
→セット側のRequirementを伝えきれない

非機能要件（QCD、リソース[人、金、モノ]）の違いで様々な開発スタイルが存在する

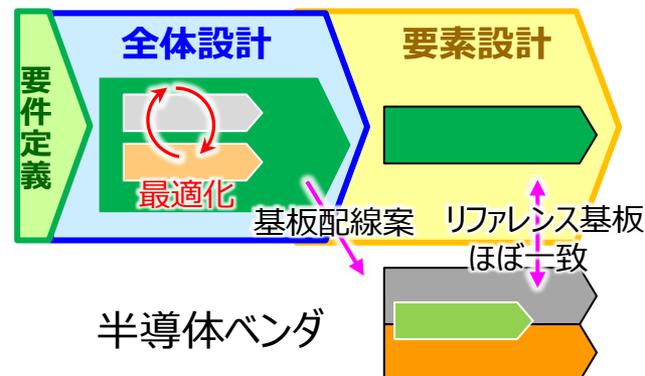
(仮) 目指す開発スタイル

セット - デバイス平行型

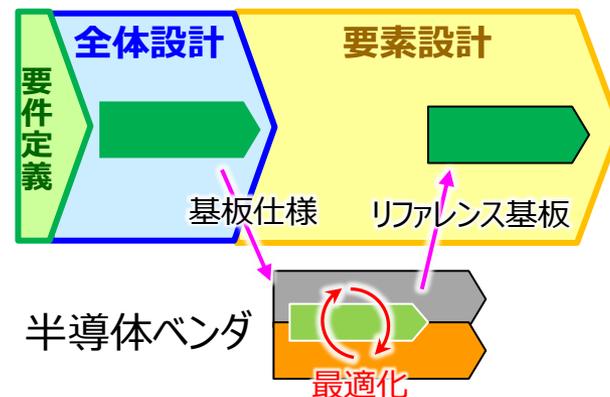


- LSI、Package情報が入手出来次第、Requirementも共有し素早く全体最適化を実施
- Board, LSI, Package平行設計により、開発期間を短縮

セット主導型

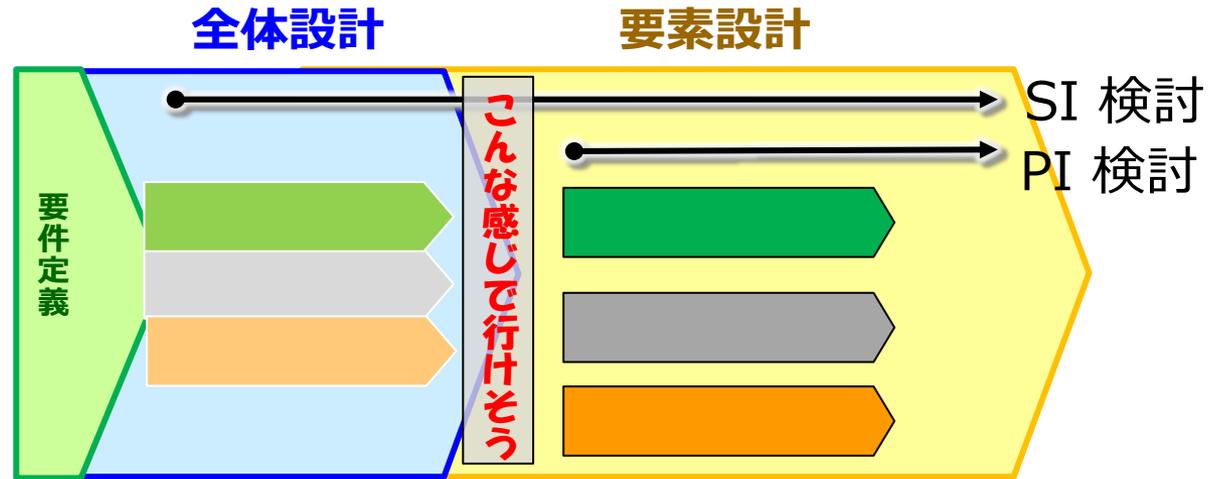


デバイス主導型



Requirement (機能/非機能) や モデルを円滑に共有することで両者で素早く最適化

SI と PI の違い



SIは全体設計時から検討が行われており、要素設計での手戻り発生リスクは低い
PIは全体設計が難しく、大きな手戻りが発生する事例がみられる

終わり