

ヘテロジニアスインテグレーションをみんなで考えよう

マルチチップインテグレーション調査TG

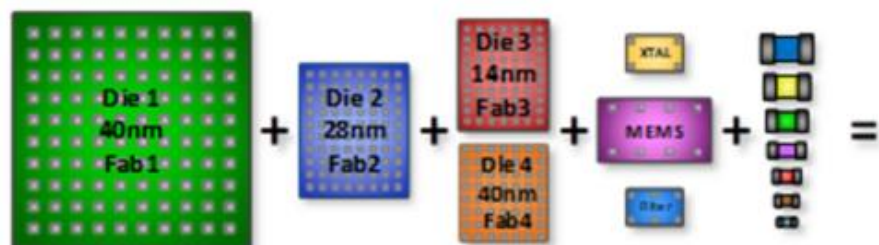
Multi Chip Integration Investigation Technical Group

主査 佐藤 ローム株式会社

1. はじめに
2. 23年度マルチチップインテグレーション調査TG活動サマリー
3. 調査報告
 - 標準化団体
 - TITAN Si²
 - CDX
 - UCle
 - IEEE EPS HIR (Heterogeneous Integration Roadmap)
 - Motivation of Heterogeneous Integration
 - Heterogeneous Integration Applications
 - Heterogeneous Integration Roadmap Contents
 - CHAPTER 5: AUTOMOTIVE
 - CHAPTER 10: INTEGRATED POWER ELECTRONICS
 - CHAPTER 13: CO DESIGN FOR HETEROGENEOUS INTEGRATION
 - CHAPTER 14: MODELING AND SIMULATION
4. まとめ

ヘテロジニアスインテグレーションとは？

Heterogeneous
(別々に製造されたコンポーネント)

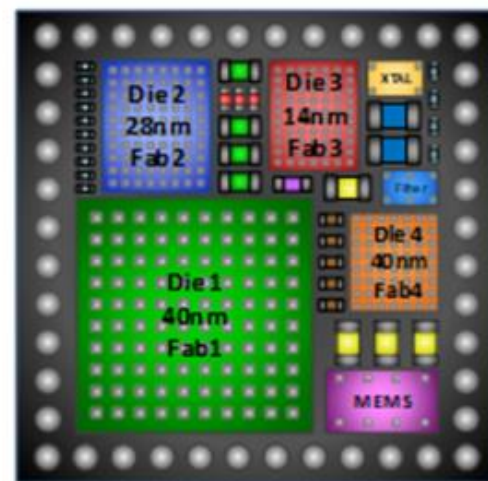


Chiplet

機能を分割した小さな半導体チップ

Die + Heterogeneous

Integration
(集積)



System in Package (SiP)

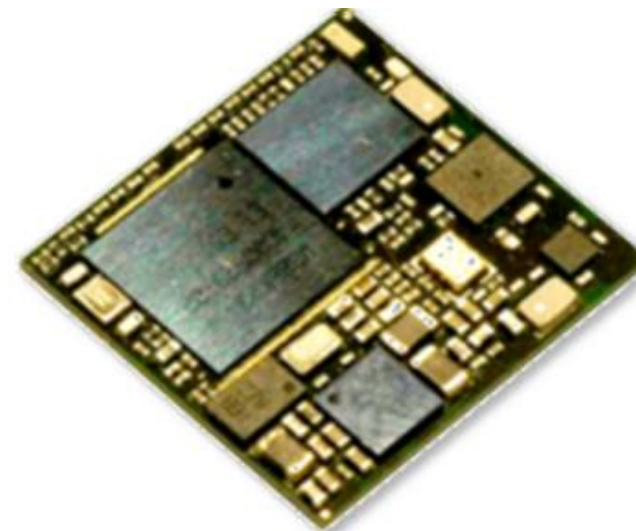


Figure 6. Heterogeneous Integration and System in Package (SiP). Source: ASE

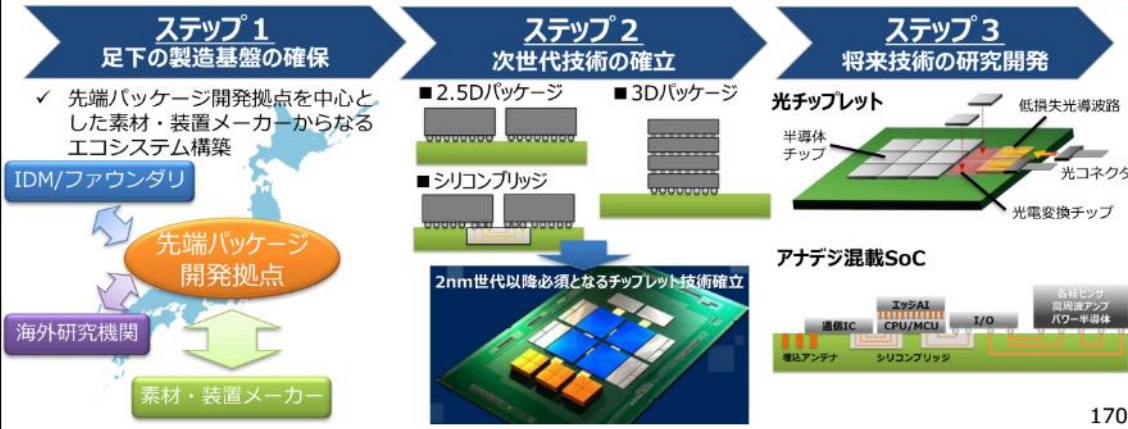
[出展：IEEE EPS HIR](#)

1. はじめに

経産省の半導体・デジタル戦略（1/2）

5. 個別戦略（1）半導体分野 先端パッケージ戦略

- ステップ1では、**素材・装置メーカーが集約する先端パッケージ開発拠点を設立**し、国内に点在するアカデミアなどのコンソーシアムを束ねて、先端集積・実装技術を創出するとともに、次世代の装置、素材を開発し、IDM/ファウンドリ等に提案。
- ステップ2では、2020年代後半以降に求められる2.5D/3Dパッケージング技術、シリコンブリッジ、ハイブリッドボンディングなどを開発し、**2nm世代以降で必須となるチップレット技術を確立**。
- ステップ3では、ゲームチェンジ技術として**光チップレット、デジタルチップとアナログチップを混載するアナデジ混載SoC技術**を確立。
- こうした先端パッケージング技術をグリーンデータセンター、基地局、自動運転等に社会実装。
- なお、レガシー領域の後工程についても、**台湾・マレーシア・メキシコ・インド等で、生産能力強化等の動きあり。特定国・地域への集中は避けるべきであり、分散することが望ましい。**



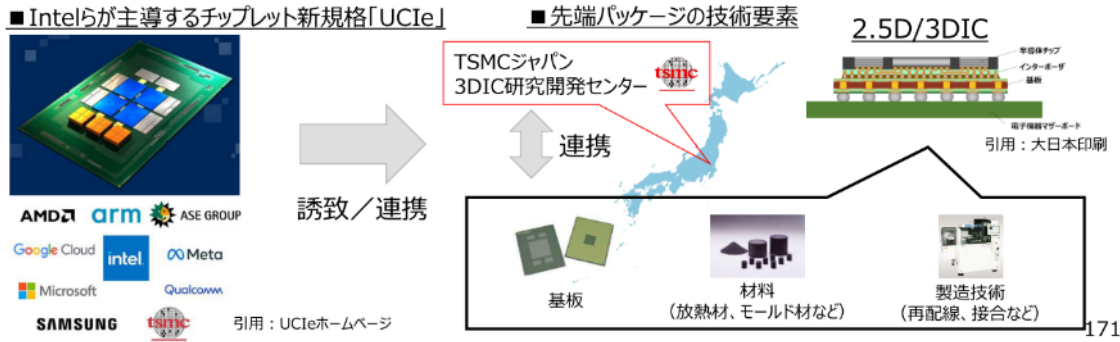
出展：経済産業省 半導体デジタル戦略 令和5年6月

2nm世代以降必須となるチップレット技術を確立

- 1chipの集積度ではMoore's lawについて行けない
- アナデジ混載SoC

5. 個別戦略（1）半導体分野 (参考) 先端パッケージ開発の先導・加速

- 半導体の高性能化に向けて、微細化とともに1つの基板上にロジック半導体とメモリなどを実装する**チップレット技術に注目が集まっている**。
- 2022年3月にはIntel, TSMC等がメンバーとなるチップレット標準化団体「**UCIe**」が設立するなど、取組が加速しているが、実現には**2.5D/3D実装技術等の進展が不可欠**。
- 我が国には**世界有数の基板、材料、装置メーカーが存在**しており、JOINT等のコンソーシアムも活用して強化を進める。
- 加えて、海外ファウンドリ・OSATとも連携して、**先端材料・装置及び先端製造技術開発を日本の地で進める**。



出展：経済産業省 半導体デジタル戦略 令和5年6月

2.5D/3D実装技術の進展が不可欠

- UCIeに注目

1. はじめに

経産省の半導体・デジタル戦略（2/2）

5. 個別戦略（1）半導体分野
（参考）国内に先端集積・実装クラスターハブ拠点を構築

- 半導体製造の**後工程（集積・実装）**分野は**素材・装置共に日本メーカーが高い技術とシェアを有しており、サプライチェーン強靱化や経済安全保障上の意味でも重要**。現在、世界中で開発が加速、**先端パッケージ技術が必要となる転換期**。
- 先端パッケージング技術には、高度な素材・実装技術等の開発が必要とされており、日本に多数存在し、**各工程単位で点在する素材・装置メーカーやアカデミアのコンソーシアムを上手く連携させることが重要**。
- 国内に多数存在する**アカデミアの各種コンソーシアム等を束ねる形で、先端集積・実装に関するパイロットラインを構築**。
- オープンプラットフォームとして開発した革新材料・装置等は**IDM/ファウンドリ等に提案**。

出展：経済産業省 半導体デジタル戦略 令和5年6月

先端集積・実装クラスターハブ拠点を構築

- LSTC先端パッケージ研究所を中心としたクラスターハブ構想

5. 個別戦略（1）半導体分野
（参考）アナデジ混載SoC

- シリコンブリッジ、ハイブリッドボンディング、三次元積層などの先端実装技術により、CPU/マイコン、エッジAIなどデジタル回路と、通信ICやセンサなどアナログデバイスを混載。
- イメージセンサやMEMSセンサとマイコン、エッジAI、通信ICを混載した、インテリジェント無線センサデバイスを自動運転モニタ、IoTエッジデバイス、生体イメージング/XRに応用。
- パワー半導体と高周波アンプ・フィルタとCPU、通信回路を混載した、5G及び6G小型基地局を実現。

出展：経済産業省 半導体デジタル戦略 令和5年6月

アナデジ混載SoC

- 日本の半導体メーカーが入れる領域？

JEITAでなにか標準化できることはないか？

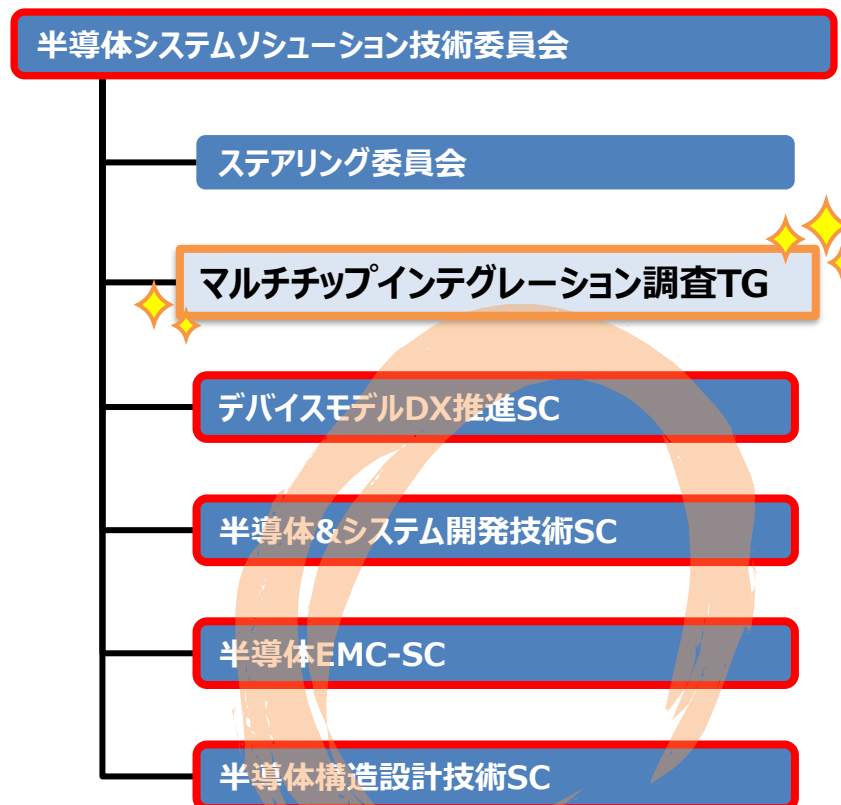
■ マルチチップインテグレーション調査TG発足

- 技術動向調査
- 勉強会
- 課題の抽出

■ 調査対象

- 設計環境
- 熱検証
- 構造Sim
- 評価・テスト手法
- 電気特性(EMI,SI,PI)
- 戦略
- サプライチェーン

■ 体制



4SC横断

1. はじめに
2. 23年度マルチチップインテグレーション調査TG活動サマリー
3. 調査報告
 - 標準化団体
 - TITAN Si²
 - CDX
 - UCJe
 - IEEE EPS HIR (Heterogeneous Integration Roadmap)
 - Motivation of Heterogeneous Integration
 - Heterogeneous Integration Applications
 - Heterogeneous Integration Roadmap Contents
 - CHAPTER 5: AUTOMOTIVE
 - CHAPTER 10: INTEGRATED POWER ELECTRONICS
 - CHAPTER 13: CO DESIGN FOR HETEROGENEOUS INTEGRATION
 - CHAPTER 14: MODELING AND SIMULATION
4. まとめ

マルチチップインテグレーション調査TGの活動

第1回 2023年4月19日（水） 14：15～17：00

ハイブリッド(JEITA会議室、WebEX)
ブレインストーミング

第2回 2023年5月17日（水） 10：00～12：00

WebEX
経産省資料読み合わせ

第3回 2023年6月19日（水） 16：00～18：00

ハイブリッド(ローム会議室、WebEX)
TITANビデオ視聴・UCIe資料読み合わせ

第4回 2023年7月19日（水） 10：00～12：00

ハイブリッド(JEITA会議室、WebEX)
EDAツールでできる事の紹介(シーメンスEDAジャパン眞篠さん)

第5回 2023年8月23日（水） 10：00～12：00

ハイブリッド(ローム会議室、WebEX)
第1回～4回のまとめ、今後の進め方について

第6回 2023年9月20日（水） 10：00～12：00

ハイブリッド(JEITA会議室、WebEX)
今後の進め方を南さん案をたたき台に議論する

第7回 2023年10月18日（水） 10：00～12：00

ハイブリッド(JEITA会議室、WebEX)
ITC2023におけるチップレットに関するトピックス展開・ソニーのパブリック資料展開

第8回 2023年11月29日（水） 10：00～12：00

ハイブリッド(ローム会議室、WebEX)
HIR資料の要約（Introduction）

第9回 2023年12月20日（水） 10：00～12：00

ハイブリッド(ローム会議室、WebEX)
HIR資料の要約（INTEGRATED POWER ELECTRONICS）

第10回 2024年01月17日（水） 10：00～12：00

ハイブリッド(JEITA会議室、WebEX)
HIR資料の要約（Automotive +
CO DESIGN FOR HETEROGENEOUS INTEGRATION）

第11回 2024年02月14日（水） 10：00～12：00

ハイブリッド(ローム会議室、WebEX)
HIR資料の要約（MODELING AND SIMULATION）

第12回 2024年03月13日（水） 10：00～12：00

ハイブリッド(JEITA会議室、WebEX)
24年度活動計画

TG会議を年間12回開催

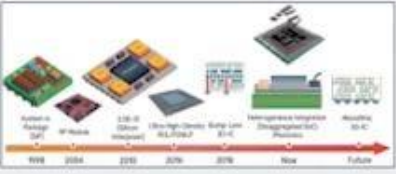
1. はじめに
2. 23年度マルチチップインテグレーション調査TG活動サマリー
3. 調査報告
 - 標準化団体
 - TITAN Si²
 - CDX
 - UCJe
 - IEEE EPS HIR (Heterogeneous Integration Roadmap)
 - Motivation of Heterogeneous Integration
 - Heterogeneous Integration Applications
 - Heterogeneous Integration Roadmap Contents
 - CHAPTER 5: AUTOMOTIVE
 - CHAPTER 10: INTEGRATED POWER ELECTRONICS
 - CHAPTER 13: CO DESIGN FOR HETEROGENEOUS INTEGRATION
 - CHAPTER 14: MODELING AND SIMULATION
4. まとめ

標準化団体

TITAN Si²

Top 3 Priorities for TITAN Satellites



Priority	Focus	Initiatives
1. 	Secure ProcEssEd Data API SPEED API (*)	- Methodology flows through database and data access layer "backend" - Application of RESTful API for interactions with RESTful web services, including cloud - Database and data query security challenges - Use of scripting for production translation/interoperability, i.e., Python, JSON
2. 	2.5 D/3D IC Interoperability Challenges	- Workflow for integrating heterogenous chiplets (2.5D/3D stacking, IP blocks, etc.) - Challenges in common standard for defining complex assembly design rules, e.g., bumps and dies for chiplets - Standardized API for layout validation (LV) features of different CAD tools and Workflows
3. 	Multi-vendor Data Management & Workflows (DMW) for Silicon-to-Systems	- Mission-critical Auto/IoT applications - Advanced flow debugging methodologies - Data reduction and efficient storing/mining

Si

(*) Multiple-choice Survey of TITAN Members Underway; Results to be published by DAC '22

9

スコープ

- 異種チップレットを統合するためのワークフロー
- チップレットの bumps・ダイ用の複雑なアセンブリルール
- 異なるCADツールで設計されたチップのレイアウト検証用標準API

出展 : TITAN ROUNDTABLE EVENT Friday, May 13, 2022

標準化団体

CDX (Chiplet Design Exchange)

Chiplet Design Exchange (CDX)

- CDX is a working group in the ODSA Project Group under Open Compute Group (OCP)
- Charter: Recommend standardized chiplet **models**, workflows and ecosystem
- Members: EDA, chiplet Providers, Assemblers & Integrators
- Recent Activities
 - Chiplet Design Kit Whitepaper (November 2021)
 - JEP30/CDXML chiplet part model (January 2023)
 - “Guide to Integration Workflows for Heterogeneous Chiplet Systems” (WIP)
 - 3DK Initiative (WIP)



OPEN DOMAIN
SPECIFIC
ARCHITECTURE



OCTOBER 17-19, 2023
SAN JOSE, CA

Scaling Innovation Through Collaboration

スコープ

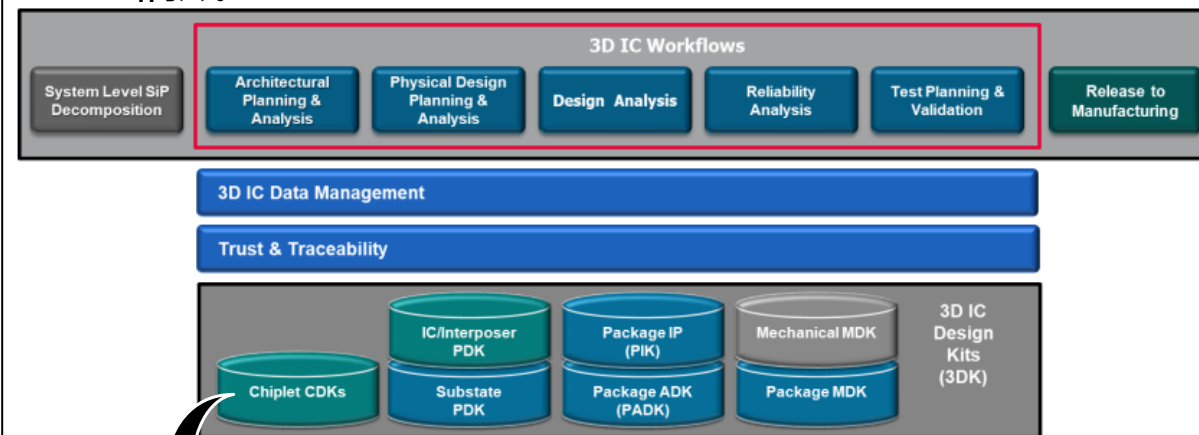
- 標準化されたチップレットモデル、ワークフロー、エコシステムの推奨
- Die-to-Dieインターフェイス等

Chiplet Design Kit(CDK)

Recommended chiplet models to support 3DIC integration

US Government Call for Standardized
Assembly Design Kits (ADKs)

CDX構成



Model	Description
Thermal	• ECXML – JEDEC JEP181
Physical & Mechanical	• Library Exchange Format (LEF) • GDSII or OASIS • JEDEC JEP30-P101/CDXML
Electrical/IO	• JEDEC JEP30-E101/CDXML
Behavioral	• SystemVerilog IEEE – 1800-2017 • Recommended: Verilog-AMS 2.4 • Optional: SystemC IEEE – 1666-2011 • Optional: Bus Functional Model (BFM)
Power	• Liberty (.LIB) • IEEE2416 Standard for Power Modeling • Optional: UPF – IEEE 1801-2018 or CPF • Optional: Verilog-AMS 2.4 • Optional: SystemC IEEE – 1666-2011
SI Analysis	• IBIS/IBIS AMI • Optional: Spice netlist (IO driver/receiver) • Optional: Channel model

Model	Description
PI Analysis	• Chip Power Model (CPM)
Static Timing Analysis	• Chiplet (.LIB)
Test	• BSDL – IEEE 1149.1/1149.6/1149.7 • ATPG model - Primitive/UDP based Verilog • Recommended: Internal JTAG (IJTAG) IEEE 1687 • Optional: IEEE-1500 Core Test Language (CTL) • Recommended: Gray-box level netlist • ATPG vectors - STIL (IEEE1450.1) or WGL • MBIST/repair vectors - STIL (IEEE1450.1) or WGL • Optional: UPF – IEEE 1801 or Chip Power Format • Optional: IP Firmware (if applicable)
Security	• Optional: Security Agent
Documentation and Guidelines	• General Chiplet Documentation • SiP Physical Integration guidelines • SiP Test guidelines • Optional: Firmware (if applicable) • Optional: Security

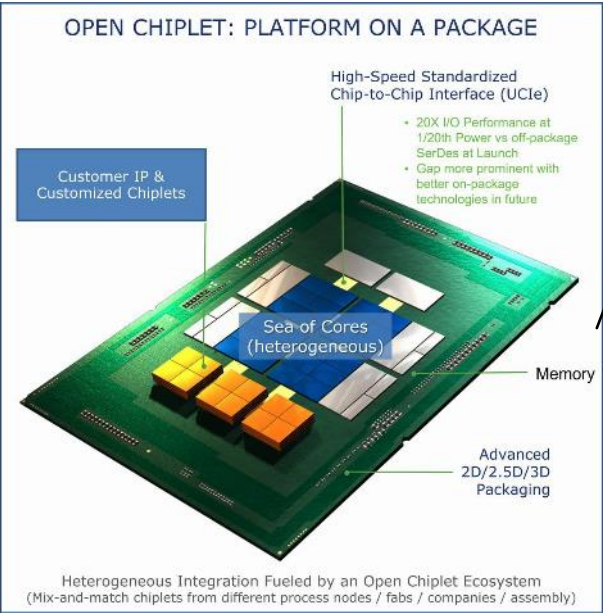
出展 : OCP CDX-3DIC-Design-KITS.pdf

標準化団体

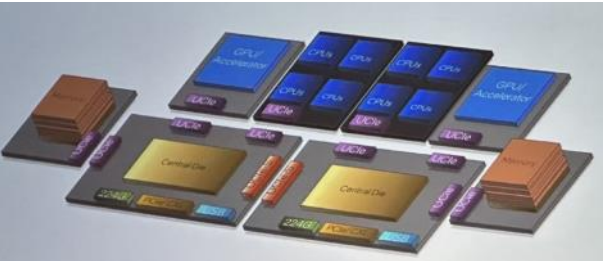
UCIe (Universal Chiplet Interconnect Express)

Chip-to-Chip, Die-to-Die間の高速インターフェイスを通信プロトコルを含めて標準化

Chip-to-Chip通信



Die-to-Die通信



UCIe 1.0/1.1 Characteristics and Key Metrics

CHARACTERISTICS	STANDARD PACKAGE	ADVANCED PACKAGE	COMMENTS
Data Rate (GT/s)	4, 8, 12, 16, 24, 32		Lower speeds must be supported -Interop (e.g., 4, 8, 12 for 12G device)
Width (each cluster)	16	64	Width degradation in Standard, spare lanes in Advanced
Bump Pitch (um)	100 - 130	25 - 55	Interoperate across bump pitches in each package type across nodes
Channel Reach (mm)	<= 25	<= 2	

KPIs / TARGET FOR KEY METRICS	STANDARD PACKAGE	ADVANCED PACKAGE	COMMENTS
B/W Shoreline (GB/s/mm)	28 - 224	165 - 1317	Conservatively estimated: AP: 45u; Standard: 110u; Proportionate to data rate (4G - 32G)
B/W Density (GB/s/mm ²)	22-125	188-1350	
Power Efficiency target (pJ/b)	0.5	0.25	
Low-power entry/exit latency	0.5ns <=16G, 0.5-1ns >=24G		Power savings estimated at >= 85%
Latency (Tx + Rx)	< 2ns		Includes D2D Adapter and PHY (FDI to bump and back)
Reliability (FIT)	0 < FIT (Failure In Time) << 1		FIT: #failures in a billion hours (expecting ~1E-30) w/ UCIe Flit Mode

UCIe 1.0/1.1 delivers the best KPIs - meets the projected needs for the next 5-6 years across the compute continuum.

↑ 出展：ITC2023 Keynote
On-Package Chiplet Innovations with Universal Chiplet Interconnect Express(UCIe):Challenges and Opportunities

出展：UCIe

1. はじめに
2. 23年度マルチチップインテグレーション調査TG活動サマリー
3. 調査報告
 - 標準化団体
 - TITAN Si²
 - CDX
 - UCIE
 - IEEE EPS HIR (Heterogeneous Integration Roadmap)
 - Motivation of Heterogeneous Integration
 - Heterogeneous Integration Applications
 - Heterogeneous Integration Roadmap Contents
 - CHAPTER 5: AUTOMOTIVE
 - CHAPTER 10: INTEGRATED POWER ELECTRONICS
 - CHAPTER 13: CO DESIGN FOR HETEROGENEOUS INTEGRATION
 - CHAPTER 14: MODELING AND SIMULATION
4. まとめ

IEEE EPS HIR (Heterogeneous Integration Roadmap)



エレクトロニクス業界に長期的なビジョンを提供

- 将来の困難な課題と潜在的な解決策を推定
- 世界の展望と戦略的技術要件を包括的に把握

対象

専門家、産業界、学术界、研究機関

ロードマップ

今後 15 年間のエレクトロニクス業界の進化を分析し、25 年のビジョンを提供

- 新しいデバイスと新しい材料の統合するための長期的な研究開発スケジュールを立てることができる
- 業界のコラボレーションにより進歩のペースを加速する

HIR チーム

エレクトロニクスエコシステムの複雑さに関する22のテクニカルワーキンググループで構成
(産業界、学界、組織全体から重要な専門家を集めたボランティア活動)

スポンサー

IEEE(Electronics Packaging Society、Electron Devices Society、Photonics Society)、SEMI、ASME EPPD

IEEE EPS HIR (Heterogeneous Integration Roadmap)

Motivation of Heterogeneous Integration

❌ ムーアの法則が頭打ちに

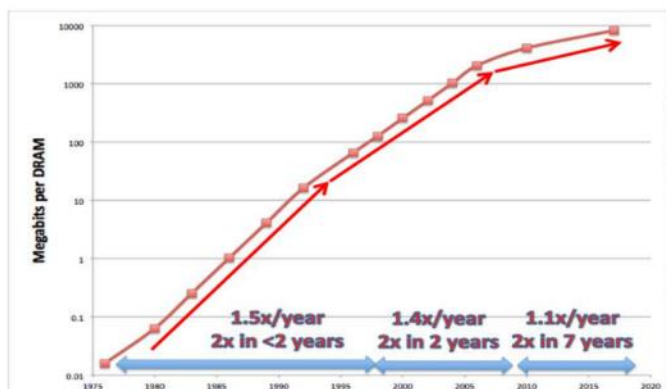
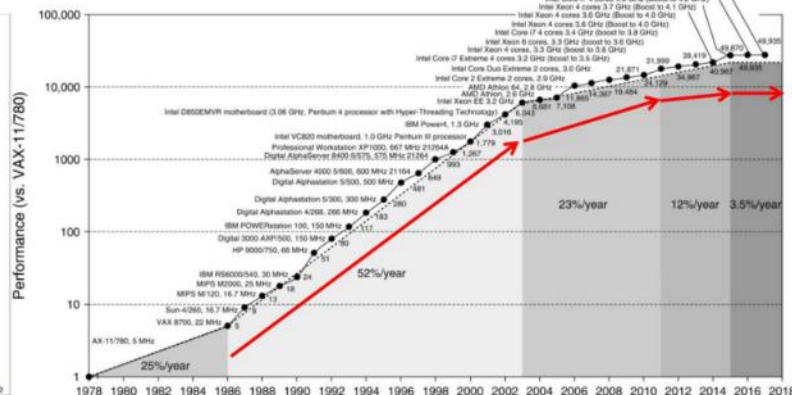
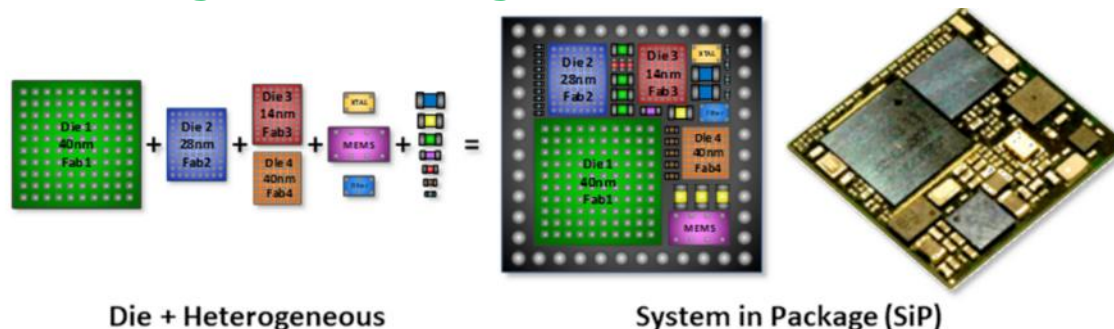


Figure 2. Plateauing of DRAM Density, and Computing Performance. Source: J Hennessy, ERI Conf July 2018

❌ 微細化によりDieコスト上昇
September, 2019

✅ 解決策

Heterogeneous Integration



Die + Heterogeneous

System in Package (SiP)

ムーアの法則のスケールが遠い未来まで拡大する

Benefit

- より高いパフォーマンス
- より低いレイテンシー
- 小型化
- 軽量化
- 機能あたりの電力の低減
- 歩留まり向上によるコストの削減

出展：IEEE EPS HIR

IEEE EPS HIR (Heterogeneous Integration Roadmap)

Heterogeneous Integration Applications

1) AMD's Fiji GPU with 4 HBM for Gaming Application

September, 2019

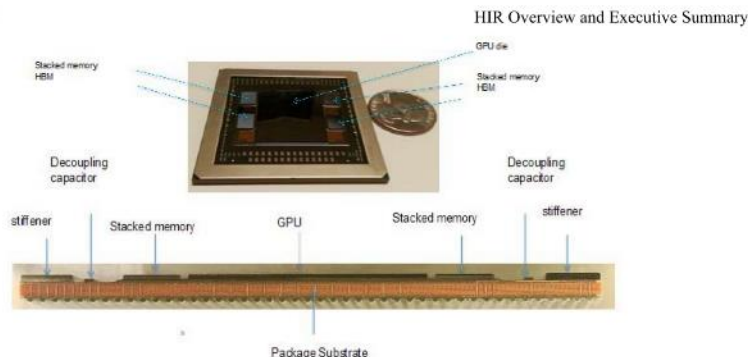


Figure 7. AMD Fiji GPU-HBM Si Interposer 2.5D Package. Source: ASE

4つのHBMを搭載したAMDのフィジーGPU
ASEで最初に2016年にゲームアプリケーション向けに
生産されている

2) Intel's Agilex FPGA in a chiplet application

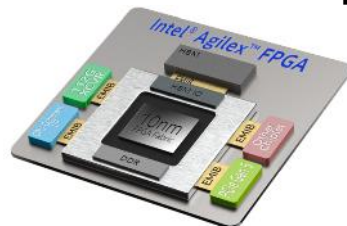


Figure 8. Intel Agilex FPGA Chiplet application. Source: Intel

組み込みマルチダイインターコネクトブリッジ (EMIB)
テクノロジーが適用されている

AMD's EPYC Server Processors

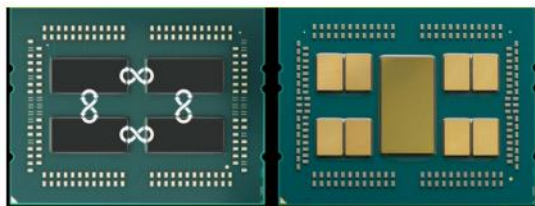


Figure 9. AMD EPYC Server Processors. Source: AMD [6]

大規模なモノリシック SoC をより小さな SoC に分割
AMDがシリコンインターポージャー上で初めて実証した

出展：IEEE EPS HIR

IEEE EPS HIR (Heterogeneous Integration Roadmap)

Heterogeneous Integration Applications

- 3) The CHIPS program is an important part of the DARPA Electronics Resurgence Initiative (ERI) helping drive HI.

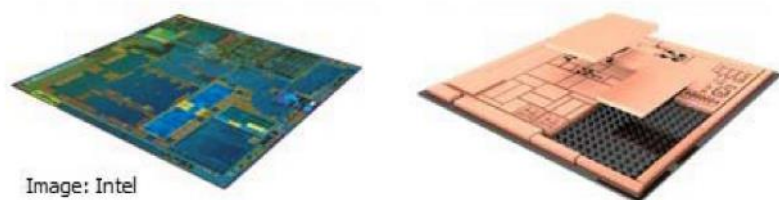
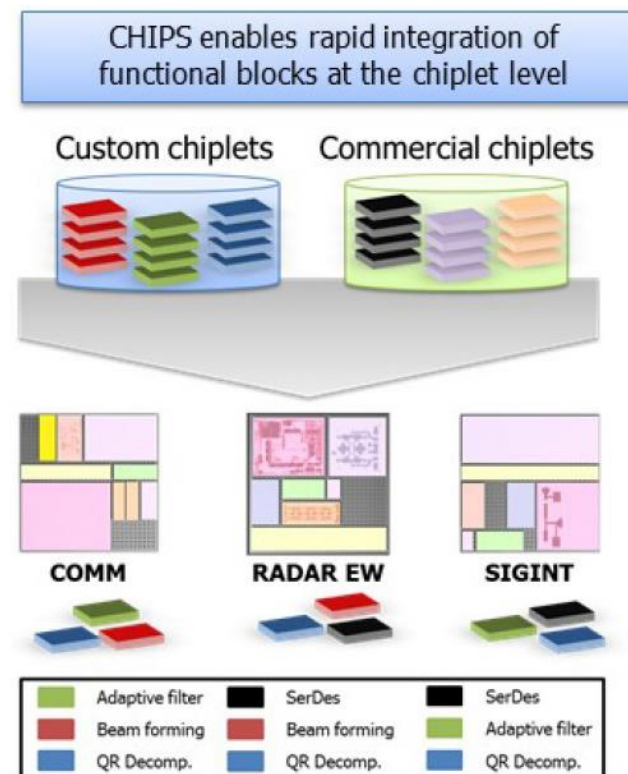
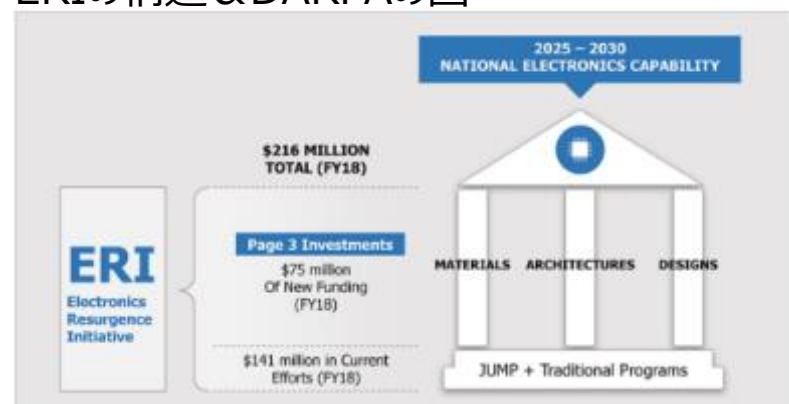


Figure 10. DARPA CHIPS Program. Source: DARPA



ERIの構造 & DARPAの図



既存および新規のIPブロックを使用してシステムを組み立てることができる、個別のモジュラーIPブロックのエコシステム統合テクノロジー

*JUMP : Joint University Microelectronics Program

出展 : IEEE EPS HIR

IEEE EPS HIR (Heterogeneous Integration Roadmap)

Heterogeneous Integration Applications

4) For Smart Phone

Apple A12 Processor



Samsung EXYNOS 9810



Huawei HiSilicon Kirin 980



Figure 11. Three examples of Package on Package [PoP] in Smart Phone Teardowns.

Source: Prismak Partners & Bingahmton University

スマートフォン業界

何世代にもわたって SiP の使用において Heterogeneous Integration テクノロジーをいち早く採用
小型化、共同設計のためのモジュール性、および世代間の強化

出展：IEEE EPS HIR

IEEE EPS HIR (Heterogeneous Integration Roadmap)

Heterogeneous Integration Applications

5) WLP Fan-In and Fan-Out

製造時に2つのダイが近接して配置された基板上のファンアウトチップ。

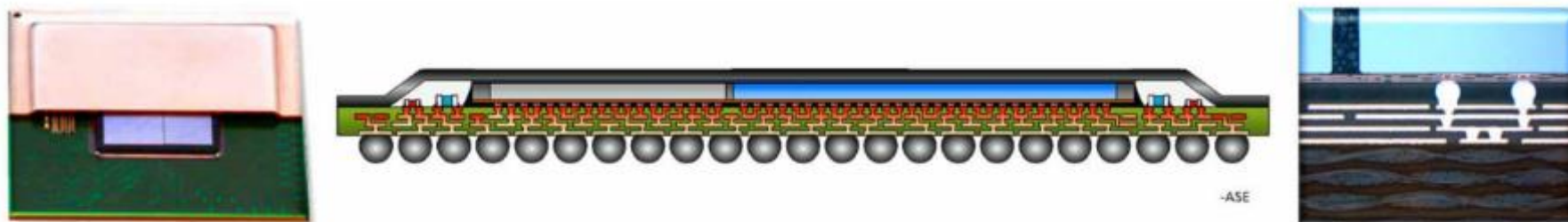


Figure 12. Fan-Out Chip on Substrate (HIR WLP Chapter, Figure 9)

6) 3D Multi-stack (MUST) system integration technology



Figure 13. Fan-Out Multi-Stack integration (TSMC MiM). (WLP Chapter Figure 38, and ECTC 2019)

IEEE EPS HIR (Heterogeneous Integration Roadmap)

Heterogeneous Integration Applications

- 7) The SiP integration of Wide-Band-Gap (WBG) power semiconductors such as silicon carbide (SiC) and gallium-nitride

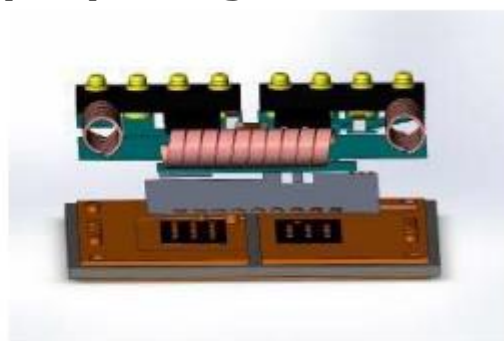
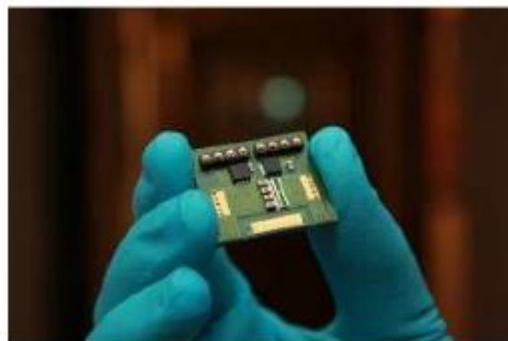


Figure 14. Example of EMI-optimized SiP SiC Module. Source: Fraunhofer IZM

組み込みSiCモジュール

非常に低い寄生インダクタンス

非常に優れた高速スイッチング

フェイスアップおよび反転されたダイが基板に組み立てられ、

エポキシプリプレグ層に埋め込まれる

8) Samsung Galaxy S10

SAMSUNG GALAXY S10 mmWave 5G ANTENNA MODULES

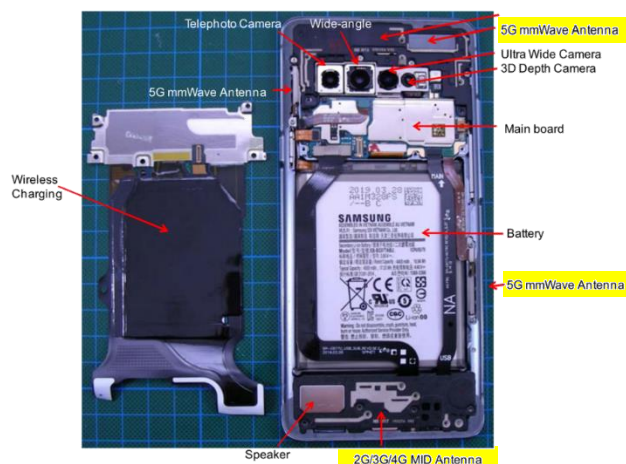


Figure 15. Samsung Galaxy 10 teardown showing 5G antennas. Source: Prismak Partners & Bingahmton University

3つの異なるアンテナモジュールがフレームの周囲に配置されており、フレームの底部近くに2G/3G/4Gアンテナモジュールがある

IEEE EPS HIR (Heterogeneous Integration Roadmap)

Heterogeneous Integration Roadmap Contents

CHAPTER 1	: HETEROGENEOUS INTEGRATION ROADMAP – OVERVIEW
CHAPTER 2	: HIGH PERFORMANCE COMPUTING AND DATA CENTERS
CHAPTER 3	: THE INTERNET OF THINGS (IOT)
CHAPTER 4	: MEDICAL, HEALTH & WEARABLES
CHAPTER 5	: AUTOMOTIVE
CHAPTER 6	: AEROSPACE AND DEFENSE
CHAPTER 7	: MOBILE
CHAPTER 8	: SINGLE CHIP AND MULTI CHIP INTEGRATION
CHAPTER 9	: INTEGRATED PHOTONICS
CHAPTER 10	: INTEGRATED POWER ELECTRONICS
CHAPTER 11	: MEMS AND SENSOR INTEGRATION
CHAPTER 12	: 5G COMMUNICATIONS
CHAPTER 13	: CO DESIGN FOR HETEROGENEOUS INTEGRATION
CHAPTER 14	: MODELING AND SIMULATION
CHAPTER 15	: MATERIALS AND EMERGING RESEARCH MATERIALS
CHAPTER 16	: EMERGING RESEARCH DEVICES
CHAPTER 17	: TEST TECHNOLOGY
CHAPTER 18	: SUPPLY CHAIN
CHAPTER 19	: SECURITY
CHAPTER 20	: THERMAL
CHAPTER 21	: SIP AND MODULE SYSTEM INTEGRATION
CHAPTER 22	: INTERCONNECTS FOR 2D AND 3D ARCHITECTURES
CHAPTER 23	: WAFER-LEVEL PACKAGING (WLP)



ハイライト部を調査

出展 : IEEE EPS HIR

IEEE EPS HIR (Heterogeneous Integration Roadmap)

CHAPTER 5: AUTOMOTIVE

Pickup : Radar

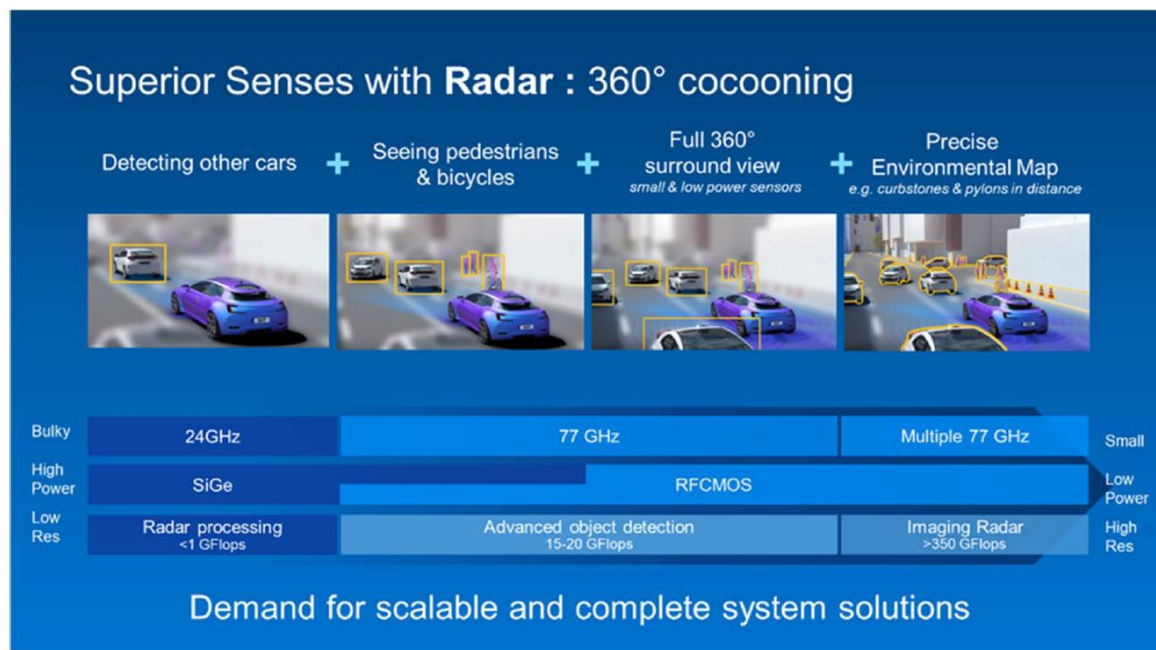


Figure 14. Superior Sensing with Radar

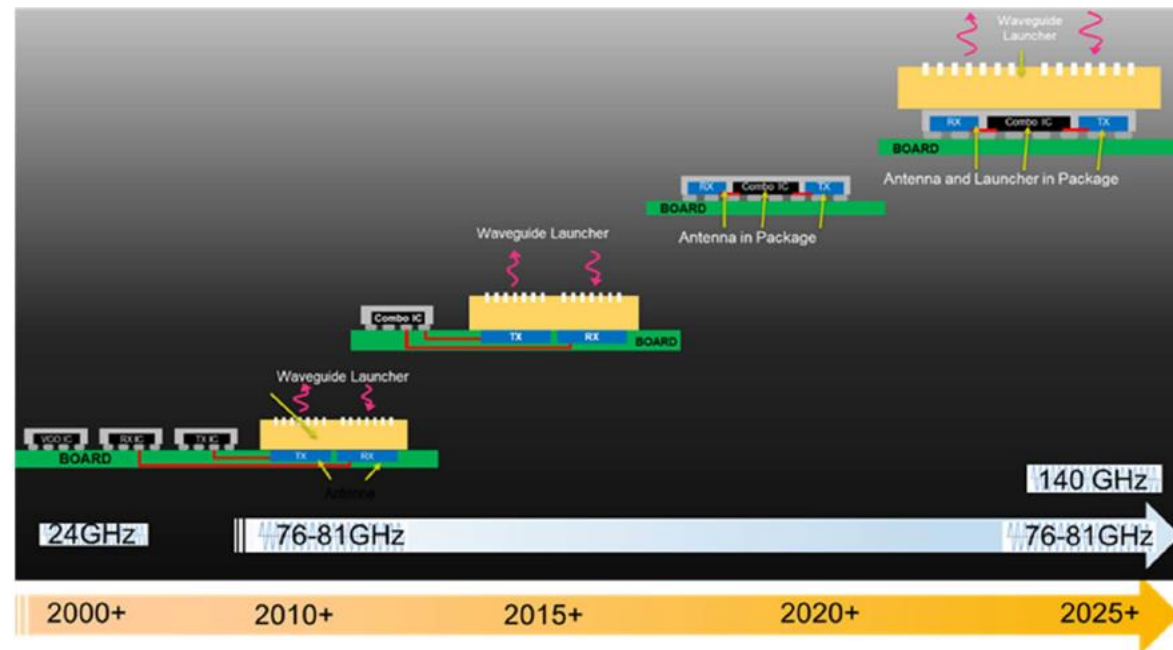


Figure 20. RF Frequency Evolution and Radar Module Evolution

IEEE EPS HIR (Heterogeneous Integration Roadmap)

CHAPTER 10: INTEGRATED POWER ELECTRONICS

Pickup : SiP Module

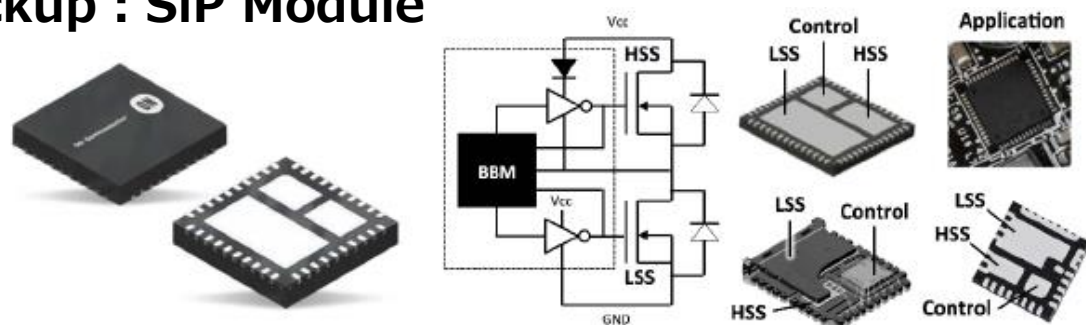


Figure II-6: Control, high-side switch and low-side switch integration in leadframe packages.

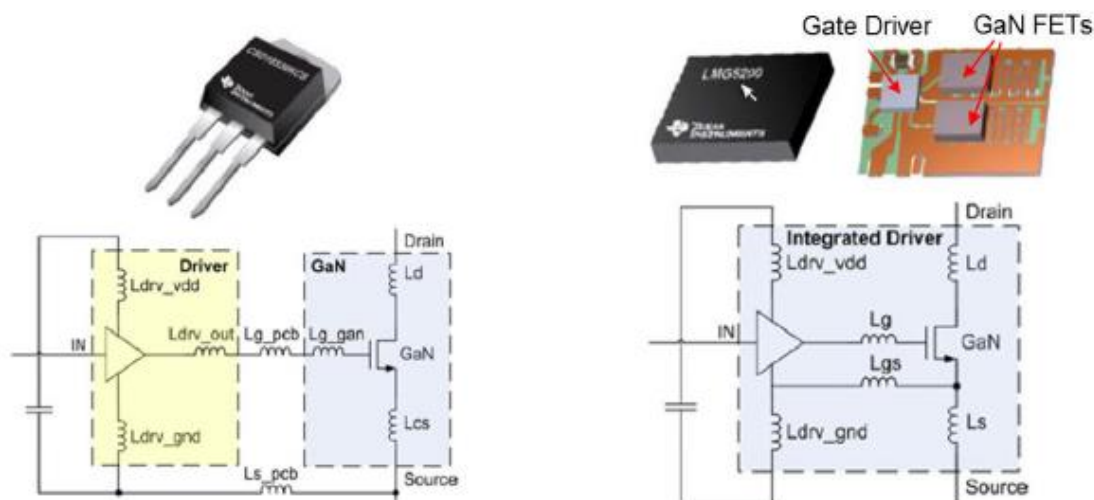


Figure II-7: Integrated GaN drivers and switches on the same package.

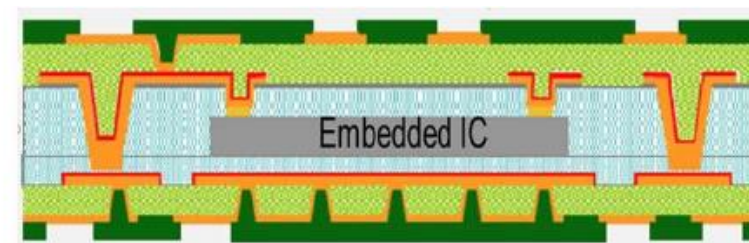
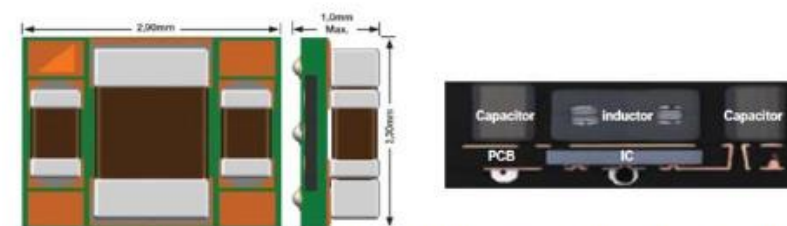
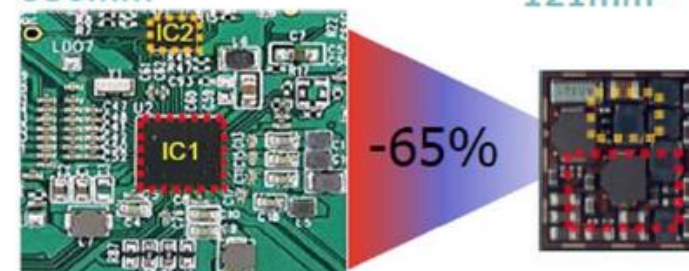
Discrete Solution
350mm²SESUB Module
121mm²

Figure II-11. Texas Instruments' MicroSiP DC-DC module [14] and TDK's SESUB Package.

出展：IEEE EPS HIR

IEEE EPS HIR (Heterogeneous Integration Roadmap)

CHAPTER 13: CO DESIGN FOR HETEROGENEOUS INTEGRATION

Pickup : System Co-Design

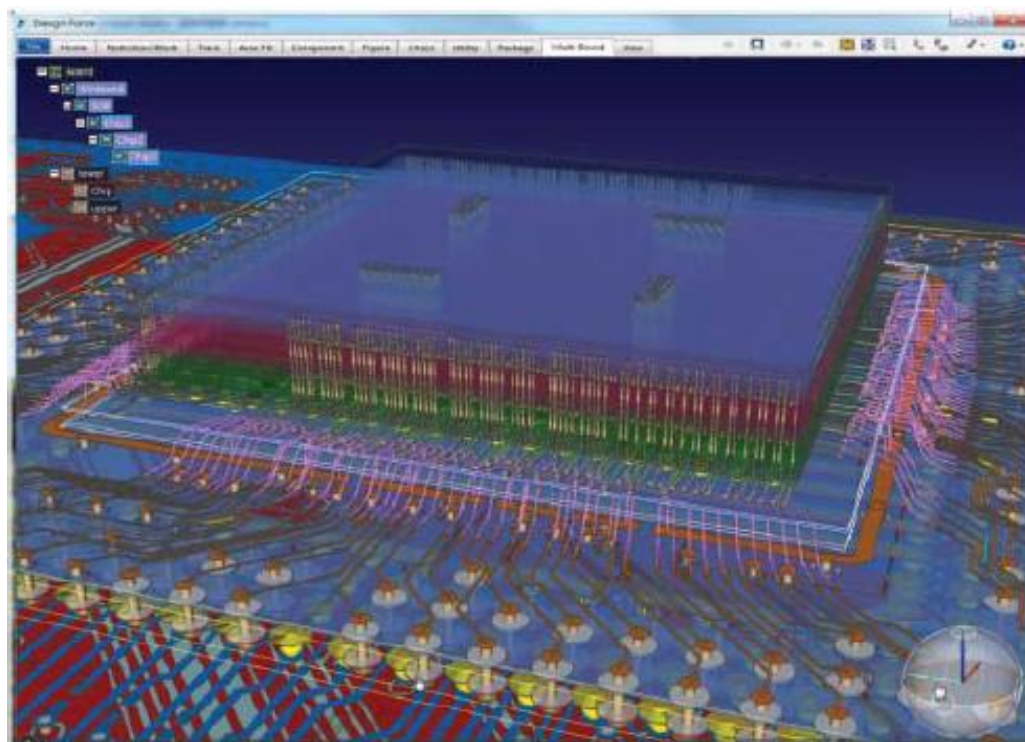


Figure 1. Domains in Co-Design Environment (Source [1]).

LSIの設計

PackageやBoardを考慮していない

Heterogeneous Integrationの設計

LPB協調設計が必要

- 物理的および論理的な相互作用に関する制約を満たす
- LSI、Package、Board(PCB)の組み立ておよび最適化

IEEE EPS HIR (Heterogeneous Integration Roadmap)

CHAPTER 14: MODELING AND SIMULATION

Pickup : Multi-Physics / Scale Modelling and Simulation



Figure 1: Supporting the Knowledge Base for Heterogeneous Integration

現在のM&S解析

- 単一物理（電気、光学、熱、機械、化学）
- 単一ドメイン（ダイ、パッケージ、またはボード/システム）

Heterogeneous IntegrationのM&S解析

- マルチフィジックス/スケール機能
- ダイ-パッケージ-ボード/システム協調設計システム

1. はじめに
2. 23年度マルチチップインテグレーション調査TG活動サマリー
3. 調査報告
 - 標準化団体
 - TITAN Si²
 - CDX
 - UCIE
 - IEEE EPS HIR (Heterogeneous Integration Roadmap)
 - Motivation of Heterogeneous Integration
 - Heterogeneous Integration Applications
 - Heterogeneous Integration Roadmap Contents
 - CHAPTER 5: AUTOMOTIVE
 - CHAPTER 10: INTEGRATED POWER ELECTRONICS
 - CHAPTER 13: CO DESIGN FOR HETEROGENEOUS INTEGRATION
 - CHAPTER 14: MODELING AND SIMULATION
4. まとめ

23年度Heterogeneous Integration調査のまとめ

- **Heterogeneous Integrationのメリット**
 - より高いパフォーマンス
 - より低いレイテンシー
 - 小型化
 - 軽量化
 - 機能あたりの電力の低減
 - 歩留まり向上によるコストの削減
- **Heterogeneous Integrationの課題**
 - LPB協調設計（SI、PI、EMC、熱）
 - マルチフィジックスM&S環境（＝連成解析）
 - パッケージの反りや放熱の問題の解決
 - 組立技術
 - 組立コスト

24年度活動計画

- 世界の動向の継続的観察と調査
- HIR資料の調査継続
- 標準化活動の検討
- 日本の事業への有効性考察としてケーススタディ実施
- アライアンス参加検討およびパートナー見極め

みなさん、一緒に活動しませんか！

参加企業募集中