

AI・チップレット等先端半導体 パッケージング構造設計の現状と課題

2025-03-07

JEITA 半導体標準化専門委員会
システムソリューション技術委員会 主査
構造設計サブコミティ 主査

吉田浩芳(大阪大学)

なぜ半導体パッケージングが重要か

AI・半導体関連支援策の方針

- AI・半導体への投資は、他のあらゆる産業の発展やGX等の社会課題解決に不可欠であり、地域の中小企業も含め幅広く波及。
- このため、生成AI・半導体支援に対し、必要な財源を確保しながら、複数年度に渡り大規模かつ戦略的に支援を行う。
- これを通じ、2030年15兆円の売上高目標を上回るよう、官民合計約50兆円の関連設備投資を誘発し、また、半導体生産等に伴う約160兆円の経済波及効果を実現していく。
- 加えて、AI・半導体の国内供給力強化を通じた産業全般の競争力強化を図る。

政府の支援により動き出している大規模な国内投資案件 (半導体関係)



国内の半導体関連売上の推移と目標

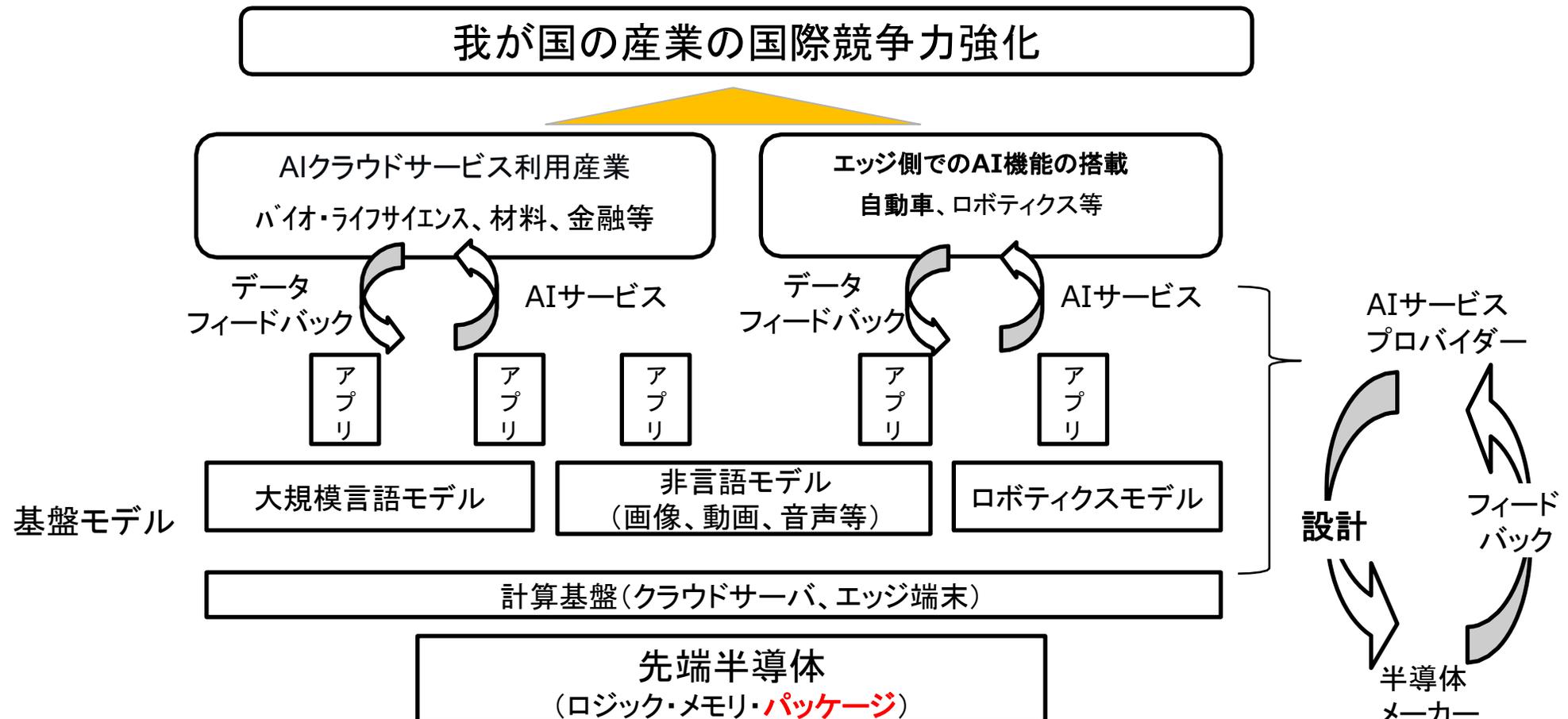
- 2030年に、国内で半導体を生産する企業の合計売上高 (半導体関連) として、15兆円超を実現し、我が国の半導体の安定的な供給を確保する。



(出典) 実績分については、世界全体売上はOMDIA、日本国内売上は経済産業省「工業統計調査」「経済センサス」、「経済構造実態調査」の品目別出荷額の集計、出荷額については、半導体関連(半導体素子、光電変換素子、集積回路)及び「他に分類されない電子部品・デバイス・電子回路」のうち半導体関連品目を出荷額ベースで按じた値の合計。

AI・最先端半導体技術を起点にした経済成長の実現に向けたエコシステム

- クラウドを利用した生成AIの提供・利活用拡大と、自動車をはじめとするエッジ領域でのAI機能の搭載の両面で、「AIの高度化」と「消費電力の削減」を最適化するハード・先端半導体の産業基盤の確保とソフト・生成AIの開発力の向上が設計プロセスを通じて相互円滑に機能していくためのエコシステム作りこそが、今後の産業の国際競争力にとっては不可欠。特に人口減少・少子高齢化により人手不足経済化に直面する我が国は、AIの活用による自動化の進展が急務。



出典 経産省資料

重要・新興技術に関する輸出管理品目等の改正

我が国は、**国際的な協調の下**、外為法に基づく厳格な輸出管理を実施している。

この方針の下、責任ある技術保有国として、**重要・新興技術の軍事転用を防止**するため、**国際的な状況も踏まえ、重要・新興技術に関する先端品目の追加等**輸出管理品目の改正を行う。併せて、半導体製造用の一部の貨物等について、輸出許可手続きの合理化等を行う。

先端半導体関連品目（15品目）、量子コンピュータ関連品目（4品目）、その他の品目（2品目）について、**全地域を対象**に輸出管理の対象に追加する。

1月31日にパブコメを開始。5月末の施行を予定。

【追加を行おうとする輸出管理品目】

先端半導体関連品目 15品目（半導体製造装置10品目、技術3品目、その他2品目）
量子コンピュータ関連品目 4品目（極低温冷凍機等重要部品3品目、材料1品目）
その他の品目（金属積層造形装置、高温コーティング技術） 2品目

【管理対象となる仕向地】

全地域

【スケジュール（案）】

1月31日	パブリック・コメント（30日間）
3月末（予定）	改正省令の公布
5月末（予定）	施行（公布後2か月）

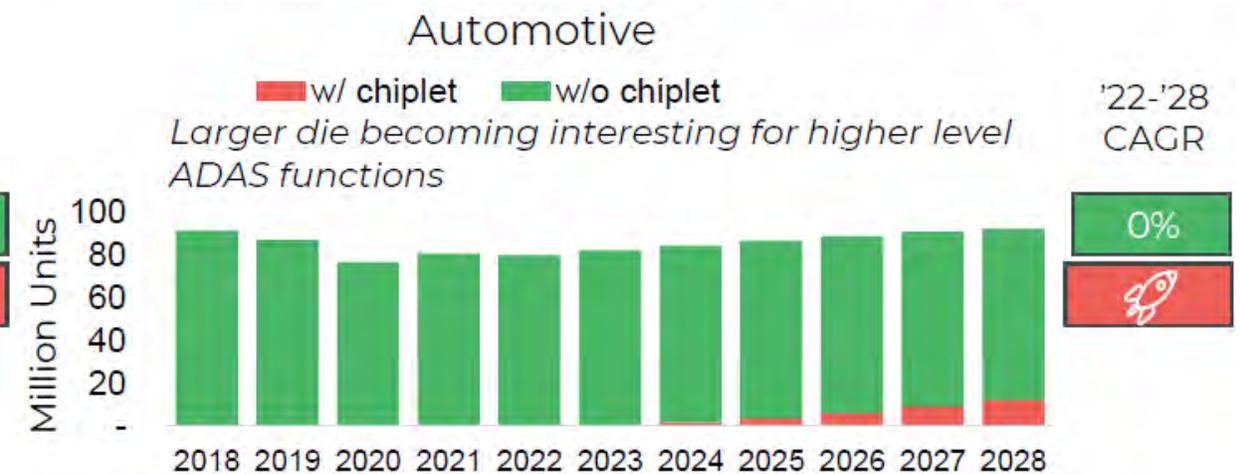
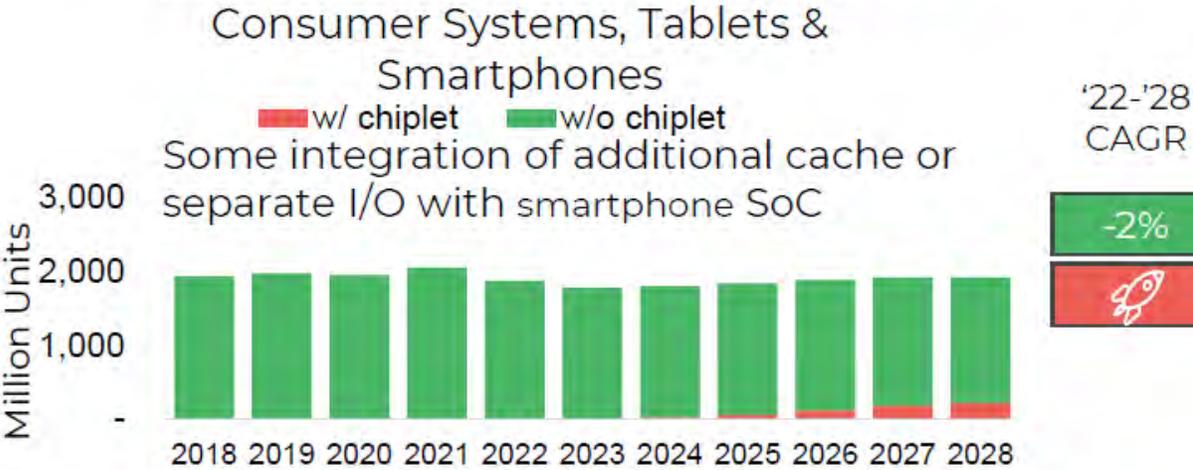
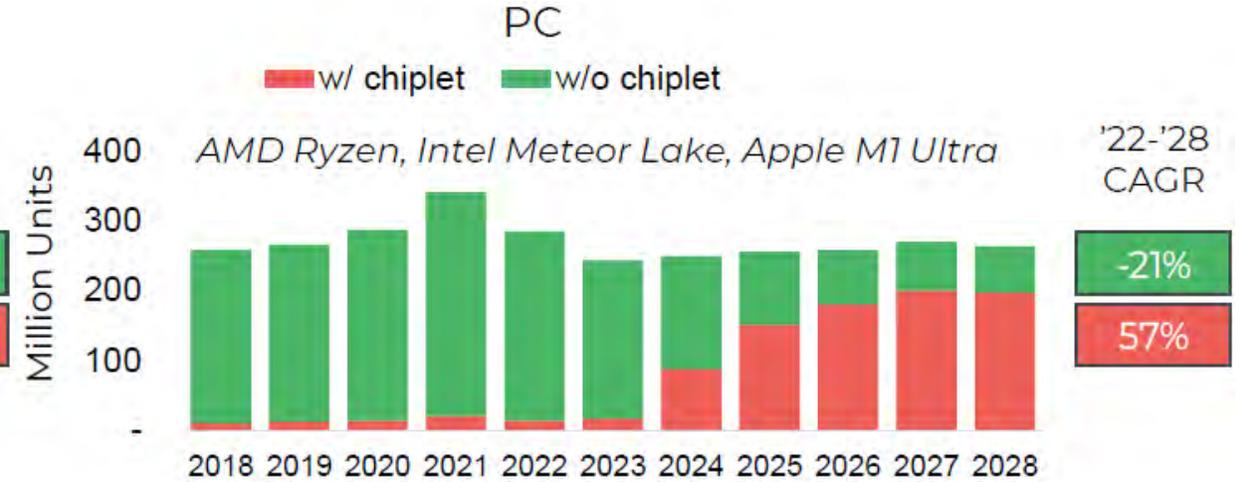
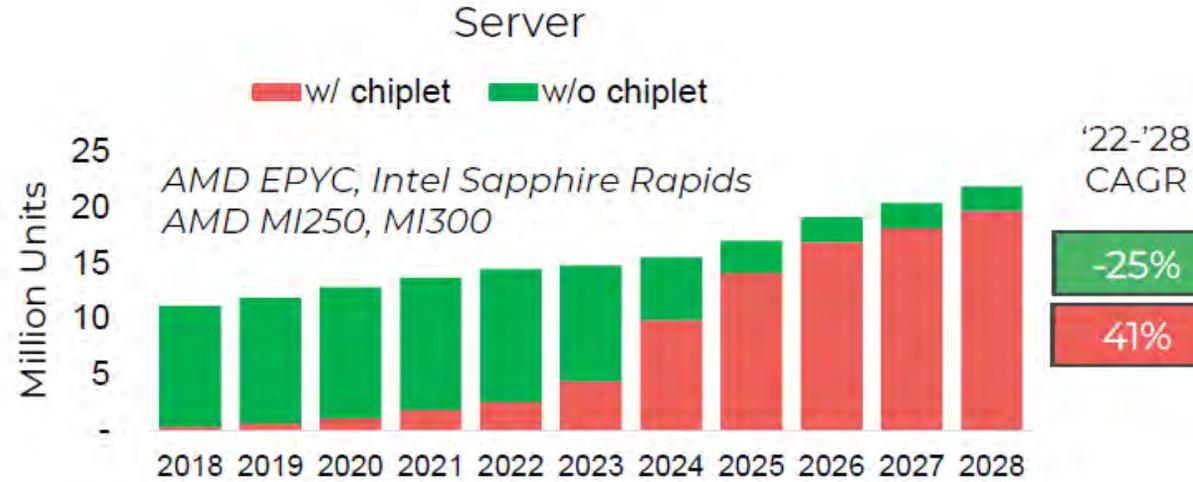
(参考) 追加予定の輸出管理品目 (21品目)

	種別	品目	
半導体 関連品目	半導体製造装置		
	1	イオン注入	プラズマドーピングイオン注入装置
	2	リソグラフィ (露光)	露光装置のアップグレードのための装置
	3		ナノインプリントリソグラフィ装置
	4	エッチング (化学的除去)	シリコンの内部を垂直に貫通する電極等のエッチング装置
	5		EUVパターンを再形成やトリミングにより改善する装置
	6	デポジション (成膜)	物理的な方法でタングステンの層を成膜する等の成膜装置
	7	アニーリング (熱処理)	レーザーなどを用いて熱処理をする装置
	8	洗浄	超臨界二酸化炭素を用いた洗浄装置
	9	検査	ウエハーの欠陥を検査する装置
	10		重ね合わせ精度計測装置
	技術		
	11	ソフトウェア	先端パッケージング用のECADプログラム
	12		マルチパターンング技術を用いた集積回路製造用のECADプログラム
13	計算機リソグラフィプログラム		
その他			
14	集積回路	高性能な並列演算が可能な先端 I Cチップ	
15	素材	EUVマスク	
量子 関連品目	16	量子コンピュータ装置	極低温冷凍機
	17		極低温アンプ
	18		極低温ウエハープローバ
19	基板材料	同位体分離シリコン/ゲルマニウム基板・原料	
その他	20	工作機械	金属積層造形装置
	21	物質表面処理技術	高温コーティング技術

チップレット
3D集積に
必要なもの
が追加

ヘテロジニアス・インテグレーションの主要市場

- ヘテロジニアス・インテグレーションの当面の市場は、サーバー/PC (AIなどのCPU/GPU)・・・今、急増中
- コスト高からか、スマホ・車載への適用はまだ少し先・・・とはいえ、当面は年々、倍に増える



現在の生成AIでの主要半導体・・・NVIDIAのGPU

GPU die - ~ 600mm²
FinFET 16 nm



NVIDIA P100 16GB
using 4 HBM stack
©Yole SystemPlus 2023



NVIDIA P100 Cross section
- SEM View

GPU & HBM stacked on interposer die
©Yole SystemPlus 2023

GPU die - ~ 828 mm²
FinFET 12 nm



NVIDIA V100 32GB
using 4 HBM stack
©Yole SystemPlus 2023



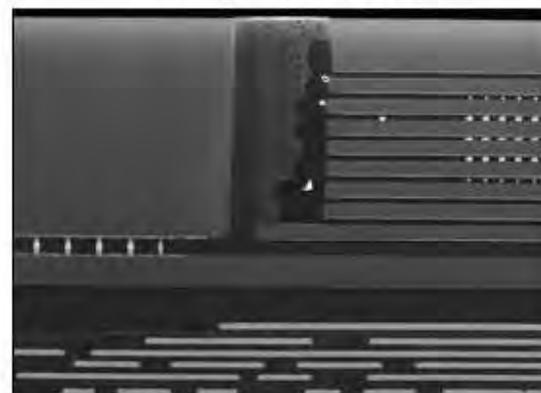
NVIDIA V100 Cross section
- SEM View

HBM stacked on interposer die
©Yole SystemPlus 2023

GPU die - ~ 826 mm²
FinFET 7 nm



NVIDIA A100 40GB
using 5HBM stack
©Yole SystemPlus 2023



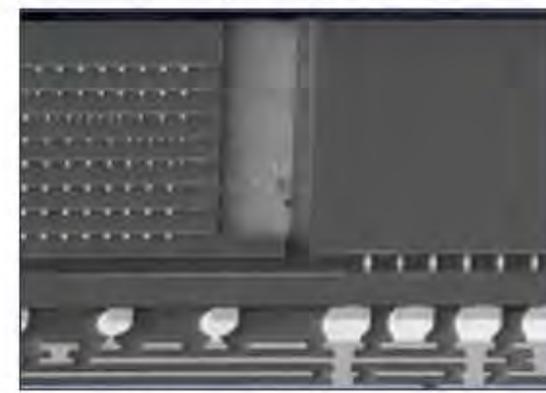
NVIDIA A100 Cross section
- SEM View

HBM stacked on interposer die
©Yole SystemPlus 2023

GPU die - ~ 814 mm²
FinFET 4nm



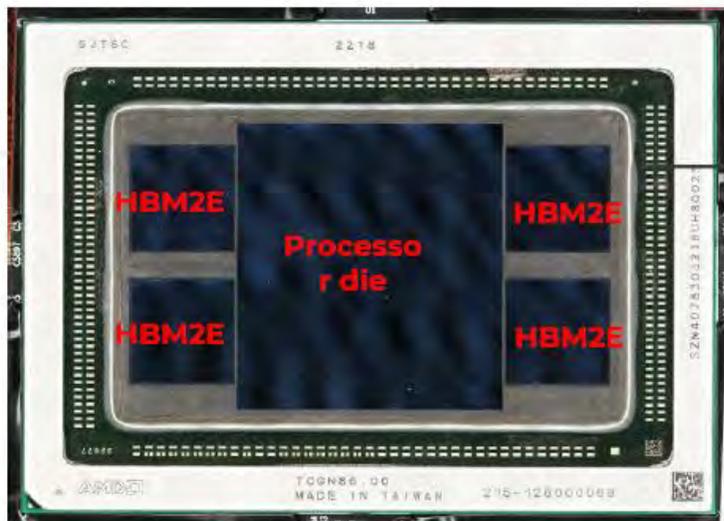
NVIDIA H100 80GB
using 5HBM stack
©Yole SystemPlus 2023



NVIDIA H100 Cross section
- SEM View

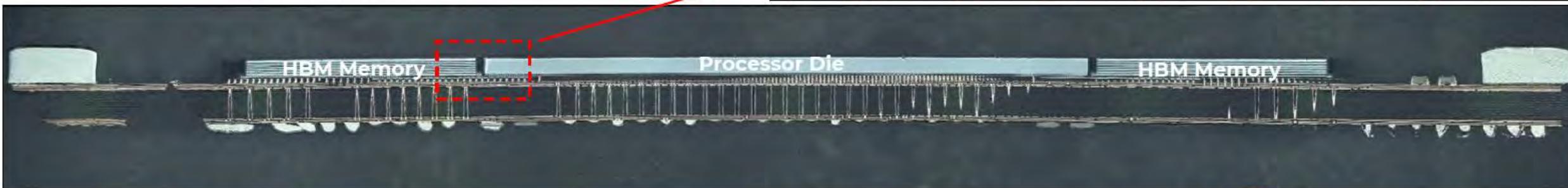
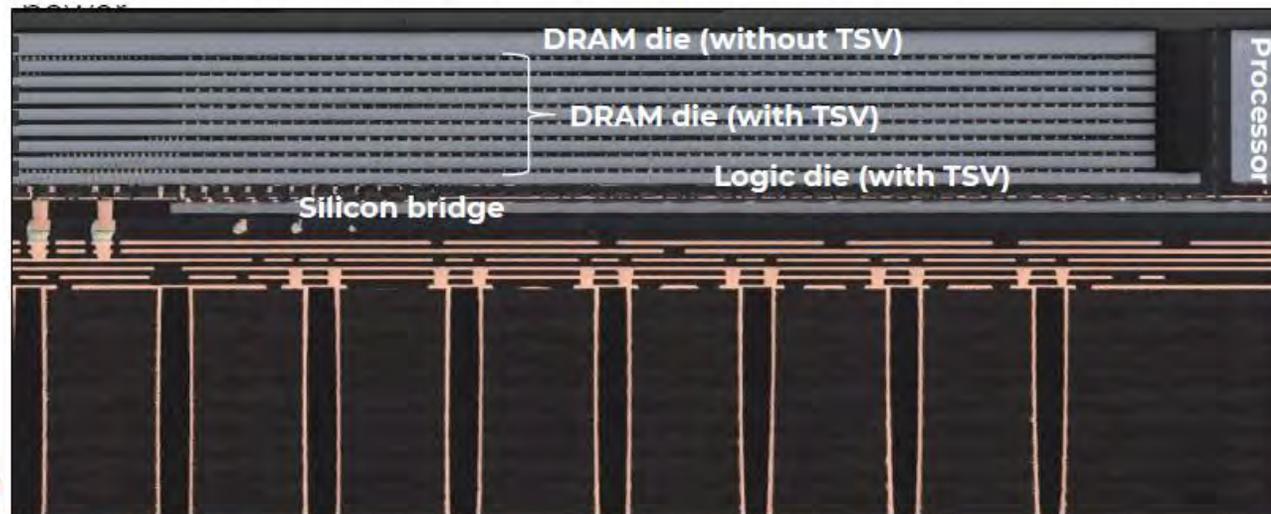
HBM stacked on interposer die
©Yole SystemPlus 2023

Server - AMD



Package Front View
©2022 by YOLE SystemPlus

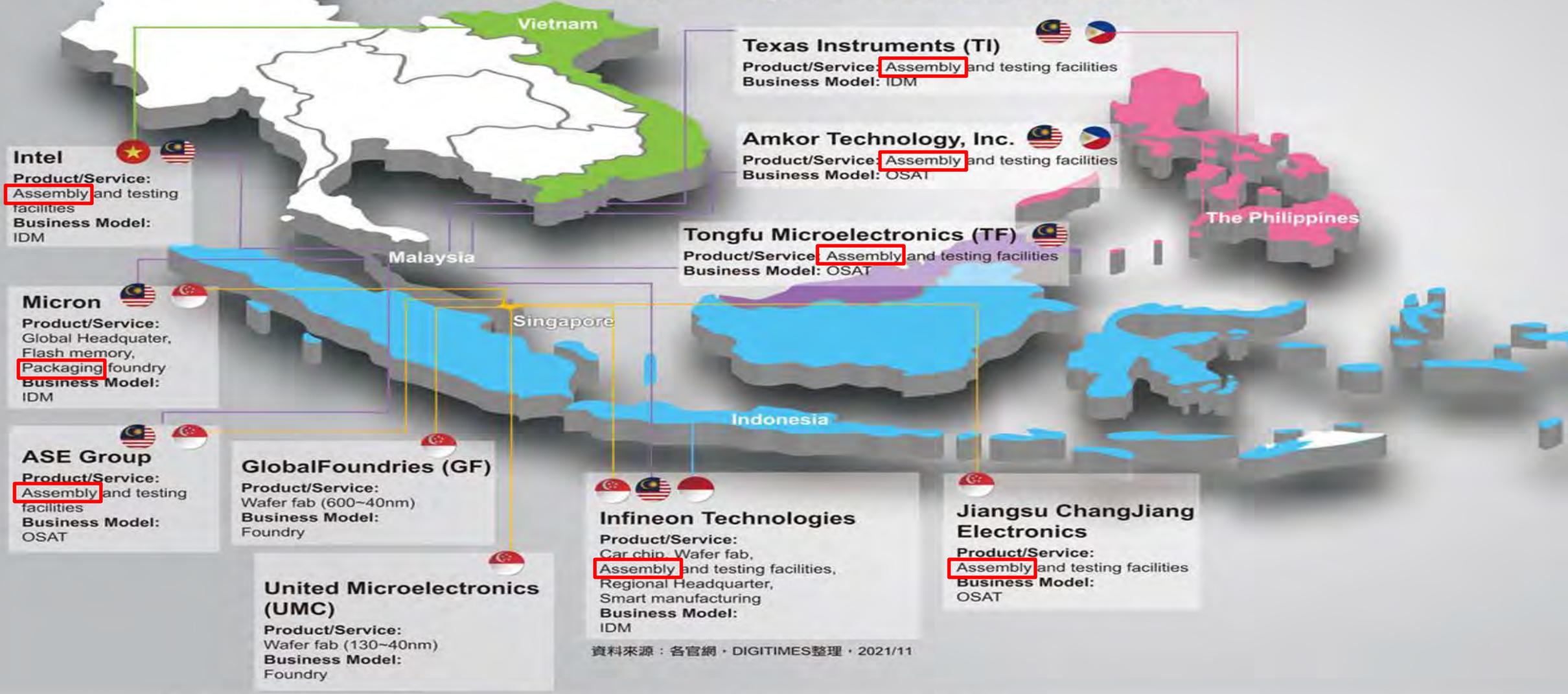
- AMD Instinct MI210 GPU features a large processor die manufactured by using TSMC's 6nm FinFET and integrates four High Bandwidth Memory (HBM2e) components, which delivers fast data transfer while using less



いま半導体後工程では東南アジアがホット

東南アジアが世界の半導体(後工程/チップレット)工場になりつつある

Southeast Asia's Major Foreign Semiconductor Companies



Notes: Integrated device manufacturer (IDM), Outsourced semiconductor assembly and test (OSAT)
Source: DIGITIMES, November 2021

<https://www.digitimes.com/news/a20211221PD218/semiconductor-industry-southeast-asia-supply-chain.html>

半導体産業は中国から東南アジアへ

(図表1) マレーシアの電気・電子機器産業への

直接投資認可額と半導体輸出額



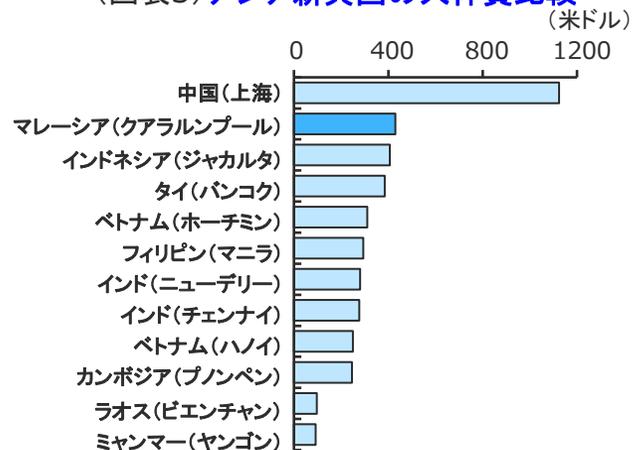
(図表2) 西側半導体企業による投資事例

(百万米ドル)

国	企業	時期	状態	金額
マレーシア	ローム (日)	2023年9月	完成	60
	ボッシュ (独)	2023年8月	完成	非公開
		2030年半ばまで	計画	368
	インフィニオン・テクノロジーズ (独)	今後5年	計画	5,258
マレーシア	マイクロン・テクノロジー (米)	2023年10月	完成	非公開
		今後数年	計画	1,000
ベトナム	アムコー (米)	2023年10月	完成	1,600
		2035年まで	計画	
	ハナマイクロン (韓)	2023年9月	完成	600
		2025年までに	計画	400
フィリピン	テキサスインスツルメンツ (米)	不明	計画	1,000
インド	マイクロン・テクノロジー (米)	不明	計画	2,750

(資料)各種報道を基に日本総研作成、体裁のみ著者編集

(図表3) アジア新興国の人件費比較



(図表4) アジア諸国の米国との関係と半導体協定

国	内容	時期
マレーシア	『包括的パートナーシップ』に関係格上げ	14年5月
	半導体サプライチェーン強靱化の覚書締結	22年5月
インド	『包括的グローバル戦略パートナーシップ』に米印関係を位置づけ	20年2月
	半導体サプライチェーン強靱化の覚書締結	23年3月
ベトナム	『包括的戦略パートナーシップ』に関係格上げ	23年9月
	半導体サプライチェーン強靱化の覚書締結	
インドネシア	『包括的戦略パートナーシップ』に関係格上げ	23年11月

(資料)各種報道を基に日本総研作成、体裁のみ著者編集

世界の標準化組織

半導体標準化の範囲

分類	デジュール標準 (国際標準化の範囲)				デファクト標準				
標準化 レベル	国際規格 (WTO/TBT協定 内)		準国際規格 (WTO/TBT協定 外)		業界 自主 基準	コンソーシアム 標準			
分野			国家規格	団体規格					
製品設計	IEC	ISO 機能安全 サイバー セキュリティ	ITU-T (通信)	IEEE	JEITA	JEDEC	AEC (車載)	PCI-SIG	UCle
製品評価									
製造			MIL (軍用)	ANSI/ UL (安全等)			SEMI		
材料	IEC (ウエハ・実装)					JEITA (ウエハ・実装)		IPC (実装)	JPCA (実装)
装置									

国際的(台湾含まず)

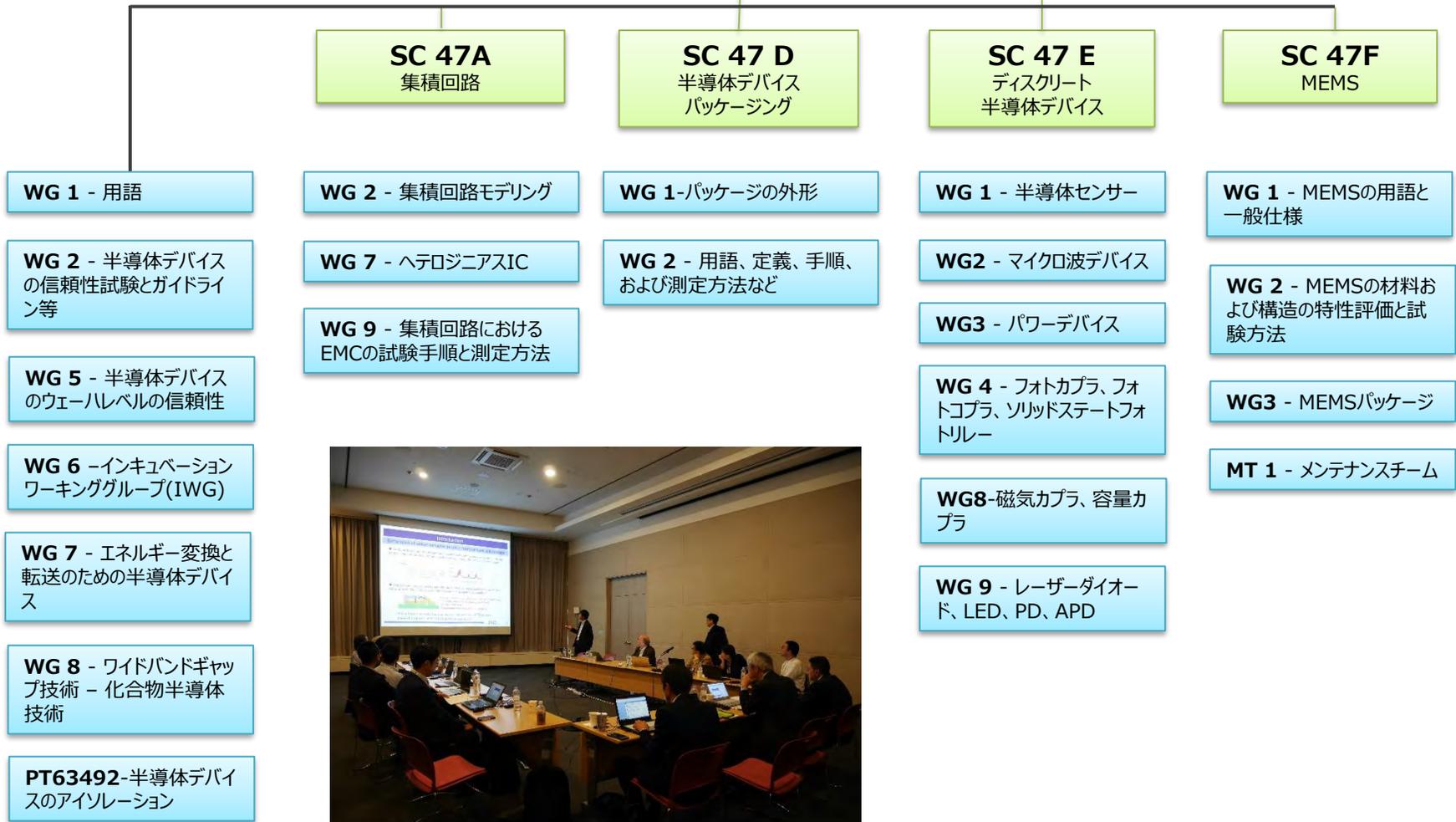
準国際的(台湾含む)

米国ベース

日本ベース

2023-11-09

IEC TC47 半導体デバイス



IEC/SC47D国際会議風景

Pメンバー	Oメンバー
オーストリア	ブルガリア
ベルギー	ベラルーシ
スイス	チェコ
中国	デンマーク
ドイツ	スペイン
フランス	フィンランド
イギリス	ハンガリー
アイルランド	インド
イスラエル	イラン
イタリア	オランダ
日本	ノルウェー
韓国	フィリピン
パキスタン	ポーランド
ロシア	ルーマニア
シンガポール	セルビア
アメリカ	スウェーデン
	タイ
	トルコ
	ウクライナ

※懸念国・紛争国も参加

日本の半導体標準化組織

[HOME](#) > [半導体部会と委員会活動](#) > [委員会構成と活動](#)

半導体部会と委員会活動

委員会構成と活動

半導体統括委員会

半導体標準化専門委員会

半導体システムソリューション技術委員会

半導体製品技術委員会

半導体信頼性技術委員会

WSC・政策運営委員会

半導体通商専門委員会

半導体知的財産専門委員会

半導体環境専門委員会

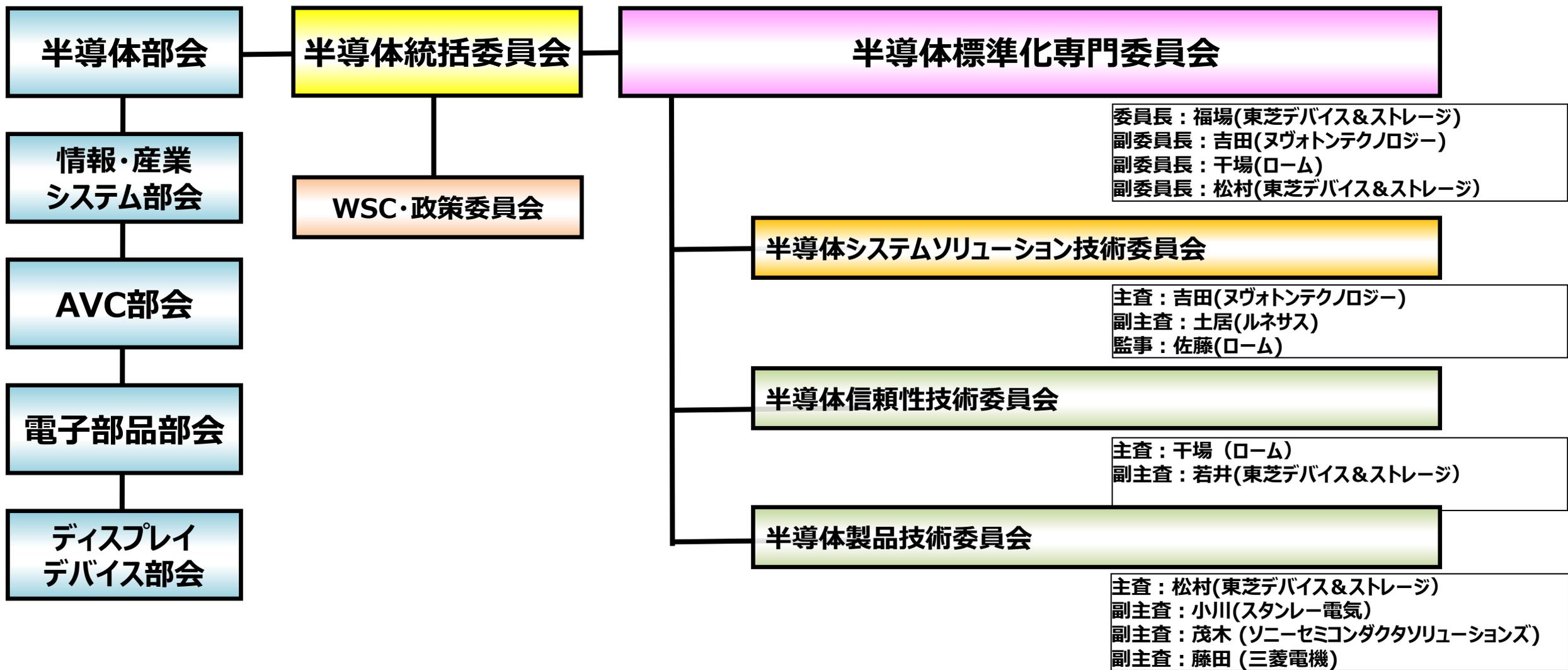
半導体部会と委員会活動

部会構成会社

- 旭化成エレクトロニクス株式会社
- 株式会社アムコー・テクノロジー・ジャパン
- ウインボンド・エレクトロニクス株式会社
- エスタカヤ電子工業株式会社
- エスパック株式会社
- 沖エンジニアリング株式会社
- キオクシア株式会社
- キャノン株式会社
- 株式会社クオルテック
- KOA株式会社
- コカミノルタ株式会社
- サンケン電気株式会社
- シーモンスEDAジャパン株式会社
- 新電元工業株式会社
- 株式会社図研
- スタンレー電気株式会社
- ソニーセミコンダクタソリューションズ株式会社
- 太陽金網株式会社
- 株式会社台和
- ダツソー・システムズ株式会社
- TDK株式会社
- 株式会社デンソー
- 東芝デバイス&ストレージ株式会社
- 株式会社トッパン・テクニカル・デザインセンター
- ヌヴォトン・テクノロジー・ジャパン株式会社
- 株式会社ノイズ研究所
- HIREC株式会社
- パナソニックホールディングス株式会社
- パナソニック・インダストリー株式会社
- 株式会社日立製作所
- 富士通株式会社
- 富士電機株式会社
- 株式会社パテル
- マイクロンメモリ・ジャパン株式会社
- 三菱電機株式会社
- 株式会社村田製作所
- 株式会社メモリエキスパート
- ユニテクノ株式会社
- 株式会社リコー
- ルネサス・エレクトロニクス株式会社
- ローム株式会社

2024年7月現在

出典:JEITAホームページ



半導体システムソリューション技術委員会 2024年度 組織図

半導体標準化専門委員会

委員長：福場（東芝デバイス&ストレージ）

半導体システムソリューション技術委員会

委員長：吉田（ヌヴォトンTJ）

steering委員会

主査：吉田（ヌヴォトンTJ）

システムソリューション技術委員会のsteering・運営・SC横断的な課題への対応

マルチチップインテグレーション調査TG

主査：佐藤（ローム）

チップレットベースの設計・標準化や業界活動の動向調査・勉強会等

デバイスモデルDX推進SC

主査：北城（ルネサスエレクトロニクス）

戦略・標準化・国プロWG

モデル要件WG

モデル流通WG

仮想設計を実現する上で必要な電子デバイスのシミュレーション・モデルの円滑な流通を実現する事を目的とする。デバイスモデルの流通・認証の枠組みの構築を行う。

半導体&システム開発技術SC

主査：福場（東芝デバイス&ストレージ）
副主査：大槻（リコー）

半導体設計標準WG

LPB相互設計・認証WG

システム設計フロントローディングWG

半導体を使用したシステム開発手法・設計手法の検討。新技術の共通認識を得て、その技術の情報展開・利用促進活動を行う。および設計情報フォーマットの標準化を行う。

半導体EMC-SC

主査：富島（東芝デバイス&ストレージ）
副主査：林（キャノン）

規格審議WG

実証実験WG

半導体EMC性能等価性評価WG

広報WG

半導体EMCに関するIEC国際標準化活動、システム(アプリケーション)上のEMCに関する規格の検証試験(妥当性、相関など)、および半導体EMCの普及促進活動を行う。

半導体構造設計技術SC

主査：吉田（ヌヴォトンTJ）
副主査：新井（三菱電機）
吉田（ローム）
西（足利大学）
副島（旭化成エレクトロニクス）
大山(アドテック)
本田(ルネサス)

半導体包装WG

熱設計技術WG

パッケージ外観基準WG

先端半導体パッケージング技術WG

パワー半導体パッケージWG

メモリスistemWG

3D半導体/モジュールWG

半導体の構造設計・実装技術の標準化活動・情報展開・啓蒙活動を行う。(熱設計のための新モデル検討、シミュレーション精度向上、材料物性情報の精度向上、3DIC技術、メモリスistem技術を含む)

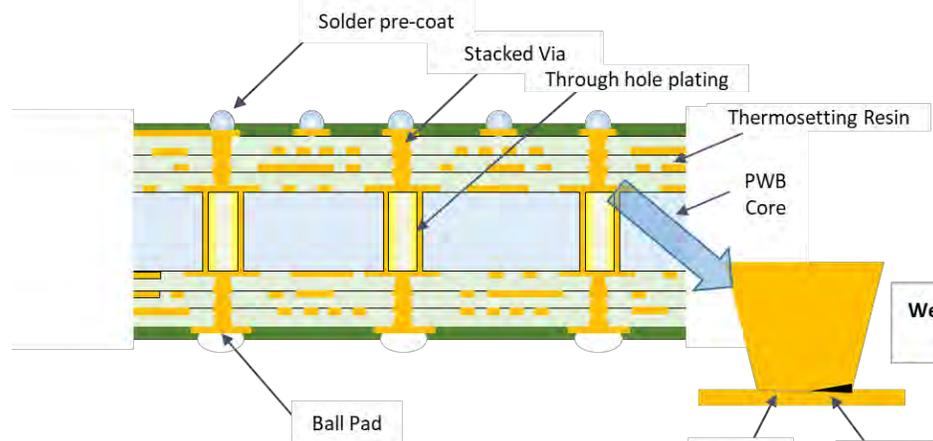
半導体構造設計サブコミティ 2024年度体制

半導体標準化専門委員会		主査: 福場(東芝)	4回/年
半導体システムソリューション技術委員会		主査: 吉田 (ヌヴォトン)	4回/年
半導体構造設計技術サブコミティ		主査: 吉田 (ヌヴォトン)	6回/年
熱設計技術WG	熱設計 シミュレーション、モデル、測定法などの精度向上、規格化	主査: 西 (足利大)	11回/年
国プロ 熱設計 戦略委員会	国プロ熱設計運営・実行、企画立案、アジアの仲間づくり、	主査: 羽鳥 (ベテル)	6回/年
国プロ 規格審議委員会	IEC提案規格の審議	主査: 羽鳥 (ベテル)	11回/年
半導体包装WG	半導体包装国際標準化	主査: 吉田 (ローム)	6回/年
パワー半導体パッケージWG	パワー半導体の熱設計、パワーパッケージの外形図	主査: 新井 (三菱)	6回/年
パッケージ外観基準WG	パッケージ外観基準(用語、規格など)の標準化	主査: 副島 (AKM)	6回/年
先端半導体パッケージング技術WG	先端パッケージング情報共有 評価法などの国際標準化	主査: 吉田 (ヌヴォトン)	6回/年
メモリシステムWG	JEDEC/JC42, 45内容確認・審議、熱設計と連携	主査: 大山(アドテック) 副主査: 濱本、安樂	6回/年
3D半導体/モジュールWG	SC47A/WG7と連携	主査: 本田 (ルネサス)	6回/年
■ IEC / SC47D(半導体パッケージング)国内委員会		委員長: 菅沼 (阪大)	6回/年

審議中の半導体国際規格案

事例1:先端半導体パッケージ基板(インターポーザ)の評価基準：通電温度サイクル試験

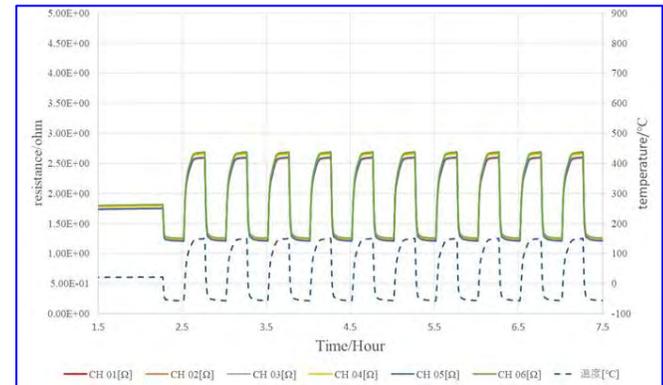
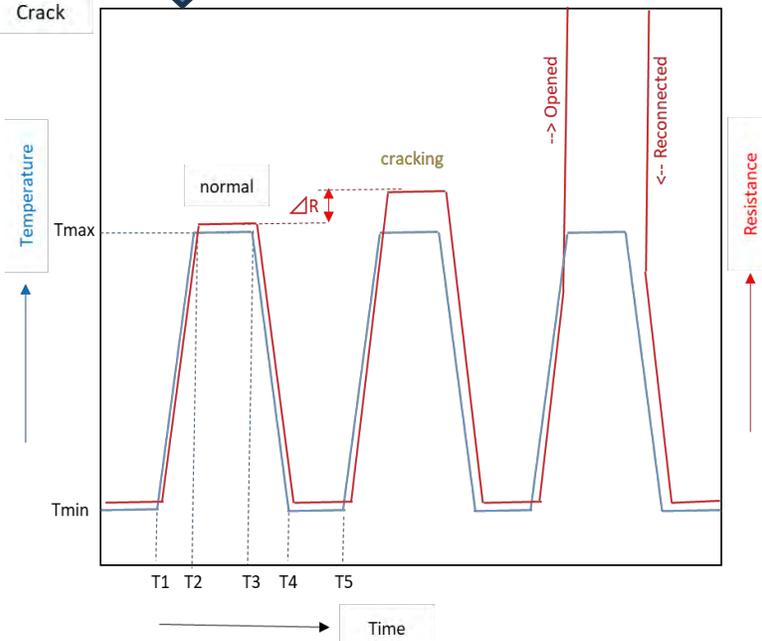
先端半導体パッケージ基板(インターポーザ)の評価基準: 通電温度サイクル試験



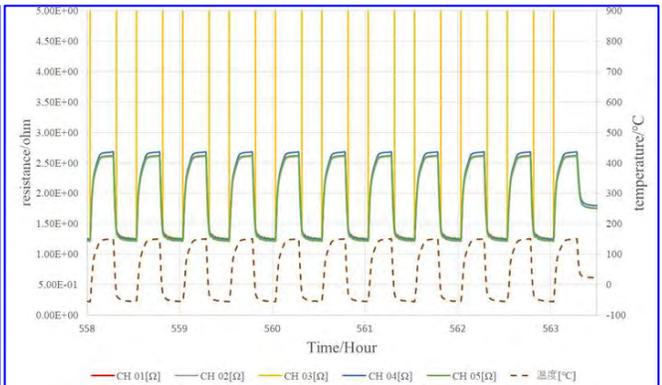
Package Substrate Cross Section

Weak Micro-Via Problem

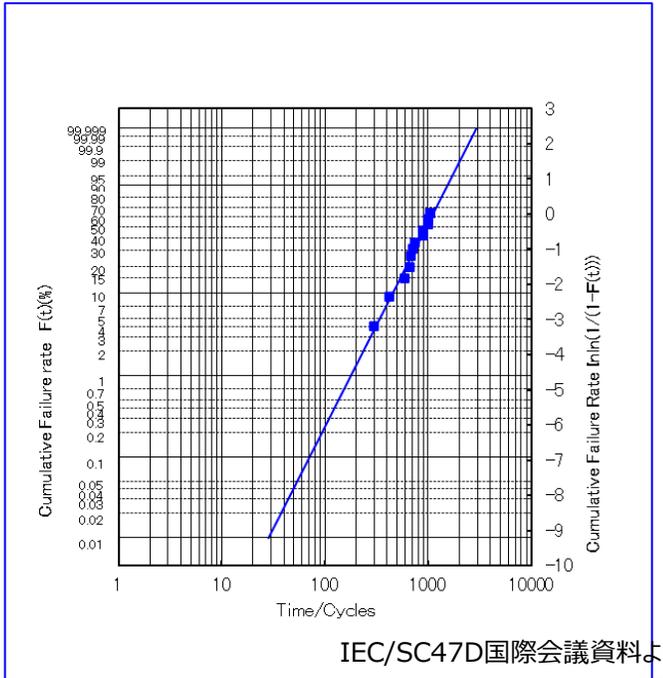
Void
Crack



初期

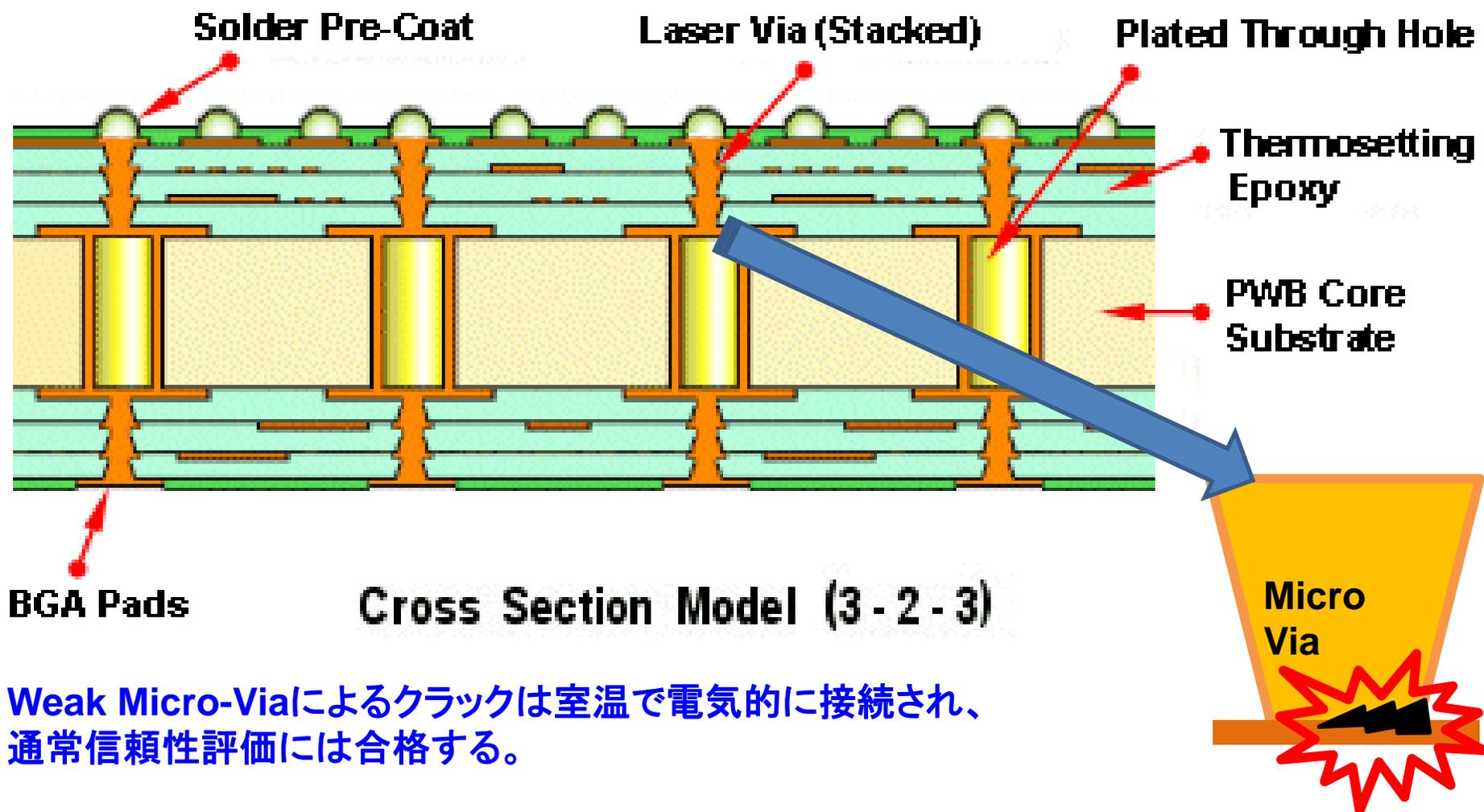


故障時...: 常温で良品、高温時オープン



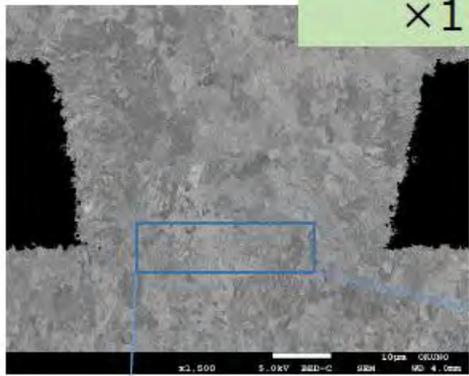
IEC/SC47D国際会議資料より

- 先端半導体パッケージ基板では、ビア径が50ミクロン以下になりつつあり、ビア底部のクラックによる破損が発生、Weak Micro-Via課題が大きな問題になっている。



Weak Micro-Viaによるクラックは室温で電氣的に接続され、通常信頼性評価には合格する。

×1.5k

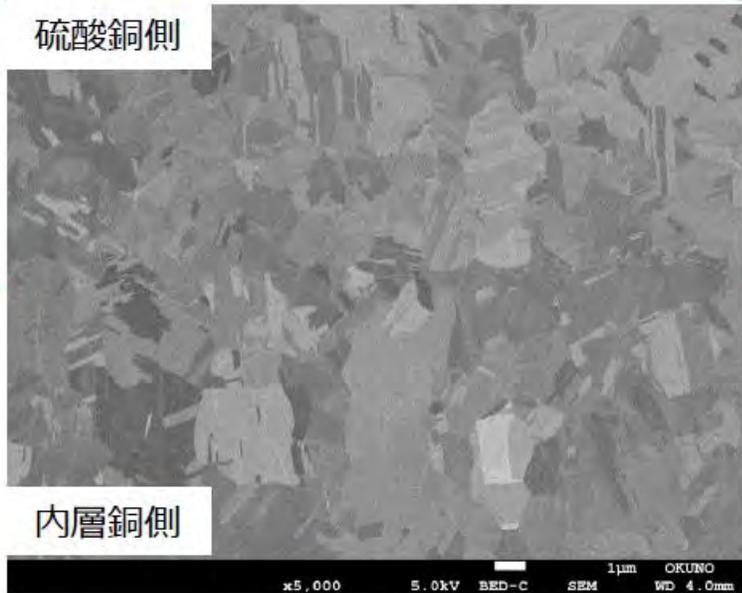


SEM観察

従来プロセス

10nm~20nmサイズの界面ナノボイドを確認

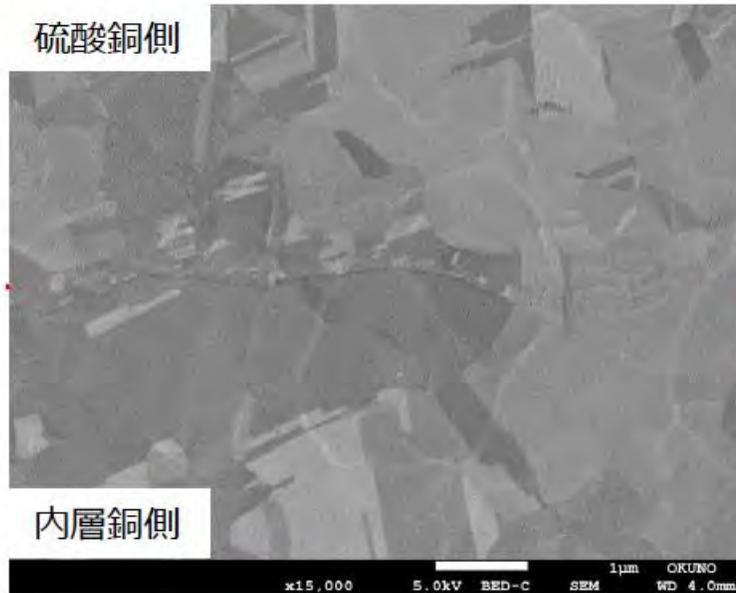
硫酸銅側



×5k

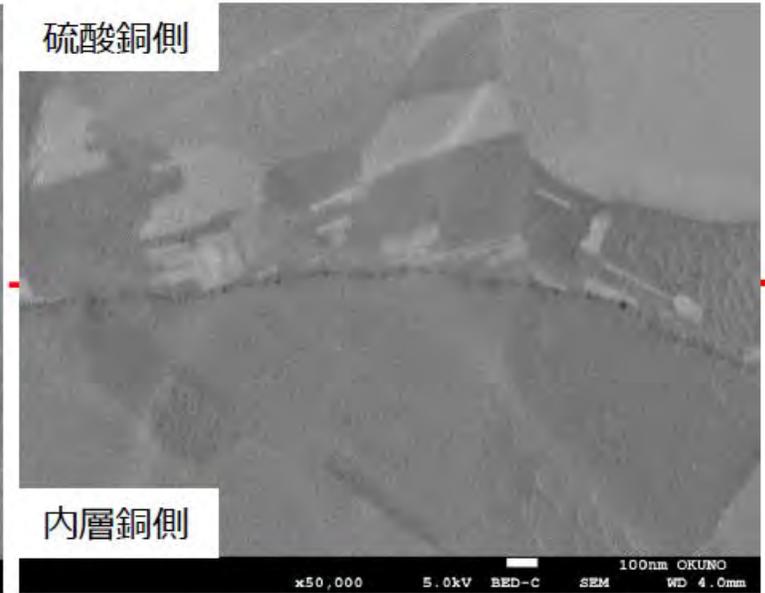
無電解銅界面

硫酸銅側



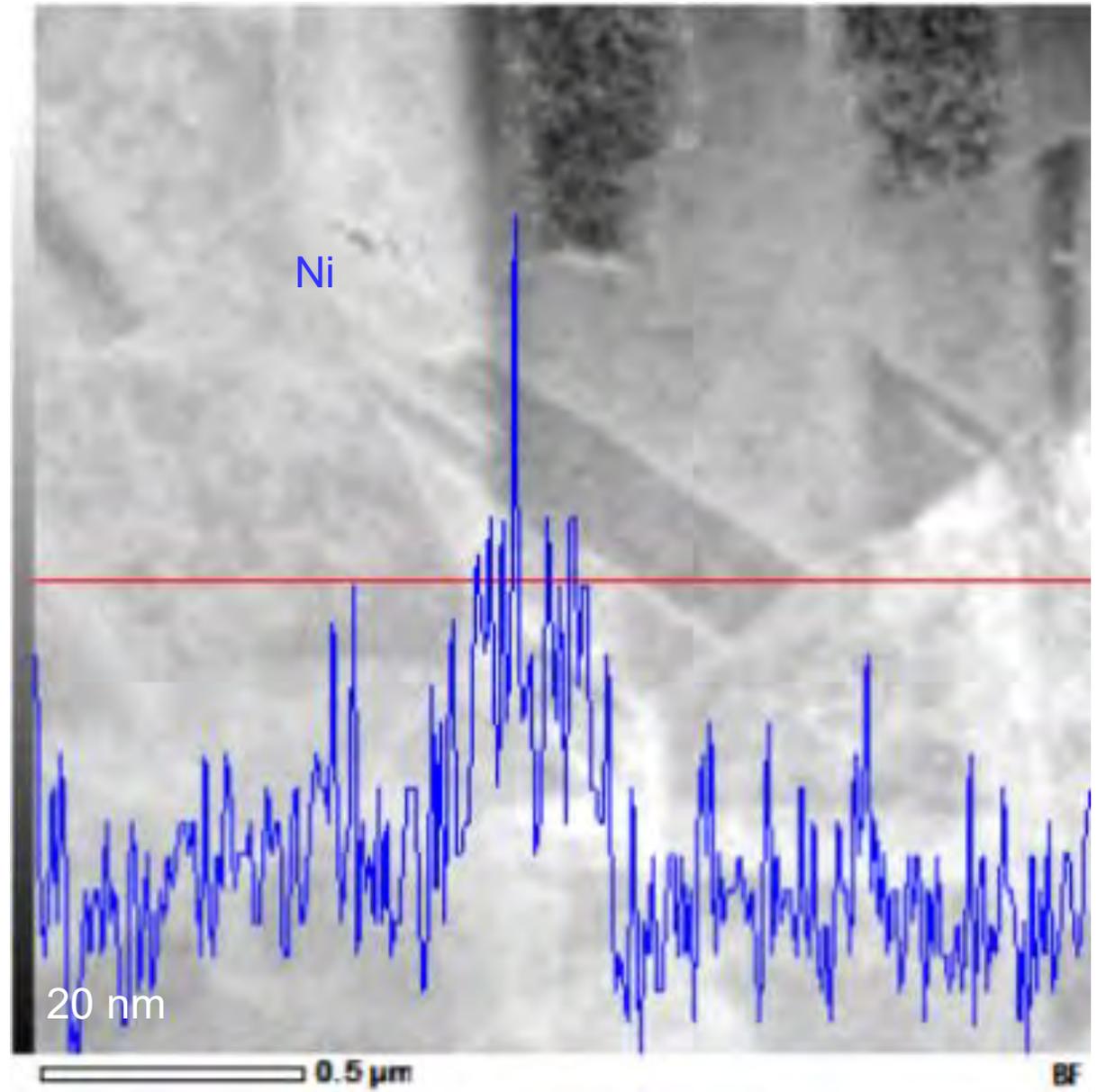
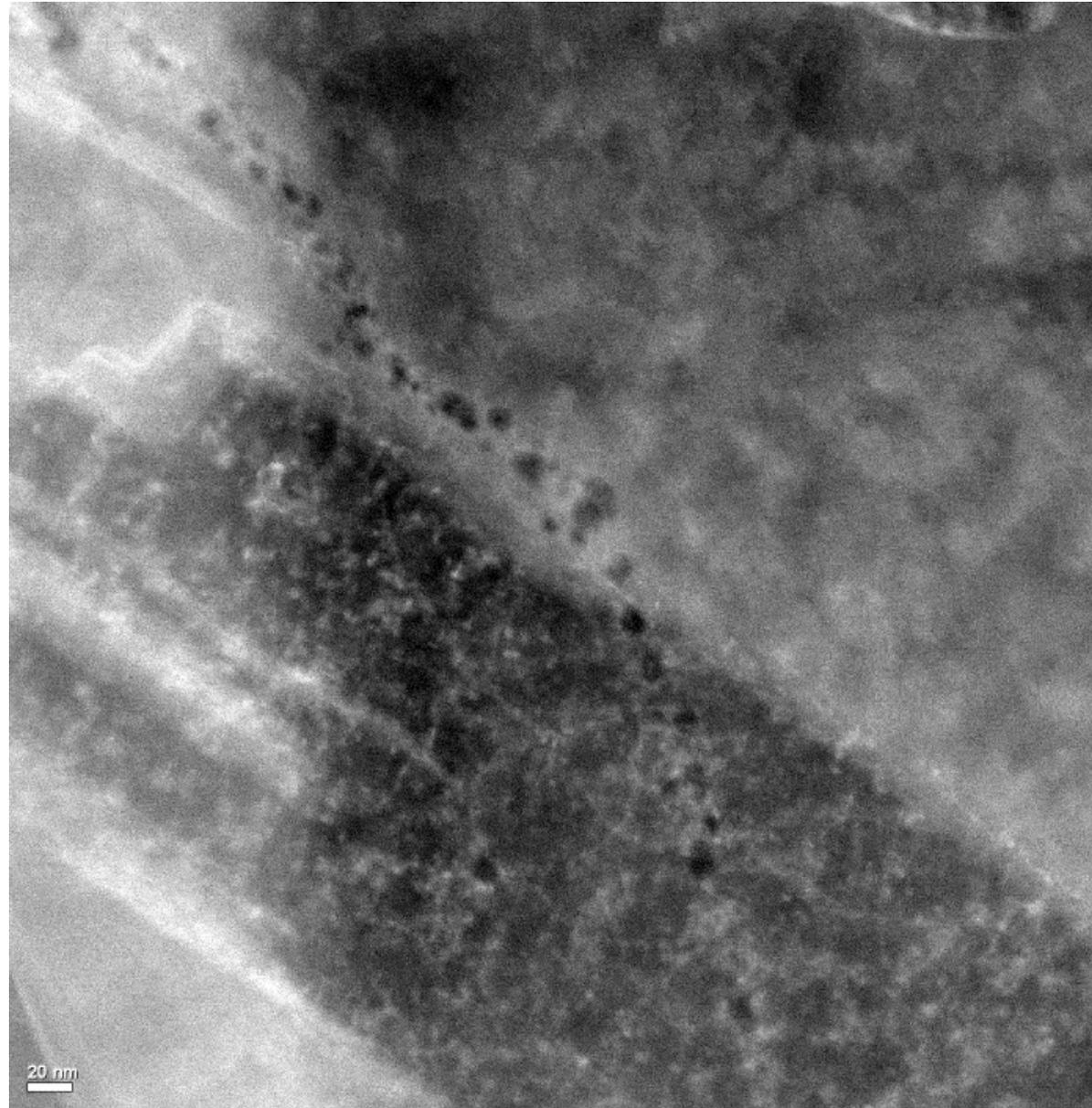
×15k

硫酸銅側

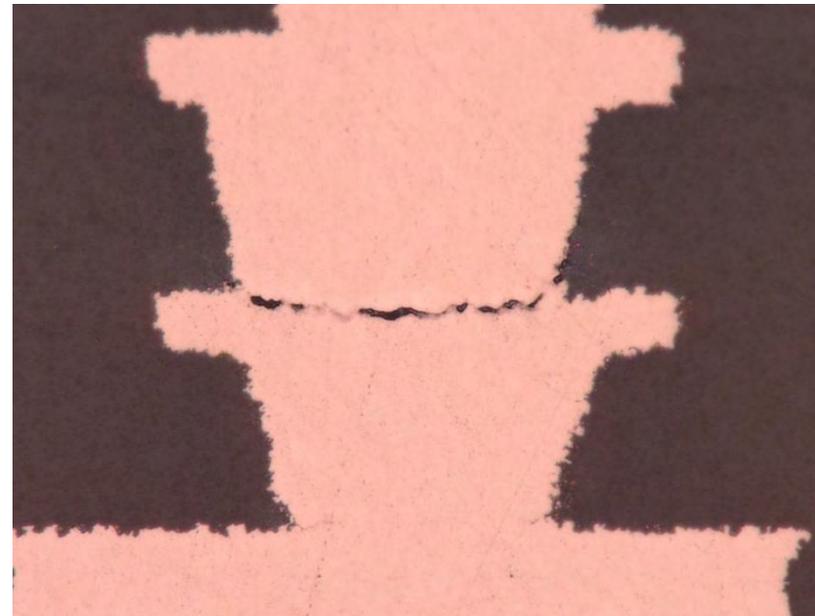
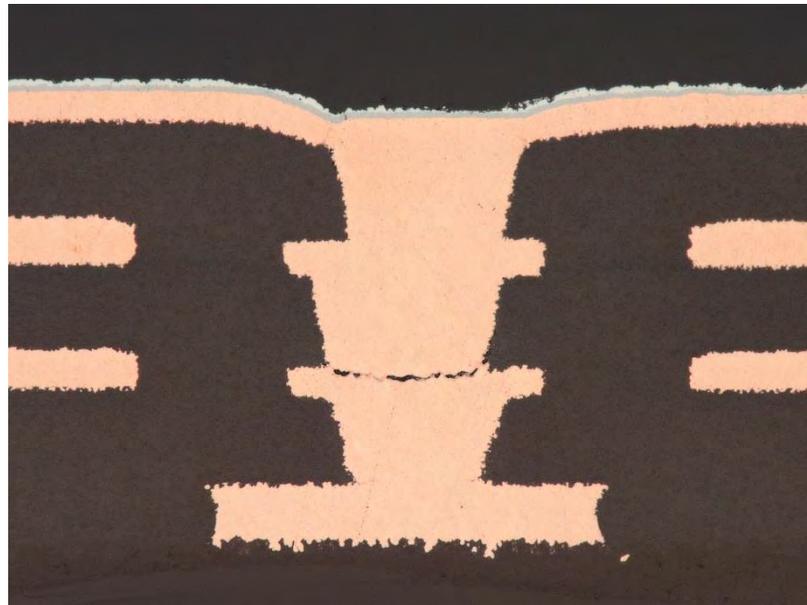
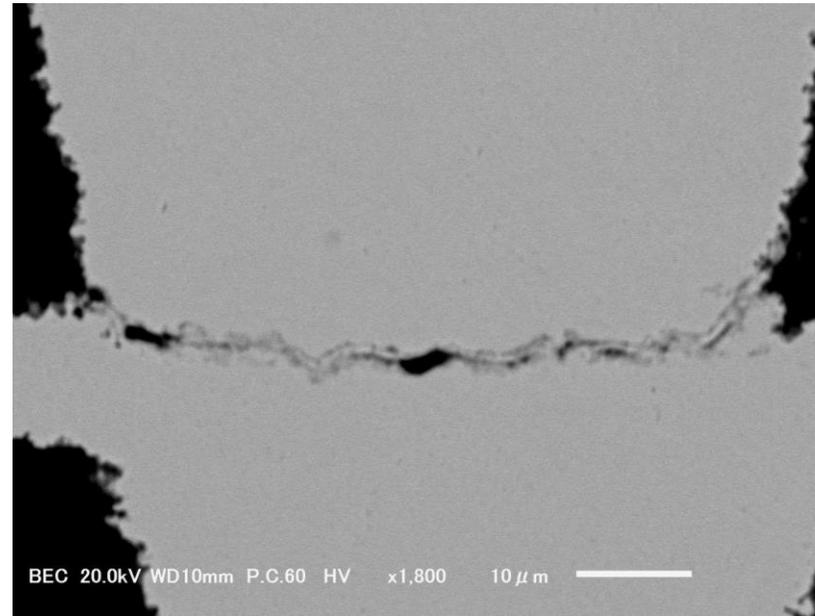
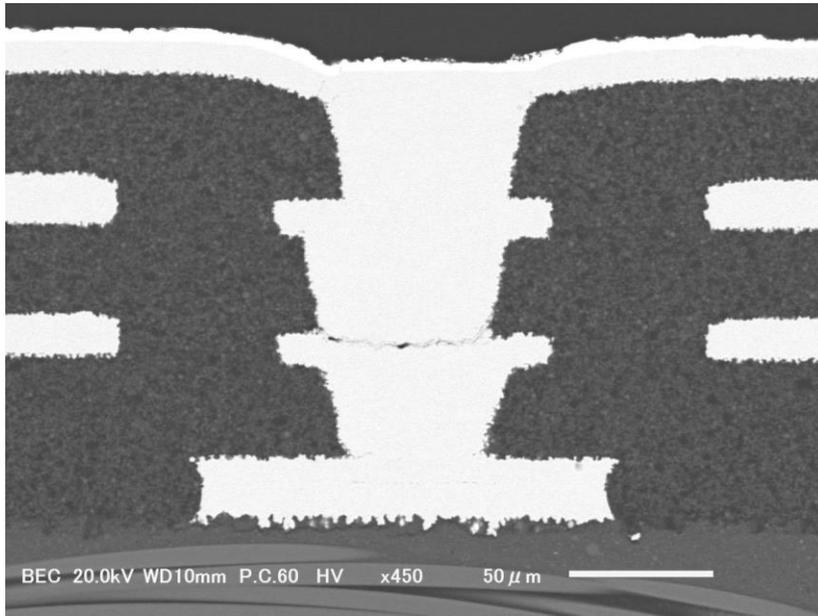


×50k

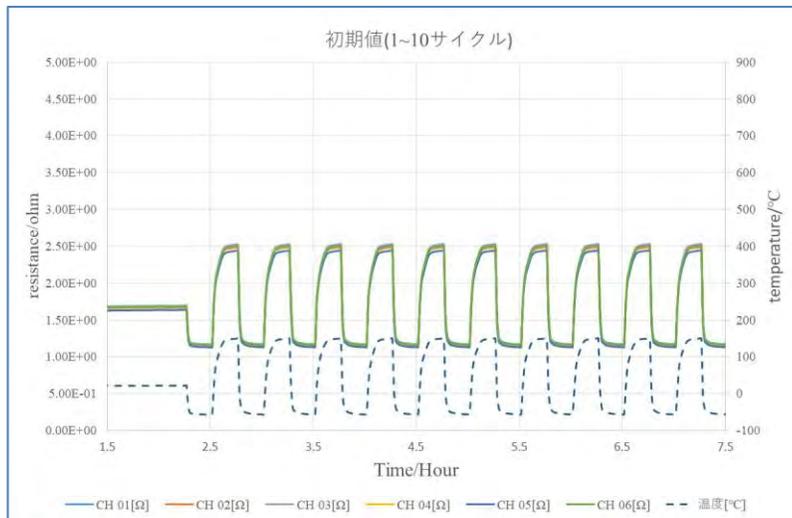
ビア底 無電解Cuめっき界面に無数のナノボイドあり・・・しかも切り取り線のように



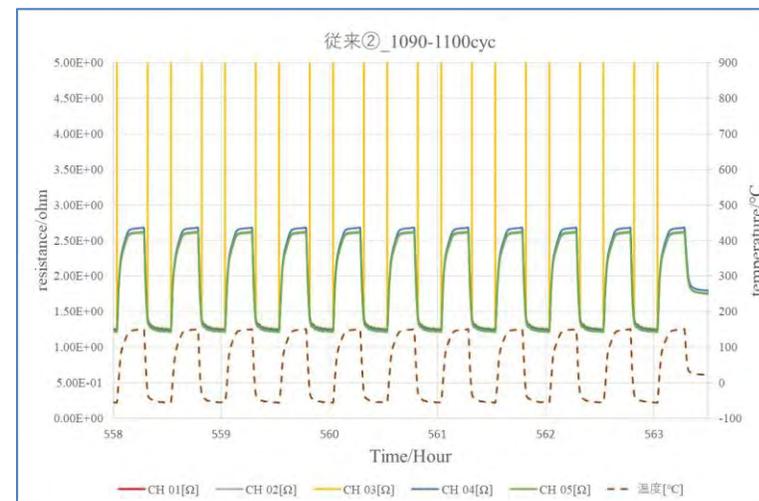
なぜか中間レイヤーで破断



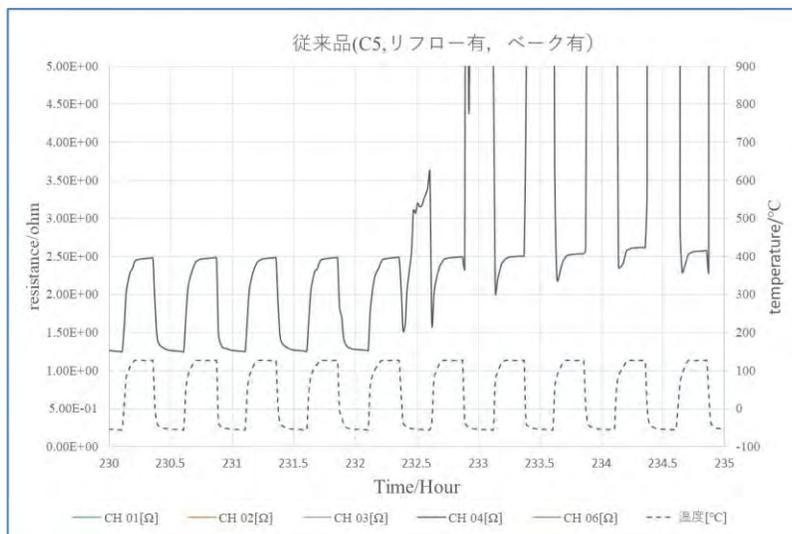
通電温度サイクル試験 様々な故障モード



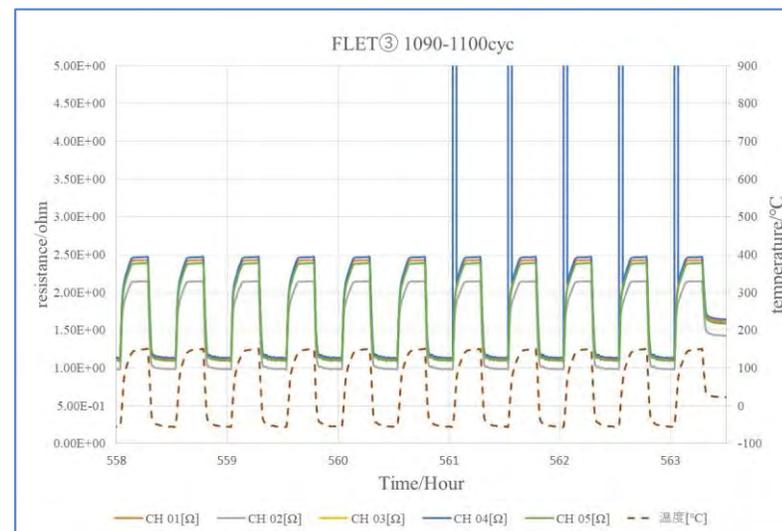
初期



高温時のみOPENな故障モード



低温時のみOPENになる故障モード



温度変化中のみオープンになる故障モードもある

審議中の半導体国際規格案

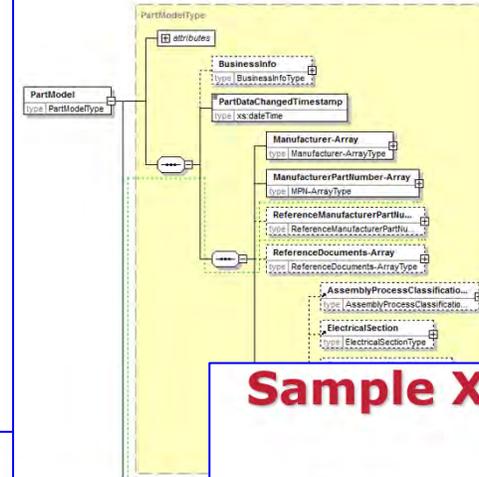
事例2 :チップレット時代の製品設計・仕様のデジタル化・・・JEP30

■チップレット時代の製品設計・仕様のデジタル化・・・JEP30

Companies involved in the Standard

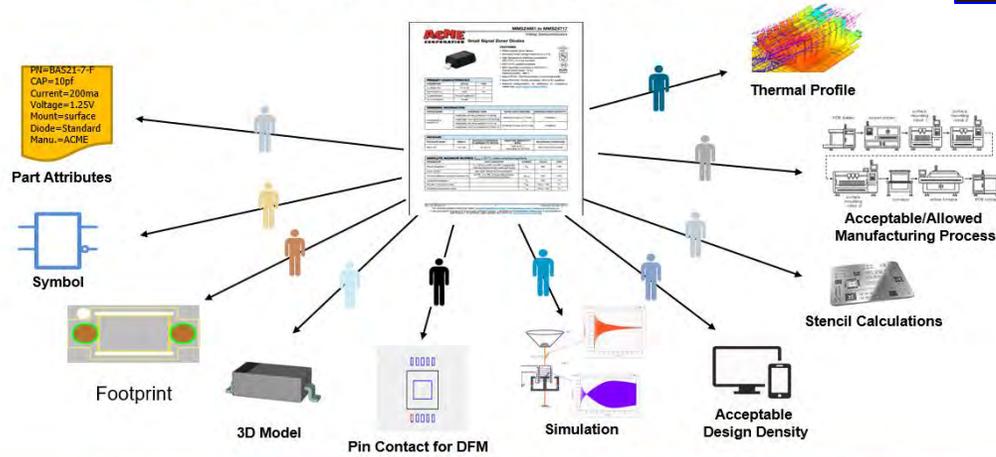
- | | |
|---------------------------------------|-------------------------------------|
| 1. AIST | 18. Microsemi Corporation |
| 2. AMD | 19. Mitsubishi |
| 3. Apple | 20. Molex LLC |
| 4. Cypress Semiconductor | 21. NVIDIA Corporation |
| 5. Fuji Electric | 22. NXP Semiconductors |
| 6. Global Foundries | 23. ON Semiconductor |
| 7. Hewlett Packard Enterprise Company | 24. Qualcomm Inc. |
| 8. IBM Corporation | 25. Renesas Electronics |
| 9. Infineon | 26. Samsung |
| 10. Intel | 27. SK Hynix Inc. |
| 11. Integrated Device Technology Inc. | 28. Smart Modular Technologies Inc. |
| 12. Kingston Technology Company Inc. | 29. Soctonext |
| 13. Lenovo | 30. Sonoscan |
| 14. Lotes Co., Ltd. | 31. STMicroelectronics |
| 15. Mentor | 32. Texas Instruments Inc. |
| 16. Microchip | 33. Toshiba |
| 17. Micron Technology | |

High level Structure of the Part Model

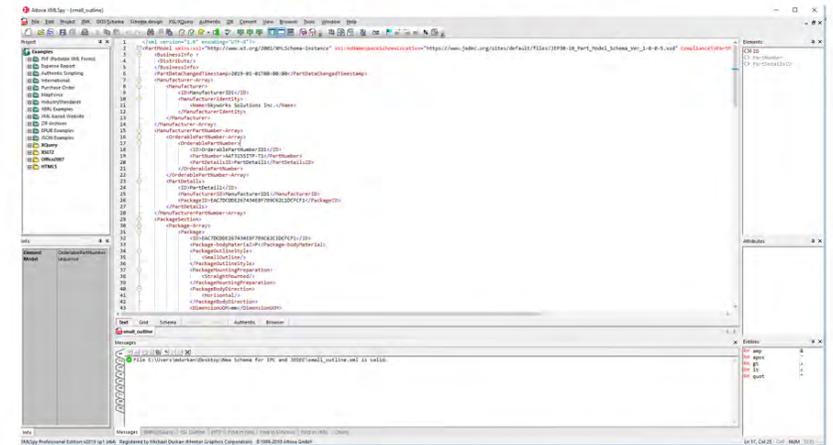


- Data is organized into different technical sections
 - Manufacturer Data
 - Manufacturer Part Number / Series
 - Technical Data
 - Assembly Process Classification
 - Electrical
 - Environmental
 - Package
 - Thermal
- A PartModel is compliant even if it only contains one of the technical sections of data such as the Package Section.
 - This would then mean that the provision only of the

Significant Human Effort to Create IP Inefficient, error prone, non value-add



Sample XML compliant to Schema on www.jedec.org



標準化団体

CDX (Chiplet Design Exchange)

Chiplet Design Exchange (CDX)

- CDX is a working group in the ODSA Project Group under Open Compute Group (OCG)
- Charter: Recommend standardized chiplet models, workflows and ecosystem
- Members: EDA, chiplet Providers, Assemblers & Integrators
- Recent Activities
 - Chiplet Design Kit Whitepaper (November 2021)
 - JEP30/CDXML chiplet part model (January 2023)
 - "Guide to Integration Workflows for Heterogeneous Chiplet Systems" (WIP)
 - 3DK Initiative (WIP)



OPEN DOMAIN
SPECIFIC
ARCHITECTURE


OCTOBER 17-19, 2023
SAN JOSE, CA
Scaling Innovation Through Collaboration

スコープ

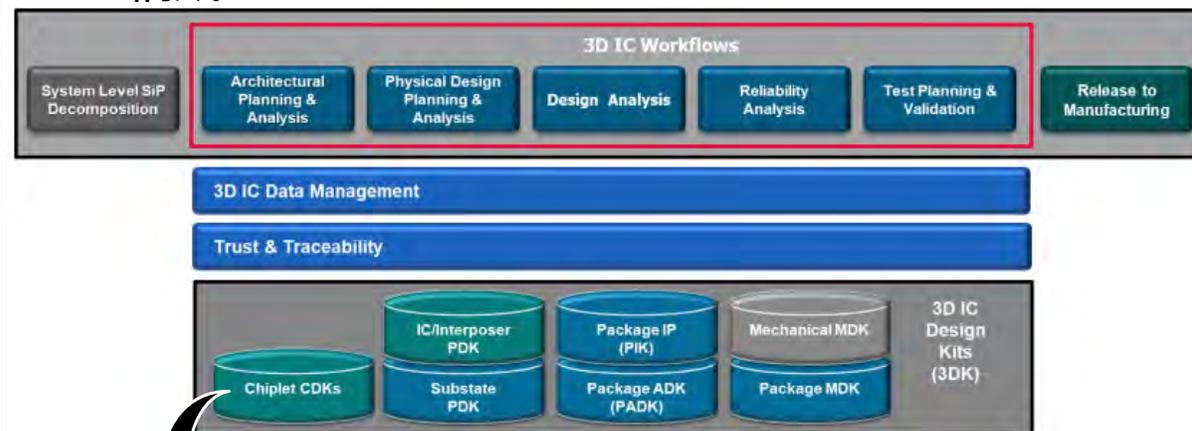
- 標準化されたチップレットモデル、ワークフロー、エコシステムの推奨
- Die-to-Dieインターフェイス等

Chiplet Design Kit(CDK)

Recommended chiplet models to support 3DIC integration

US Government Call for Standardized Assembly Design Kits (ADKs)

CDX構成



Model	Description
Thermal	• ECXML – JEDEC JEP181
Physical & Mechanical	• Library Exchange Format (LEF) • GDSII or OASIS • JEDEC JEP30-P101/CDXML
Electrical/IO	• JEDEC JEP30-E101/CDXML
Behavioral	• SystemVerilog IIEEE – 1800-2017 • Recommended: Verilog-AMS 2.4 • Optional: SystemC IIEEE – 1666-2011 • Optional: Bus Functional Model (BFM)
Power	• Liberty (.LIB) • IIEEE2416 Standard for Power Modeling • Optional: UPF – IIEEE 1801-2018 or CPF • Optional: Verilog-AMS 2.4 • Optional: SystemC IIEEE – 1666-2011
SI Analysis	• IBIS/IBIS AMI • Optional: Spice netlist (IO driver/receiver) • Optional: Channel model

Model	Description
PI Analysis	• Chip Power Model (CPM)
Static Timing Analysis	• Chiplet (.LIB)
Test	• BSDL – IIEEE 1149.1/1149.6/1149.7 • ATPG model - Primitive/UDP based Verilog • Recommended: Internal JTAG (IJTAG) IIEEE 1687 • Optional: IIEEE-1500 Core Test Language (CTL) • Recommended: Gray-box level netlist • ATPG vectors - STIL (IIEEE1450.1) or WGL • MBIST/repair vectors - STIL (IIEEE1450.1) or WGL • Optional: UPF – IIEEE 1801 or Chip Power Format • Optional: IP Firmware (if applicable)
Security	• Optional: Security Agent
Documentation and Guidelines	• General Chiplet Documentation • SiP Physical Integration guidelines • SiP Test guidelines • Optional: Firmware (if applicable) • Optional: Security

出展 : OCP CDX-3DIC-Design-KITS.pdf

審議中の半導体国際規格案

事例3：熱設計モデル

フロントローディングのための熱設計の進化

- 熱と電気の協調設計をより上流から実施するためには、簡易モデルによる熱設計の進化が必須
- 従来の一次元モデルではRealをトレースできなくなっている

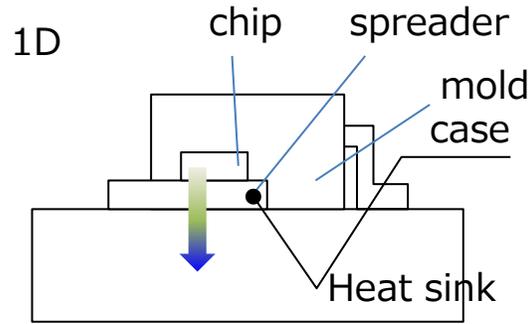


Fig.5 Cross sectional of MOSFET

1D heat transfer path

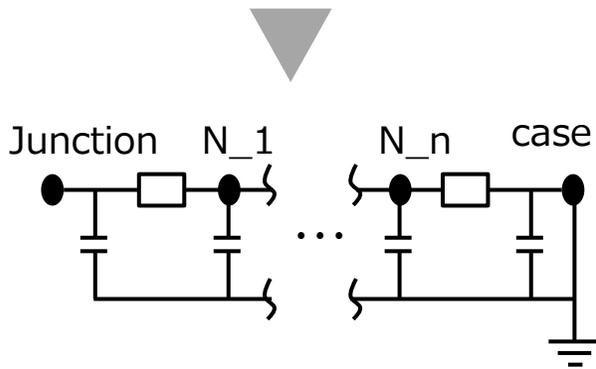


Fig.6 ladder model

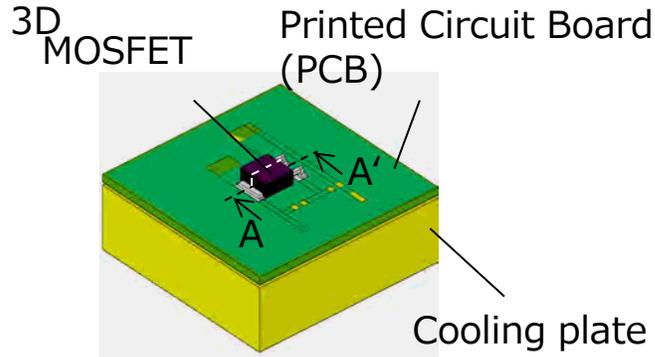


Fig.7-1 Environment

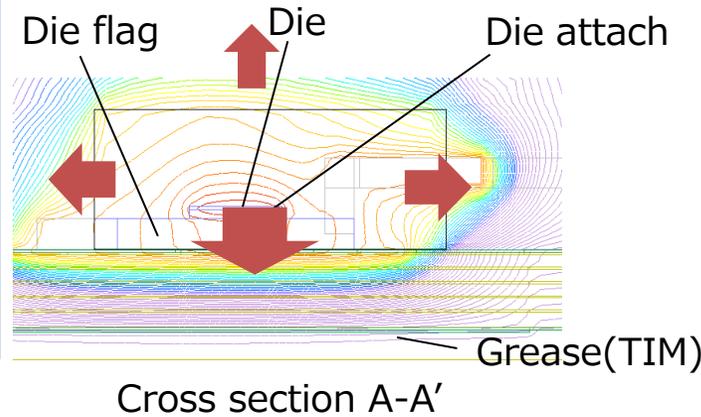


Fig.7-2 Thermal contour

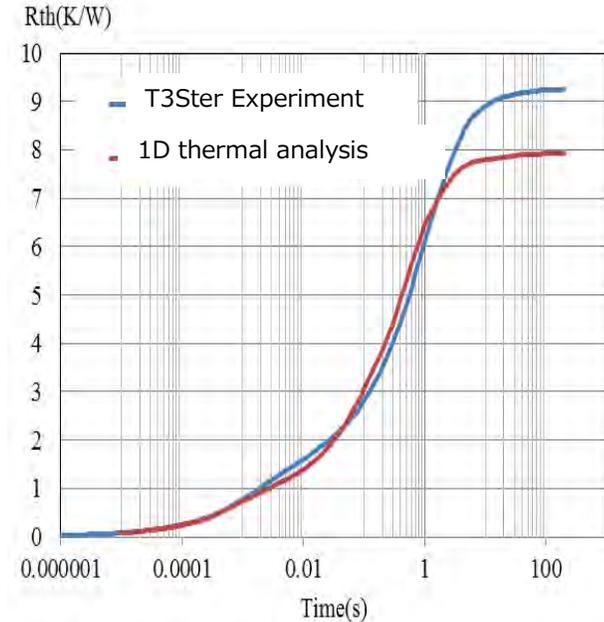
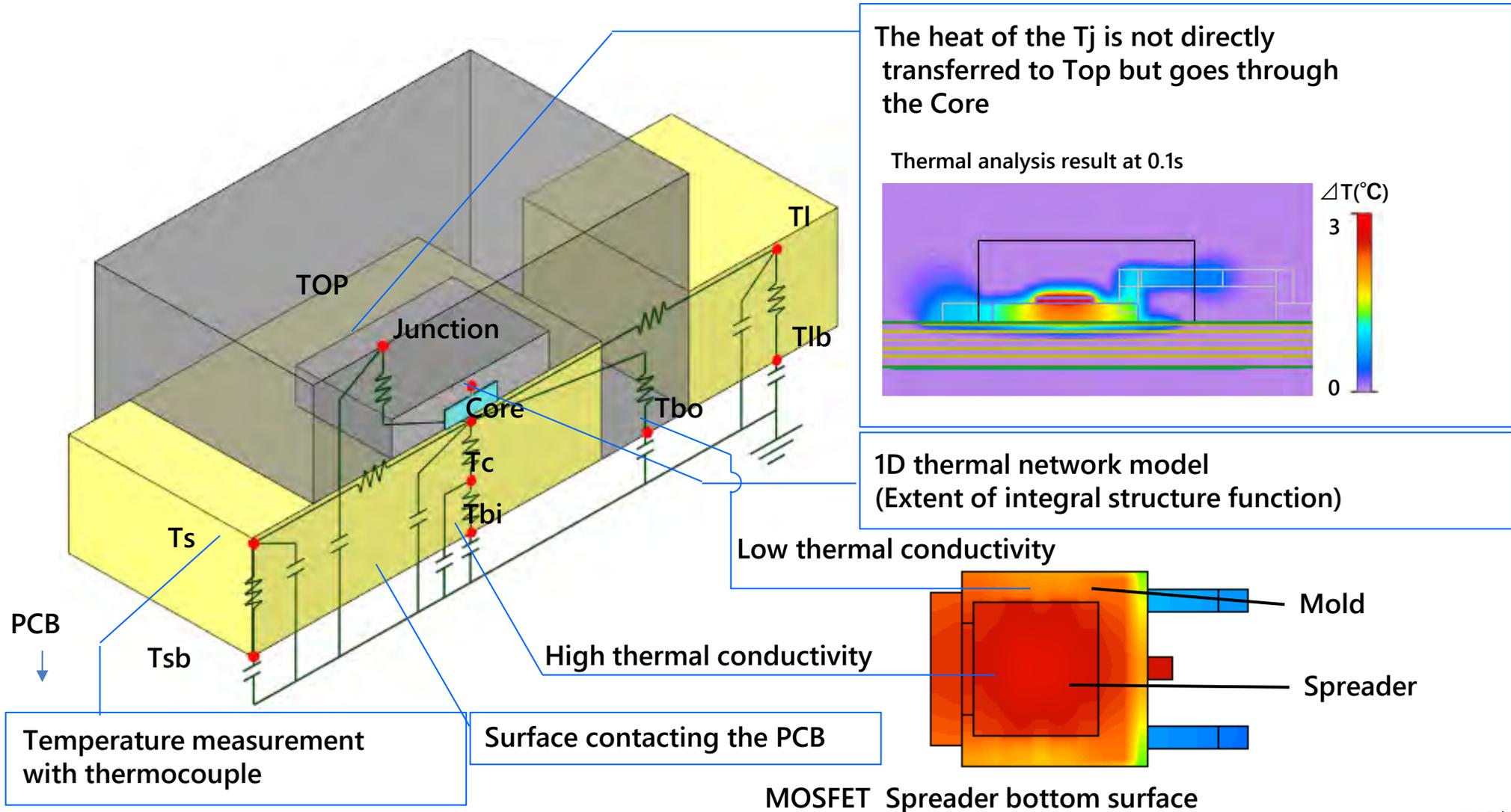


Fig.8 T3Ster experiment vs. 1D model

IEC/SC47D国際会議資料より

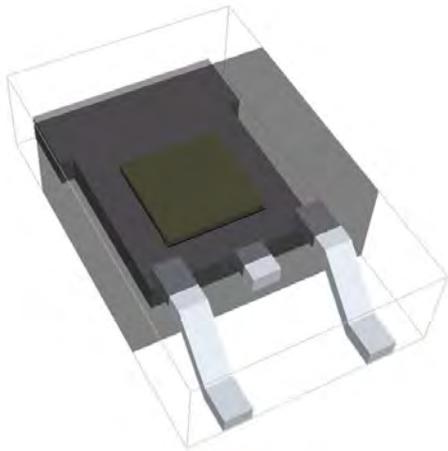
よりシンプルな事例でトポロジーを検証

- チップレット化の考え方同様、まずは1チップでトポロジーを極めたモデルで検証

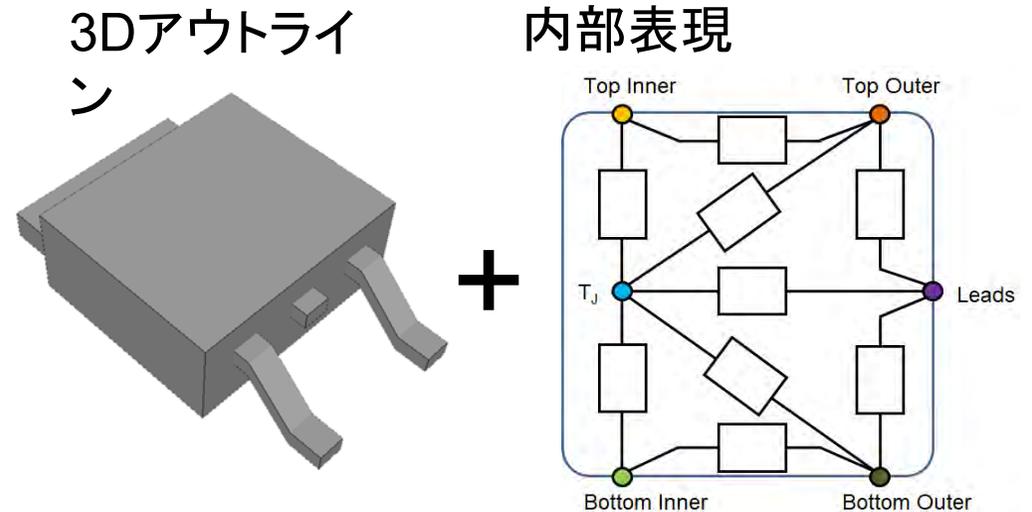


構造的観点から見ると3D熱シミュレーションモデルには2つのタイプがある。

- 「GTM」は3D（3次元）構造から成る。
- 「CTM」は、3Dパッケージの外形と内部熱伝達の数学的表現の組み合わせで作成



幾何学的熱モデル
(**G**T**M**: **G**eometry **T**hermal **M**odel)

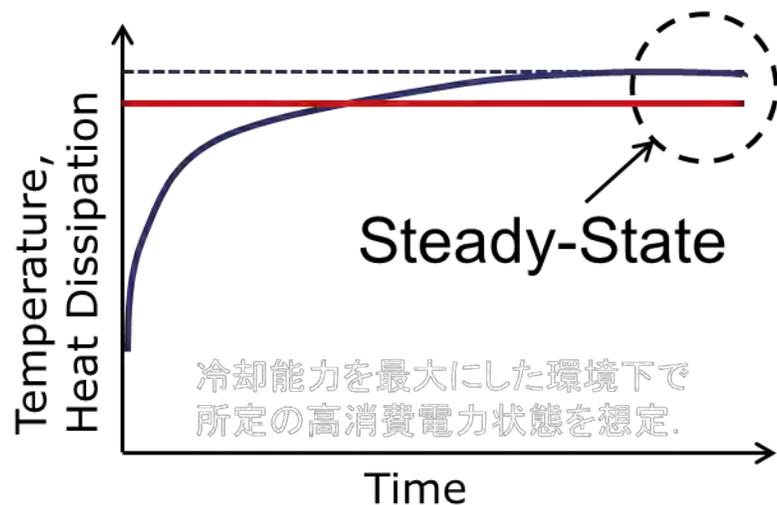


コンパクト熱モデル
(**C**T**M**: **C**ompact **T**hermal **M**odel)

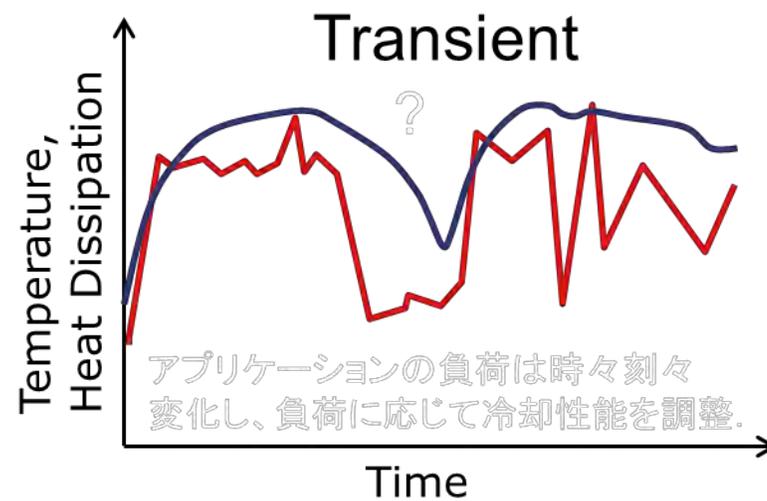
多くの場合、回路網モデル

使用方法の観点から、3D熱シミュレーションモデルには2つのタイプがあります：

- 「定常状態」モデルは定常状態のシミュレーションに使用されます。これは過渡シミュレーションには使用できません。
- 「過渡」モデルは過渡（非定常状態）シミュレーション用にモデル化されています。これは、定常状態と過渡シミュレーションの両方に使用できます。

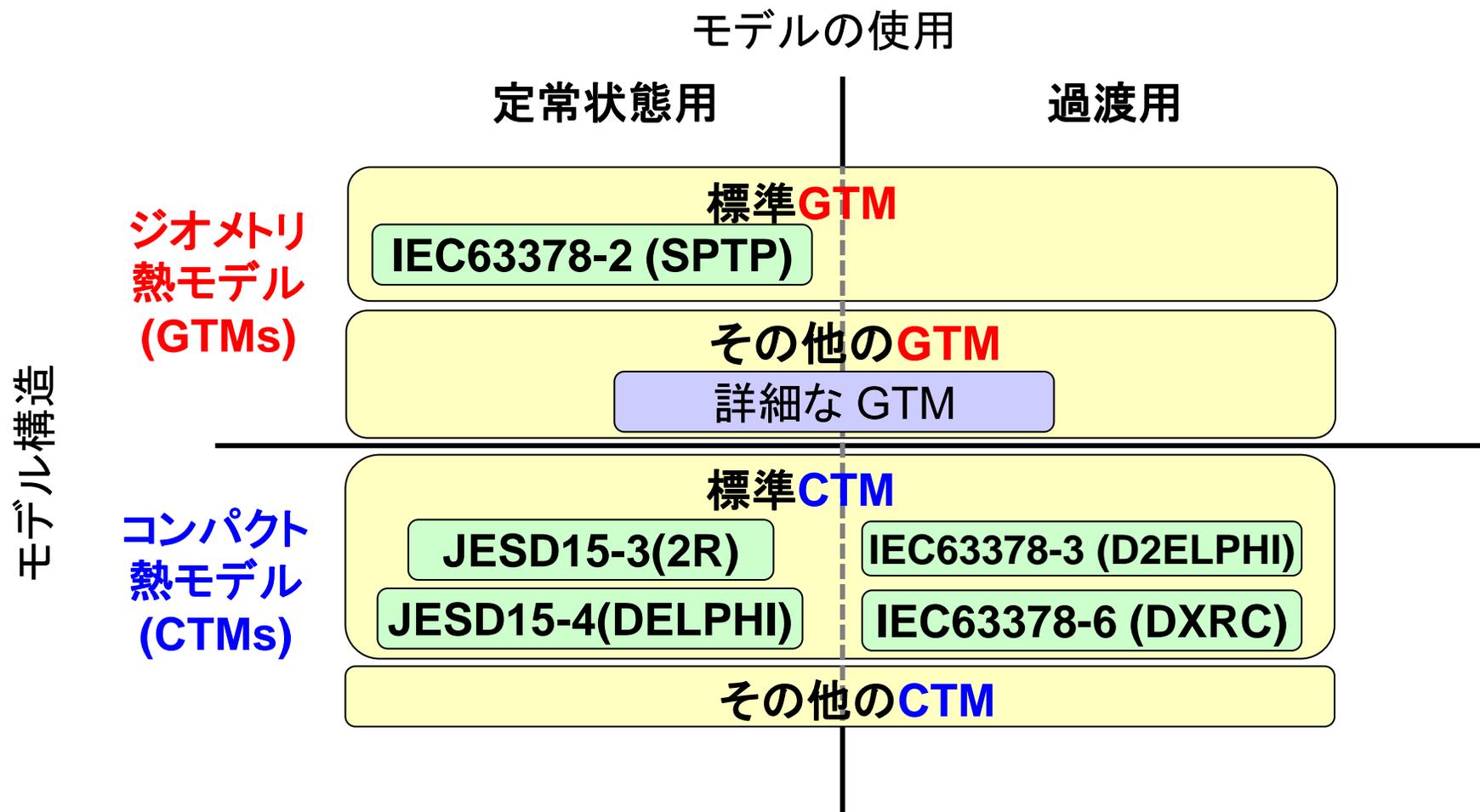


定常状態モデル



過渡熱モデル

- 熱モデルは、用途やタイミング、手持ち情報などに応じて、使い分けるのが適切。
- 使い分けに応じた各カテゴリの標準モデルを検討



審議中の半導体国際規格案

【ご参考】 事例4 : Neuromorphic Device / Memristor Device

【ご参考】 IEC/TC47(半導体)ではAIを超えるデバイスの標準化が進行中

- AIを超えるデバイスと目される**Neuromorphic Device / Memristor Device** の標準化がスタート(韓国)
- 韓国はAIの先を見て標準化・技術開発を実施

Project Reference	Title	Document Reference	Init. Date	Next Stage	Working Group	提案国
IEC 63550-1 ED1	Semiconductor devices - Neuromorphic devices - Part 1: Evaluation method of basic characteristics in memristor devices	47/2810/NP	2024-01	CD	TC47WG 6	韓国
IEC 63550-2 ED1	Semiconductor devices - Neuromorphic devices - Part 2: Evaluation method of linearity in memristor devices	47/2811/NP	2024-02	CD	TC47WG 6	韓国
IEC 63550-3 ED1	Semiconductor devices - Neuromorphic devices - Part 3: Evaluation method of spike dependent plasticity in memristor devices	47/2812/NP	2024-02	CD	TC47WG 6	韓国
IEC 63550-4 ED1	Semiconductor devices - Neuromorphic devices - Part 4: Evaluation method of asymmetry in neuromorphic memristor devices	47/2813/NP	2024-02	CD	TC47WG 6	韓国

Neuromorphic Device

- 人間の脳を模倣するIn-memory Analog Device → Neuromorphic Device
- 米国は半導体協会(SIA)のCHIPS ACT 10年プラン内でビジョンを提示
- 消費電力が 1/10,000 になるらしい

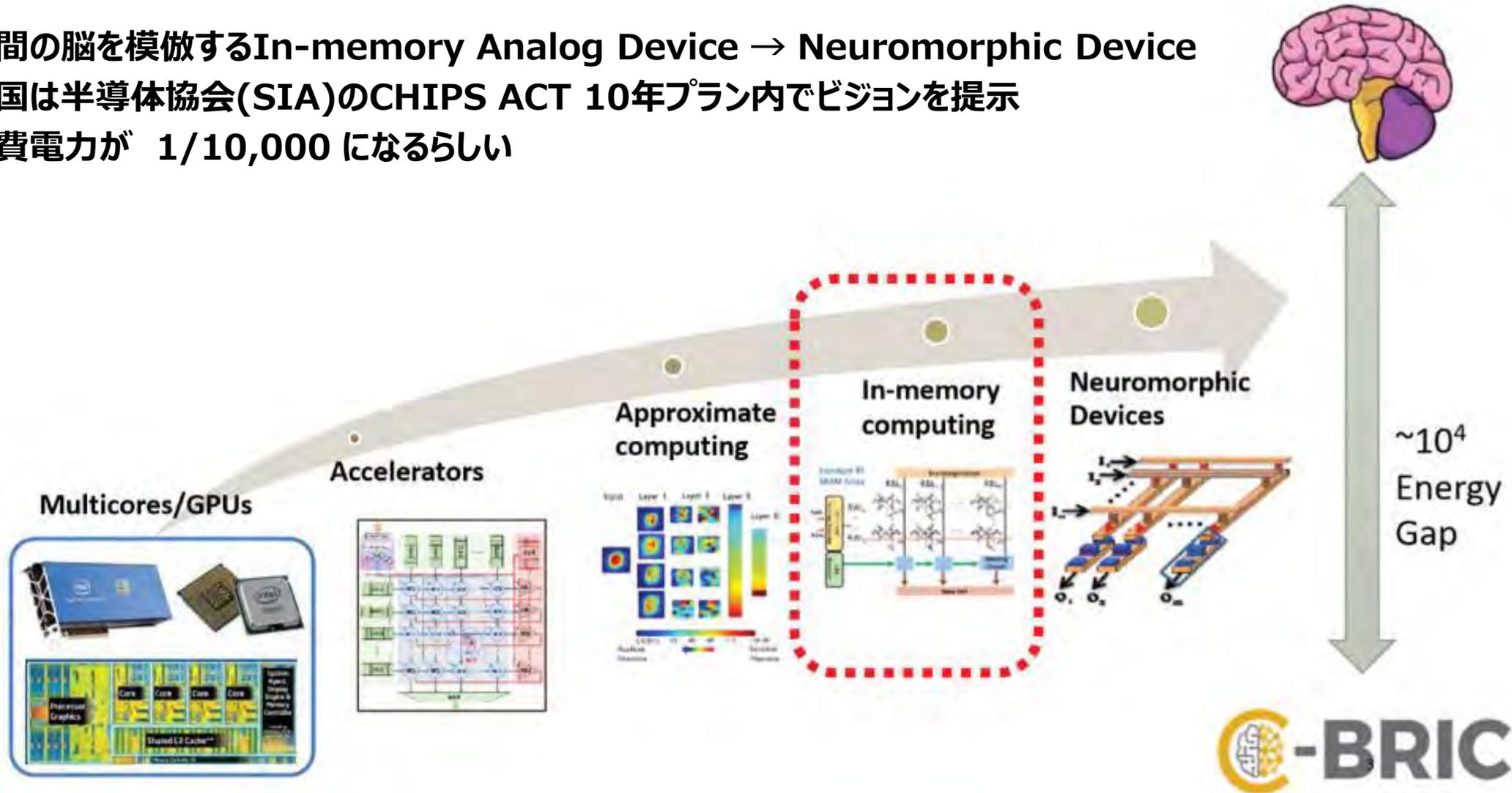


図:人工知能(AI)と自然知能(NI)の機能を橋渡しするハードウェア開発のロードマップ(パデュー大学のAnand RaghunathanとKaushik Roy)「Decadal Plan for Semiconductors」(Semiconductor Research Corporation) <https://www.src.org/about/decadal-plan/decadal-plan-full-report.pdf>

チップレットにおける 先端半導体パッケージングの構造設計の現状と課題

- 標準化団体
 - TITAN Si²
 - CDX
 - UCIE
- IEEE EPS HIR (Heterogeneous Integration Roadmap)
 - Motivation of Heterogeneous Integration
 - Heterogeneous Integration Applications
 - Heterogeneous Integration Roadmap Contents
 - CHAPTER 5: AUTOMOTIVE
 - CHAPTER 10: INTEGRATED POWER ELECTRONICS
 - CHAPTER 13: CO DESIGN FOR HETEROGENEOUS INTEGRATION
 - CHAPTER 14: MODELING AND SIMULATION

Top 3 Priorities for TITAN Satellites



Priority	Focus	Initiatives
<p>1.</p>	<p>Secure Processed Data API SPEED API (*)</p>	<ul style="list-style-type: none"> - Methodology flows through database and data access layer "backend" - Application of RESTful API for interactions with RESTful web services, including cloud - Database and data query security challenges - Use of scripting for production translation/interoperability, i.e., Python, JSON
<p>2.</p>	<p>2.5 D/3D IC Interoperability Challenges</p>	<ul style="list-style-type: none"> - Workflow for integrating heterogenous chiplets (2.5D/3D stacking, IP blocks, etc.) - Challenges in common standard for defining complex assembly design rules, e.g., bumps and dies for chiplets - Standardized API for layout validation (LV) features of different CAD tools and Workflows
<p>3.</p>	<p>Multi-vendor Data Management & Workflows (DMW) for Silicon-to-Systems</p>	<ul style="list-style-type: none"> - Mission-critical Auto/IoT applications - Advanced flow debugging methodologies - Data reduction and efficient storing/mining



(*) Multiple-choice Survey of TITAN Members Underway; Results to be published by DAC '22

スコープ

- 異種チップレットを統合するためのワークフロー
- チップレットの bumps・ダイ用の複雑なアセンブリルール
- 異なるCADツールで設計されたチップのレイアウト検証用標準API

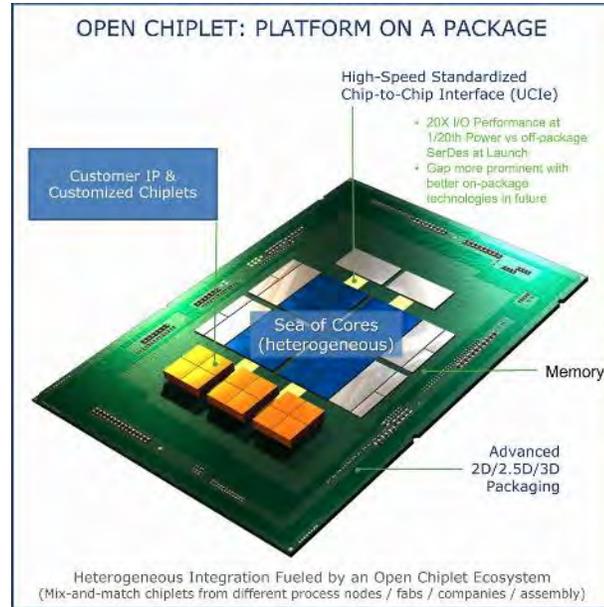
出展 : TITAN ROUNDTABLE EVENT Friday, May 13, 2022

UCIe (Universal Chiplet Interconnect Express)

UCIe (Universal Chiplet Interconnect Express)

Chip-to-Chip, Die-to-Die間の高速インターフェイスを通信プロトコルを含めて標準化

Chip-to-Chip通信



Die-to-Die通信



UCIe 1.0: Characteristics and Key Metrics

CHARACTERISTICS	STANDARD PACKAGE	ADVANCED PACKAGE	COMMENTS
Data Rate (GT/s)	4, 8, 12, 16, 24, 32		Lower speeds must be supported -interop (e.g., 4, 8, 12 for 12G device)
Width (each cluster)	16	64	Width degradation in Standard, spare lanes in Advanced
Bump Pitch (um)	100 - 130	25 - 55	Interoperate across bump pitches in each package type across nodes
Channel Reach (mm)	<= 25	<=2	

KPIs / TARGET FOR KEY METRICS	STANDARD PACKAGE	ADVANCED PACKAGE	COMMENTS
B/W Shoreline (GB/s/mm)	28 - 224	165 - 1317	Conservatively estimated: AP: 45u; Standard: 110u; Proportionate to data rate (4G - 32G)
B/W Density (GB/s/mm ²)	22-125	188-1350	
Power Efficiency target (pJ/b)	0.5	0.25	
Low-power entry/exit latency	0.5ns <=16G, 0.5-1ns >=24G		Power savings estimated at >= 85%
Latency (Tx + Rx)	< 2ns		Includes D2D Adapter and PHY (FDI to bump and back)
Reliability (FIT)	0 < FIT (Failure In Time) << 1		FIT: #failures in a billion hours (expecting ~1E-10) w/ UCIe Flit Mode

UCIe 1.0 delivers the best KPIs while meeting the projected needs for the next 5-6 years across the compute continuum.

↑ 出展: ITC2023 Keynote

On-Package Chiplet Innovations with Universal Chiplet Interconnect Express(UCIe):Challenges and Opportunities



出展: [UCIe](#)



Hot Chips 2023 - UCIe Tutorial

- ヘテロジニアス・インテグレーション/チップレット化の技術動向を誰でも詳細に見ることができる



2021 Edition

Chapter 10: Integrated Power Electronics



2021 Edition

Chapter 5: Automotive

For updates, visit <http://eps.ieee.org/hir>

出典 IEEE HIR

The screenshot displays the CHIPLET SUMMIT 2024 website. The top navigation bar includes links for Registration, Program, Exhibitors / Sponsors, and About the Summit. The main banner features the event title "CHIPLET SUMMIT" and "All the Solutions for Developing Chiplets", along with the dates "February 6-8, 2024" and the location "Santa Clara Convention Center CONFERENCE & EXHIBITION". Below the banner, the "2024 Proceedings" section is visible, with a download link for "Download all Presentations and Keynotes - 31 total (zip file - 160 MB)". The proceedings are organized by date, starting with "Wednesday, February 7th".

Wednesday, February 7th
Chiplets: Where We Are Today (Plenary Track) Chiplet Markets Are Rising: When and When? - Click for Proceedings Tom Hackenberg, Principal Analyst, Yole Group Ying-Wu Liu, Technology/Cost Analyst, Vole SystemPlus Developing Chips for Tomorrow: You, Me, and ChatGPT - Click for Proceedings Jawad Nasrullah, CEO, Palo Alto Electron
A-101: Security - 1 (Design/Security Track) Developing Secure Multi-Die Systems Dana Neustadter, Product Management Director, Synopsys Using Functional Monitors to Ensure Chiplet Integrity Lee Harrison, Marketing Director, Siemens Digital Industries Software
B-101: Interfaces - 1 (Interfaces - Integration - Applications Track) Using a Simulation Model to Optimize UDie Implementations - Click for Proceedings Hee-Soo Lee, High-Speed Design Lead, Keysight Technologies Adrian Auge, Sr Staff Signal Integrity Engineer, Aliphawave Semi Fangyi Rao, Keysight Technologies UDie Reaches a First Step in Interoperability Manuel Mota, Sr Product Manager, Synopsys eFPGA Solutions for Flexible Die to Die Protocol Adapters - Click for Proceedings Nick Ilyadis, VP Product Planning, Achronix
C-101: Chiplets Drive Top Leading-Edge Designs (Panel Track) Panel Members: Panelist: Anu Ramamurthy, Associate Technical Fellow, Microchip Panelist: Denis Dutoit, Program Manager, OEA-List Panelist: Jinho An, Account Technologist Director, Applied Materials Panelist: Helia Nasimi, Director, Tenstorrent Panelist: Kenneth L. Jones, Director Product Management, Supermicro

出典 CHIPLET SUMMIT

Heterogeneous Integration Applications

4) For Smart Phone

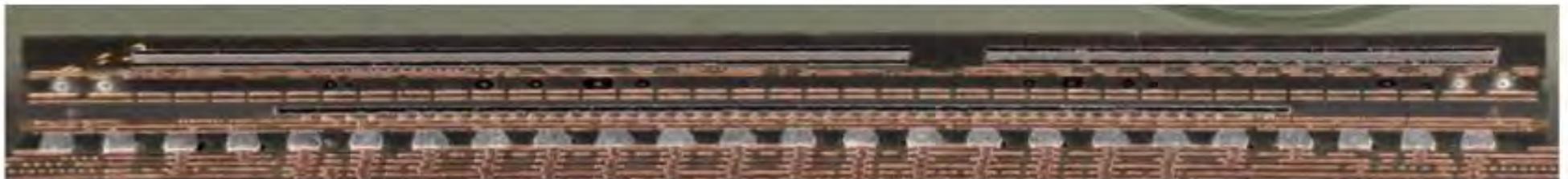
Apple A12 Processor



Samsung EXYNOS 9810



Huawei HiSilicon Kirin 980



*Figure 11. Three examples of Package on Package [PoP] in Smart Phone Teardowns.
Source: Prismak Partners & Bingahmton University*

スマートフォン業界

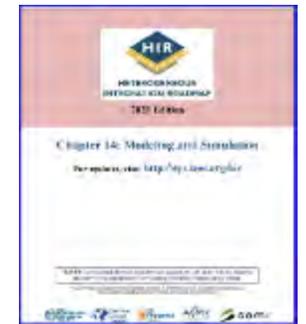
何世代にもわたって SiP の使用において Heterogeneous Integration テクノロジーをいち早く採用(但し PoP)

出展: IEEE EPS HIR

IEEE EPS HIR (Heterogeneous Integration Roadmap)

Heterogeneous Integration Roadmap Contents

CHAPTER 1	: HETEROGENEOUS INTEGRATION ROADMAP – OVERVIEW
CHAPTER 2	: HIGH PERFORMANCE COMPUTING AND DATA CENTERS
CHAPTER 3	: THE INTERNET OF THINGS (IOT)
CHAPTER 4	: MEDICAL, HEALTH & WEARABLES
CHAPTER 5	: AUTOMOTIVE
CHAPTER 6	: AEROSPACE AND DEFENSE
CHAPTER 7	: MOBILE
CHAPTER 8	: SINGLE CHIP AND MULTI CHIP INTEGRATION
CHAPTER 9	: INTEGRATED PHOTONICS
CHAPTER 10	: INTEGRATED POWER ELECTRONICS
CHAPTER 11	: MEMS AND SENSOR INTEGRATION
CHAPTER 12	: 5G COMMUNICATIONS
CHAPTER 13	: CO DESIGN FOR HETEROGENEOUS INTEGRATION
CHAPTER 14	: MODELING AND SIMULATION
CHAPTER 15	: MATERIALS AND EMERGING RESEARCH MATERIALS
CHAPTER 16	: EMERGING RESEARCH DEVICES
CHAPTER 17	: TEST TECHNOLOGY
CHAPTER 18	: SUPPLY CHAIN
CHAPTER 19	: SECURITY
CHAPTER 20	: THERMAL
CHAPTER 21	: SIP AND MODULE SYSTEM INTEGRATION
CHAPTER 22	: INTERCONNECTS FOR 2D AND 3D ARCHITECTURES
CHAPTER 23	: WAFER-LEVEL PACKAGING (WLP)
CHAPTER 24	: Reliability (3/12 Review予定)



ハイライト部を調査

出展 : IEEE EPS HIR

IEEE EPS HIR (Heterogeneous Integration Roadmap)



詳細は別の機会に・・・

半導体システムインテグレーション技術委員会
マルチチップインテグレーションTG
半導体構造設計サブコミッティ
熱設計WG
先端半導体パッケージングWG



IEC/SC47D国内委員会

などで得られた技術情報の共有・フィードバックを行なっています

是非ご参加をお待ちしております。

問い合わせ先：吉田浩芳(大阪大学)

<yoshida.hiroyoshi@sanken.osaka-u.ac.jp>