

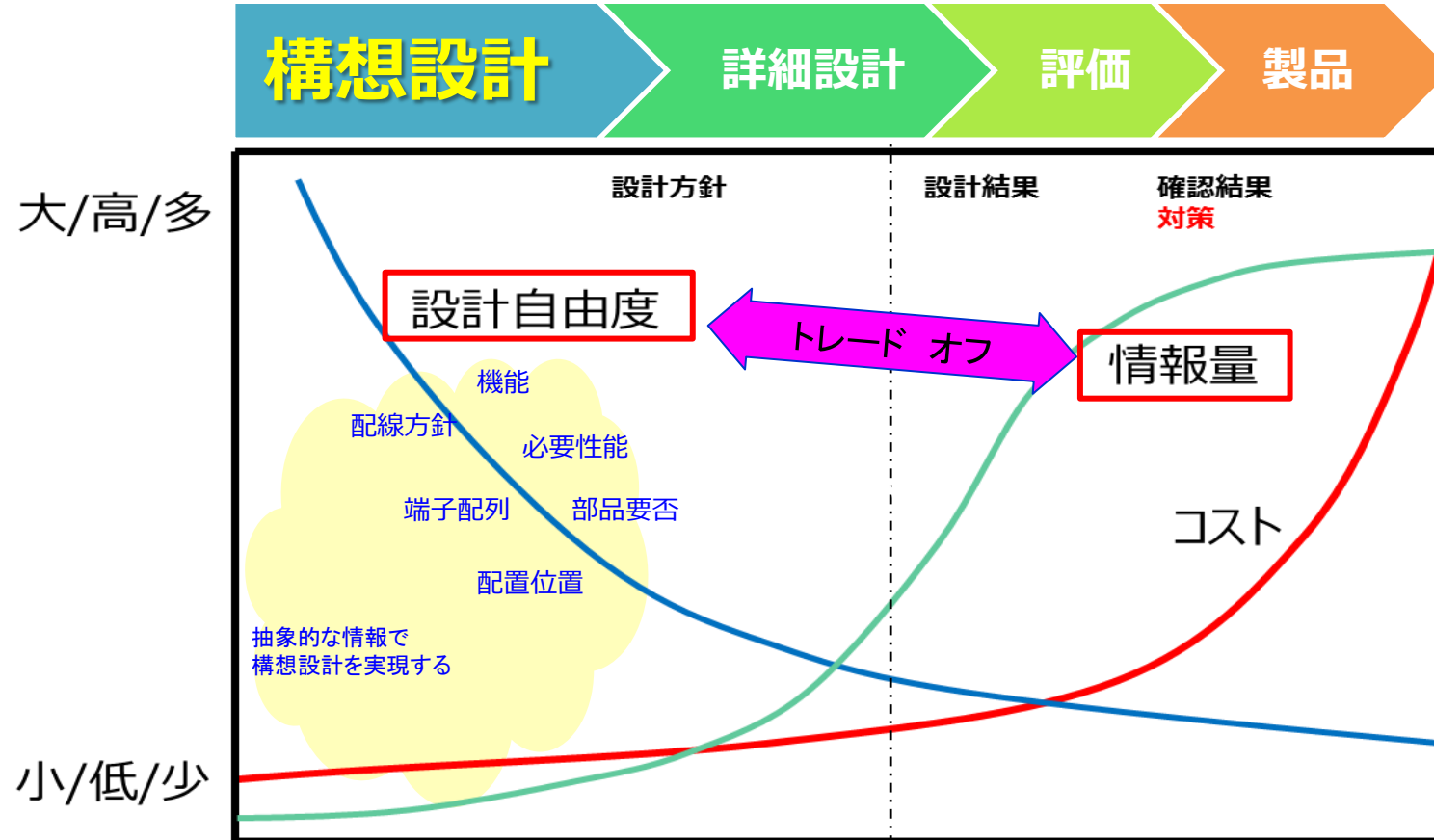
第18回 LPBソリューションフォーラム

システム電源の構想設計：PIのフロントローディング

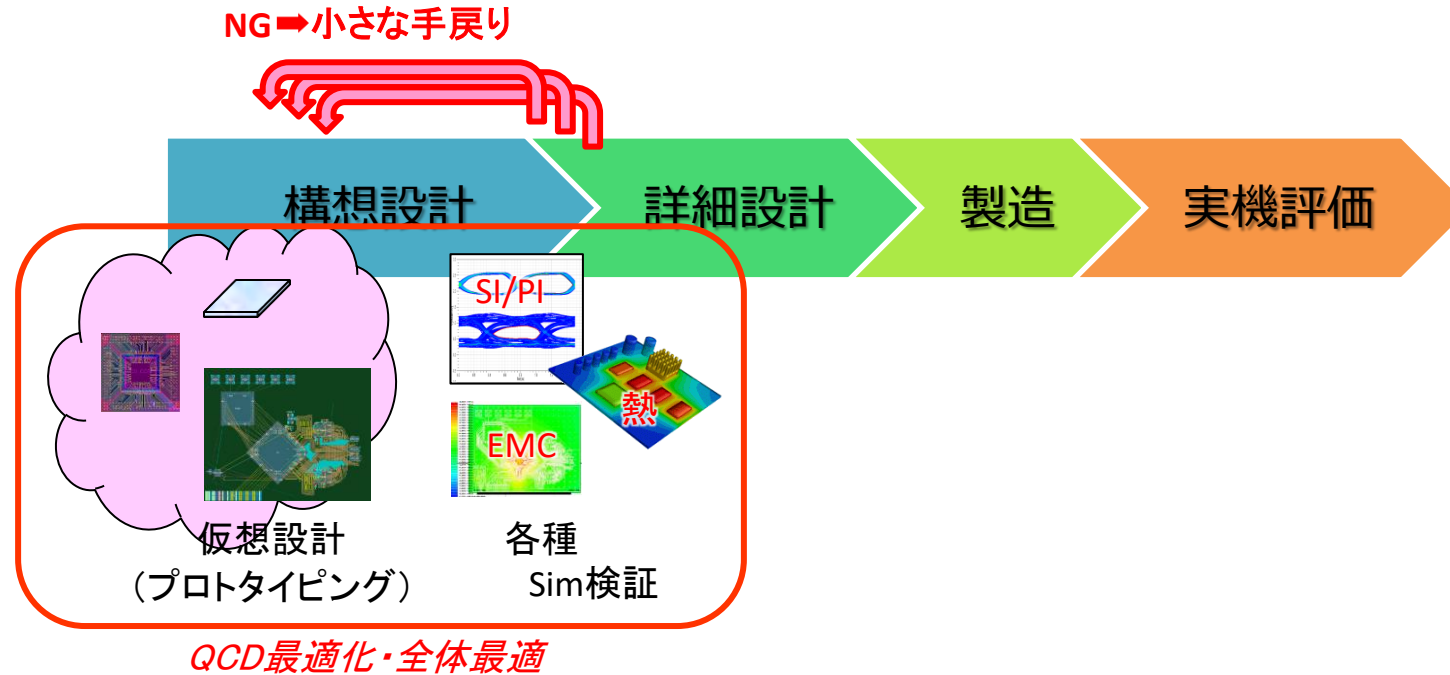
半導体&システム開発サブコミッティ
System FrontLoadingTG
林 靖二

QCDの最大化を目指して ⇒ フロントローディング設計

QCDが最大化する形態を選択できるように、設計自由度が高い構想設計段階で検討を行いたい

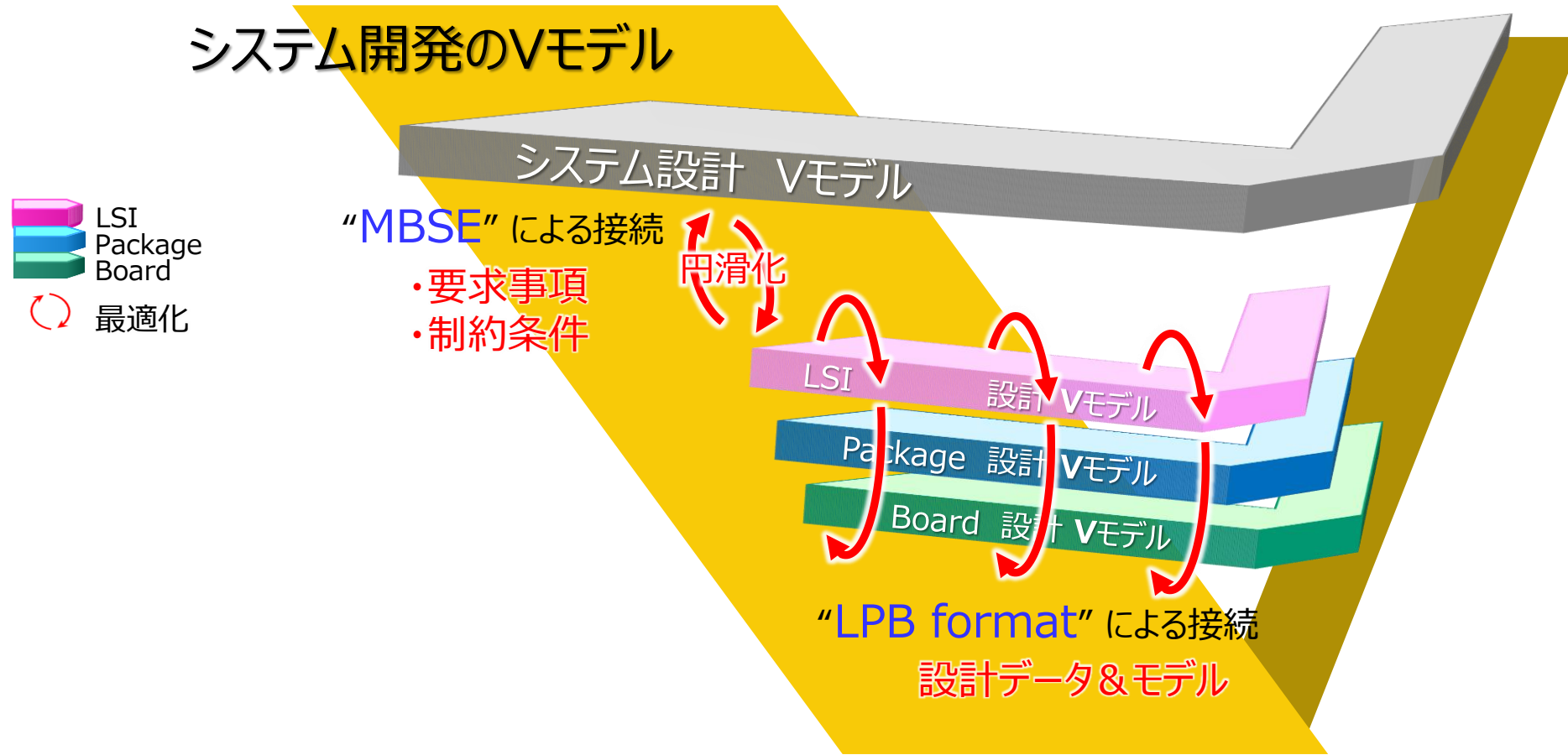


背景 フロントローディングの課題



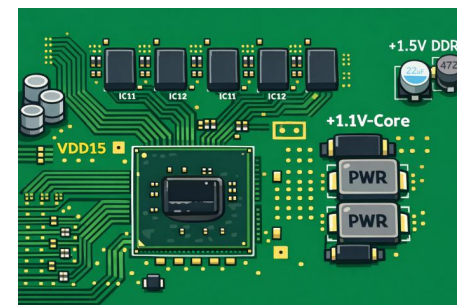
- 課題 1 : 技術領域によっては、Sim技術が確立していない
- 課題 2 : ゴール (最適化された状態) に到達できない
- 課題 3 : 構想段階での情報収集プロセス、分担が明らかでない

システム開発のVモデル

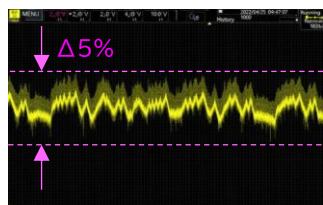


- ✓LPB format : LSI,Package,Board各設計間の情報そのものの定義 (設計データ、モデル)
- ✓MBSE : システム設計とLPB設計間の情報 (要求事項、制約条件) のフローの定義

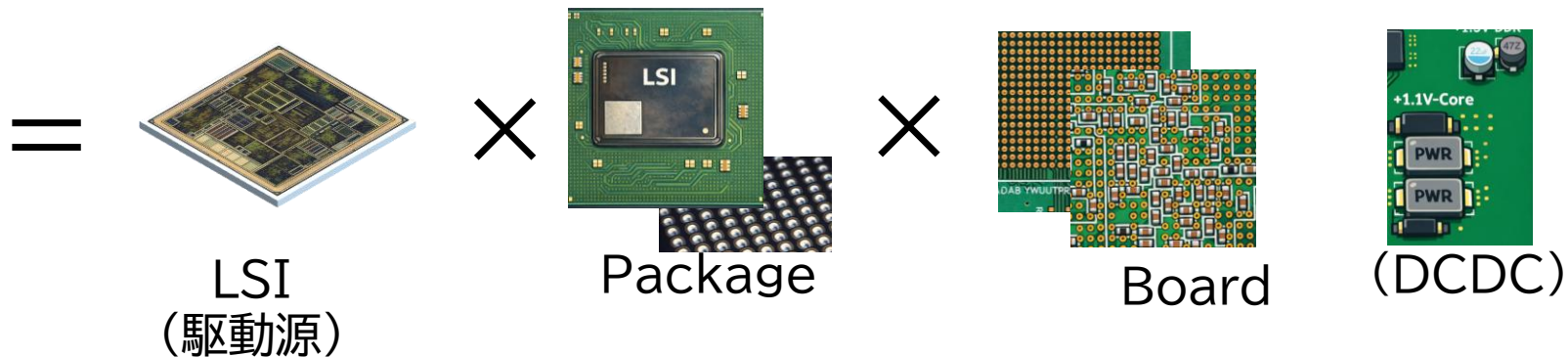
システム電源の構想設計 PIのフロントローディング



電流増、低電圧化によりPower Integrity(PI) の設計課題は難化



電源電位変動
@Ball



- ✓回路規模
- ✓動作率
- ✓V/G Pad
- ✓内部容量

- ✓BW/FC
- ✓サイズ
- ✓V/G Ball数

- ✓基板厚 Via
- ✓コンデンサ
サイズ、数

- ✓電源回路種

【周波数】

低周波	数百kHz~	対策部品	大型化
高周波	GHz	対策部品	小型化
広帯域		反共振	

} LPB 全体最適化必要

Power Integrity 設計の課題

設計課題	Q	C	D
1 SoC/Package/PCB仕様 中心・形	製品性能最適化 製品完成度 材料・部品認定	早期コスト見積もり 材料コスト最適化 SoCテクノロジー選定	イタレーション削減 材料手配 ベンダ選定
2 SoC/Interposer/PCB 特性に関するバリエーション 中心・特性	製品品質 EMC特性	SOC搭載C最適化 (ダイサイズ) チップCap数最適化 Interposer/PCB材料、銅厚最適化	イタレーション削減 材料手配
3 電源供給方法 & 配線方法 周辺	SoC端子配置最適化 EMC特性 (電流密度) 材料・部品認定	PCB層数削減 搭載部品最適化	PCB設計期間短縮 PCB材料手配 SoC端子配置作業期間

ループが小さくなるには、どちらから決めたらよいか

✓相互に相関がある複数の課題をどんな手順で解決するか



設計課題1 各電源設計から材料・構成ターゲット

形 を決めると ⇒ 特性 が決まる

項目	仕様値	PI特製良くなる仕様	制約事項
基板サイズ	200×200mm	面積大 → 部品配置多	製品サイズ制約、基板ソリ
基板総厚	1.2mm	薄 → Via短 → 低インダクタンス	基板サイズ、基板ソリ、Viaドリル径
基板テクノロジー	8層、貫通Via	多層 → 配線太 → 低インダクタンス	BGA引き出し、電流密度制約
基板銅箔厚	18μm（表層メッキ25μm）	厚銅 → 低抵抗&低インダクタンス	Viaドリル径、IRdrop
Viaドリル径	Φ0.125mm	太 → 低インダクタンス / 細 → Via数増	基板総厚、銅箔厚、BGA引き出し
Viaアニュラリング	Φ0.275mm	小 → Via数増	基板歩留まり（ドリル精度）
配線最小L/S	0.08mm/0.1mm	S小 → 配線太 & V/G結合増	BGA引き出し、基板歩留まり
BGA ランドサイズ	Φ0.3mm	Φ小 → Via数増	BGA実装信頼性、BGA引き出し
最小コンデンサ サイズ	0603	小 → ESL,ESR小	部品供給・トレンド、工場実装機制約
DCDC	POL配置、電流・電圧仕様		パッケージサイズ、引き出し領域

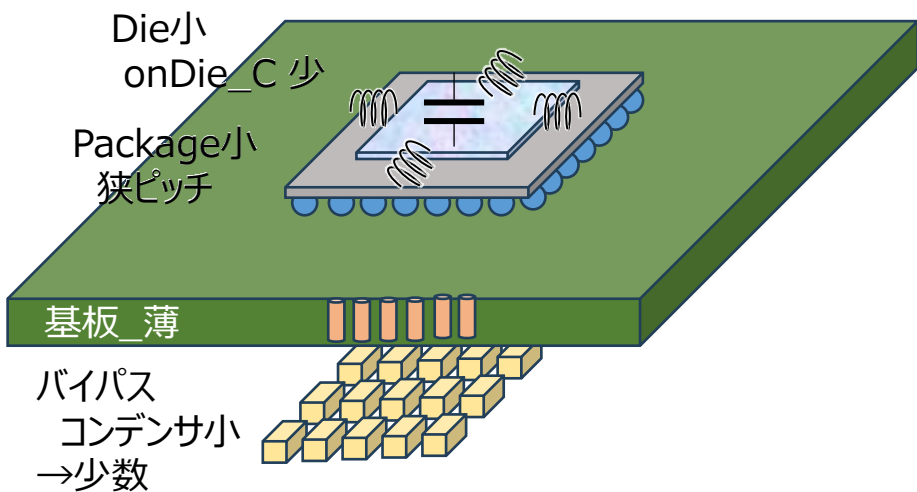
設計課題2 特性バジェット

トータルバジェットを満たすように、各部位 特性目標値を割り付ける 部分的個別設計に持ち込むための手法

特性 を決めると ⇒ 形 が決まる

$$Z_{\text{target}} > Z(C)_{\text{LSI}} + Z(L)_{\text{Package}} + Z(L)_{\text{Board}}$$

小型形態



C_{LSI}

小 > 大

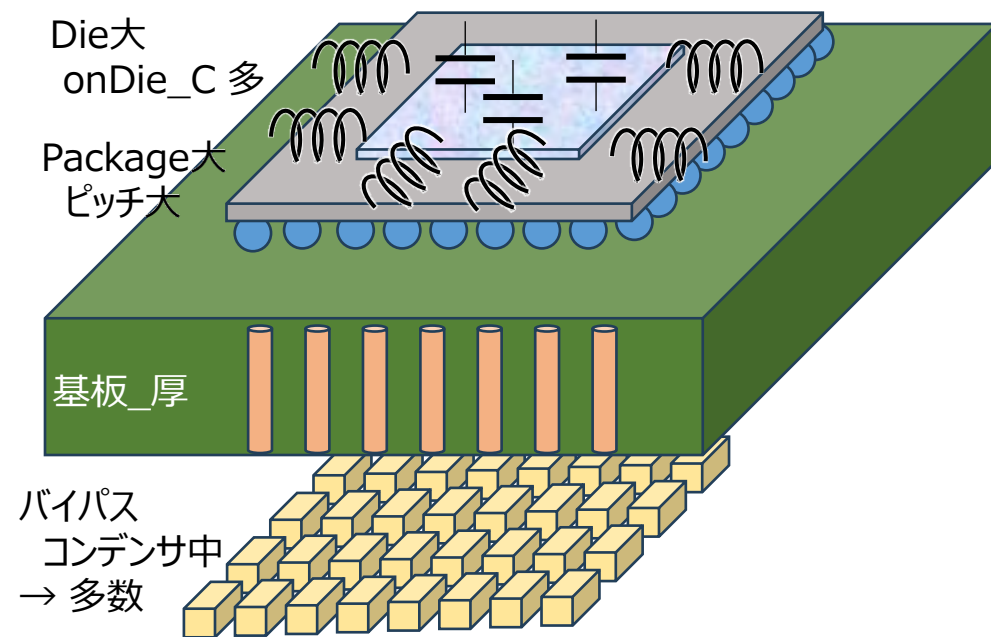
L_{Package}

小 < 大

L_{Board}

中 ≐ 中

大型（低コスト）形態



設計課題3：電源供給方法 & 配線方法

•どのようにLSIへ電源を供給するか

周辺

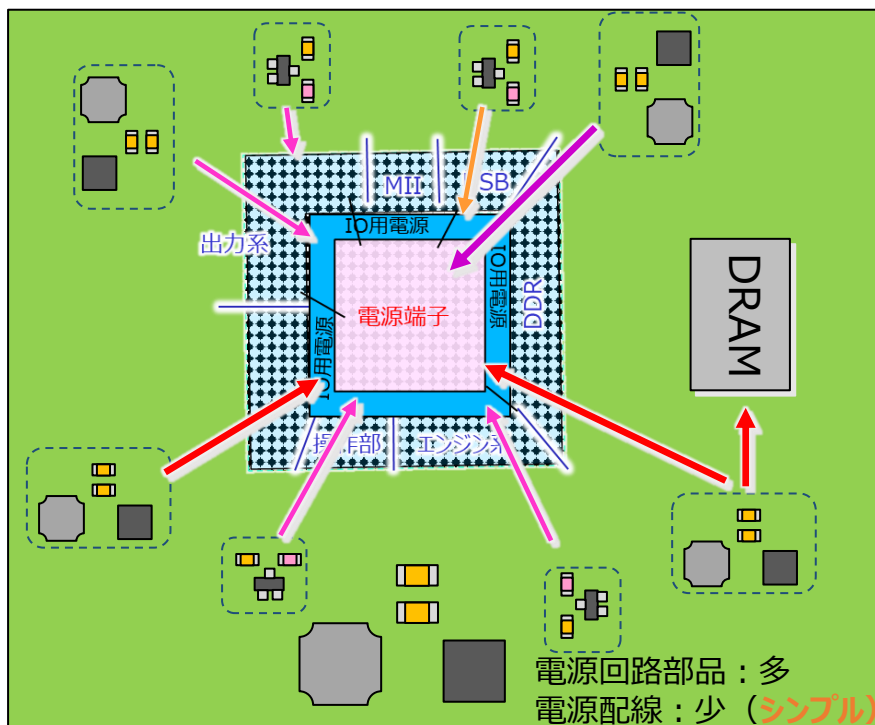


どんなPackageのLSIへ供給するのか

中心

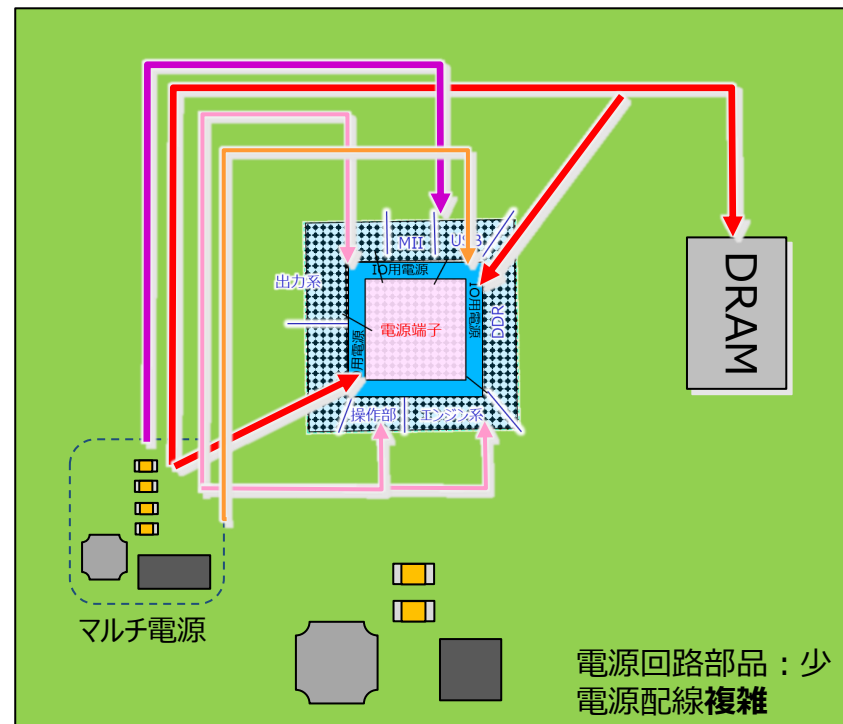
【構想案1】POL、低コスト部品 (0.8mmBGA、0603)

基板面積：大 / 基板層数：少

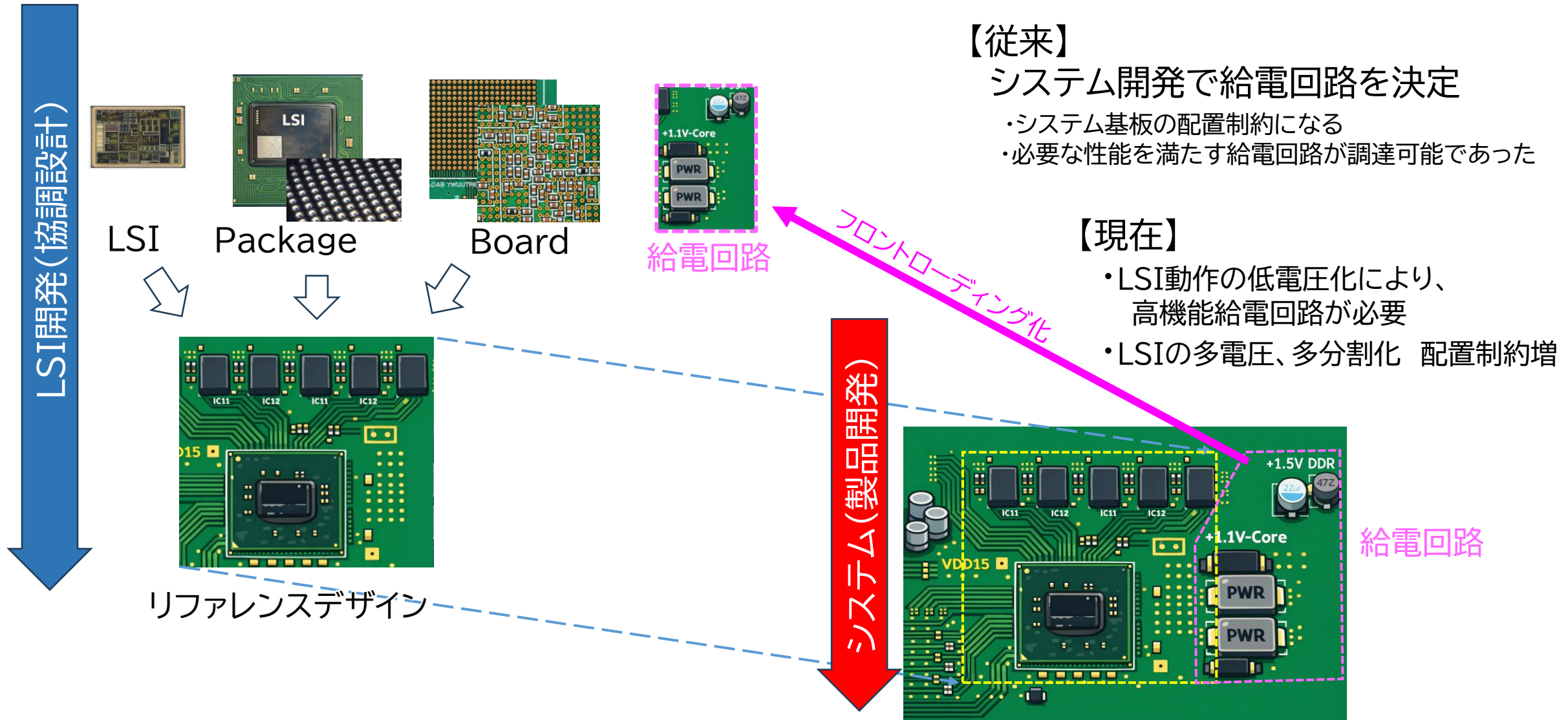


【構想案2】集中給電、小型部品 (0.65mmBGA、0402)

基板面積：小 / 基板層数：多



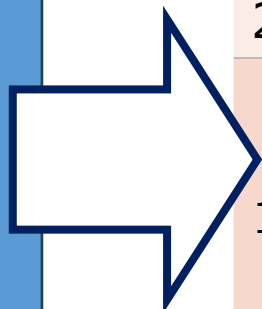
協調設計 給電方法決定フロー



コントローラLSIの電源情報 (6電圧、15種)

搭載したい回路

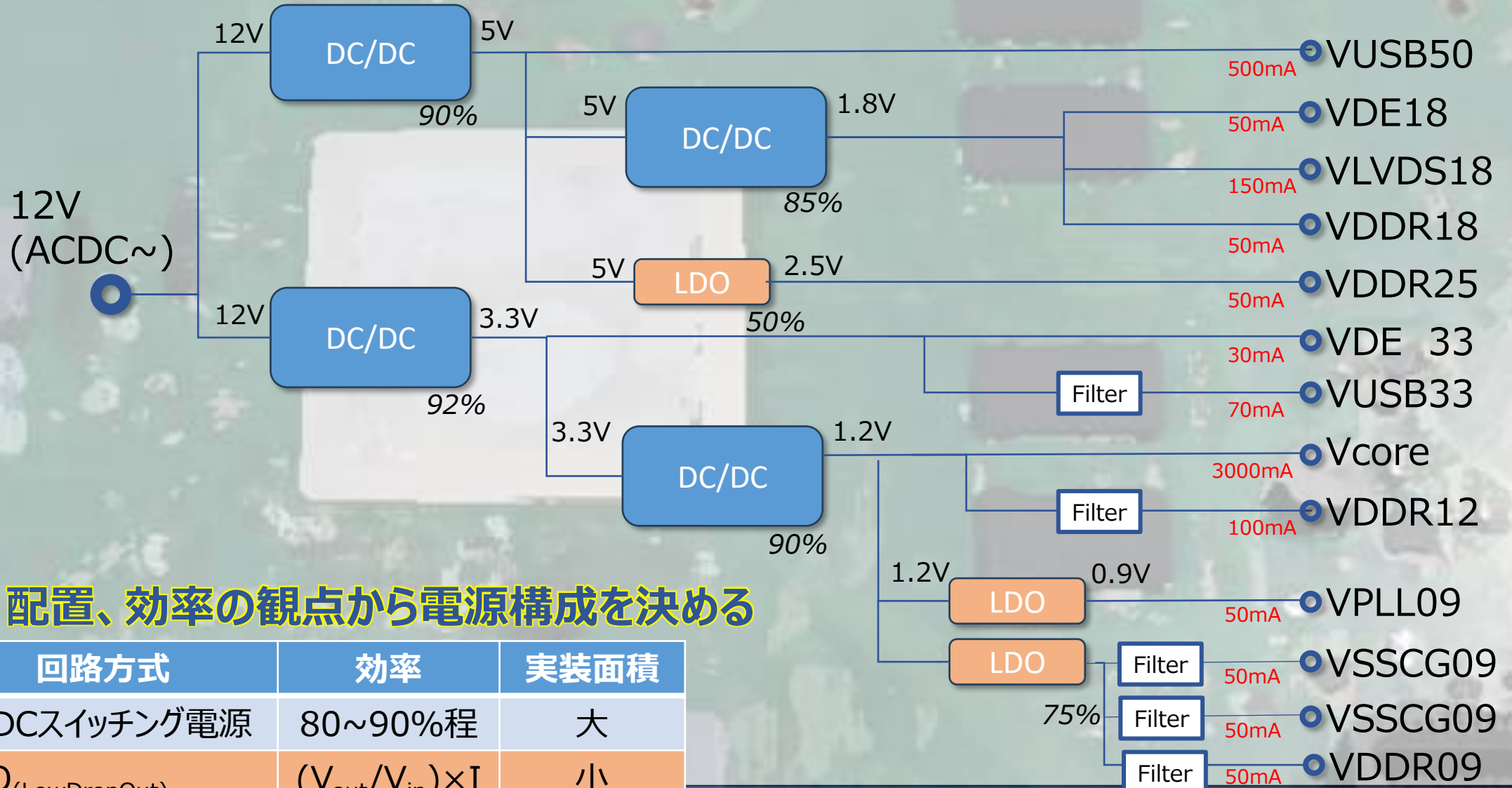
- ・□ジック (Core)
- ・DDR
- ・USB
- ・LVDS
- ・IO (LVCMOS)
- ・SSCG
- ・PLL



セットメーカーが決める

電圧	電源種	電流	Imp_Target	変動許容値
5V	VUSB50	500mA		±5%
3.3V	VDE33	30mA		±5%
	VUSB33	70mA		±5%
2.5V	VDDR25	50mA		±5%
1.8V	VDE18	50mA		±5%
	VLVDS18	150mA		±5%
	VUSB18	150mA		±5%
	VDDR18	50mA		±5%
1.2V	Vcore	3000mA		±5%
	VDDR12	100mA		±5%
0.9V	VDD09	200mA		±5%
	VPLL	50mA		±5%
	VLVDS09	50mA		±5%
	VSSCG09	50mA		±5%
	VDDR09	50mA		±5%

電源構成図作成



面積・配置、効率の観点から電源構成を決める

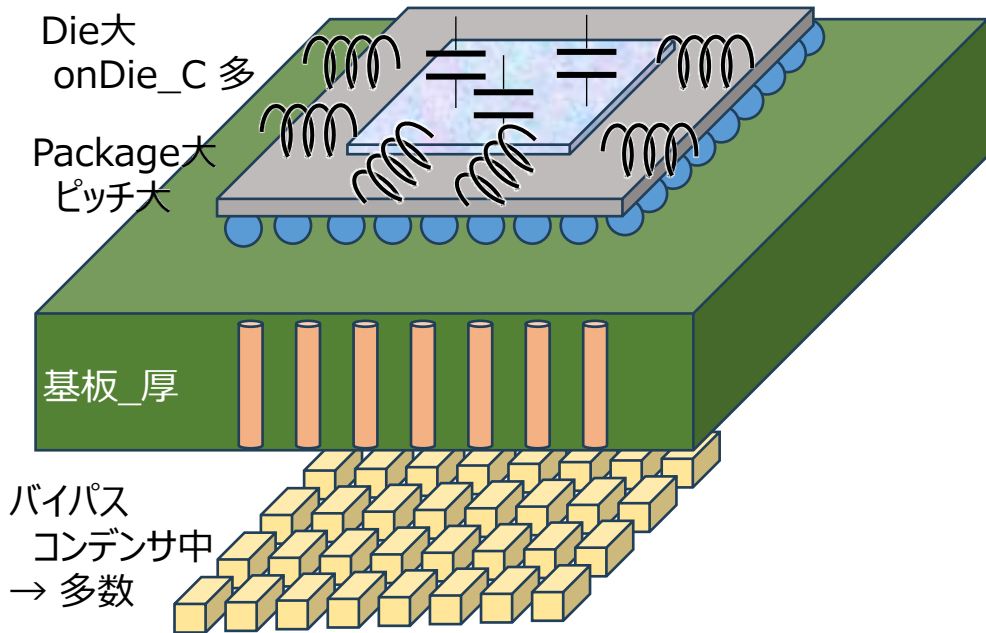
回路方式	効率	実装面積
DCDCスイッチング電源	80~90%程	大
LDO (LowDropOut)	$(V_{out}/V_{in}) \times I$	小

Power Integrity設計 LPB形態案

●Power Integrity(電源電位変動)の性能目標を実現する形態は複数存在する

$$Z_{\text{target}} > Z(C)_{\text{LSI}} + Z(L)_{\text{Package}} + Z(L)_{\text{Board}}$$

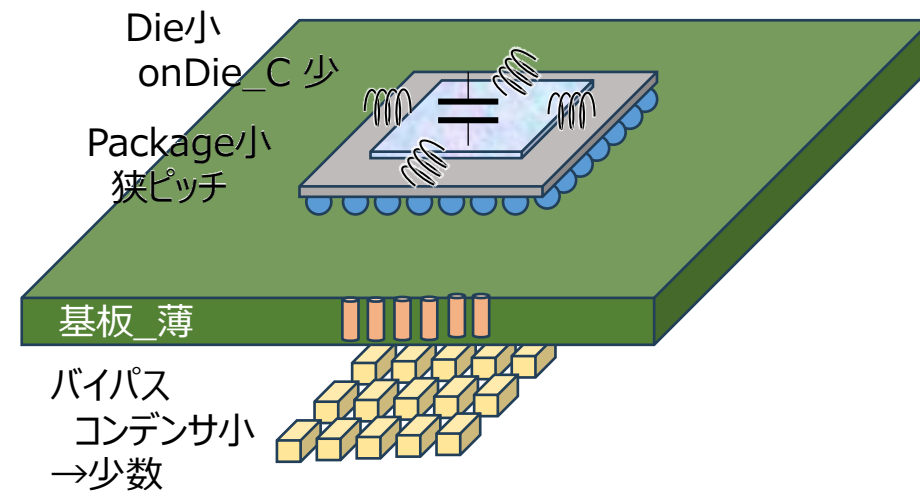
大型形態 → 数で勝負 ←→ 小型形態 → 質で勝負



C_{LSI}
Dieサイズは同等

L_{Package}
大…〈サイズ〉…小
多…〈ピン数〉…少

L_{Board}
長…〈Via〉…短
大…〈Cサイズ〉…小
多…〈数量〉…少



Power Integrity設計 給電方法

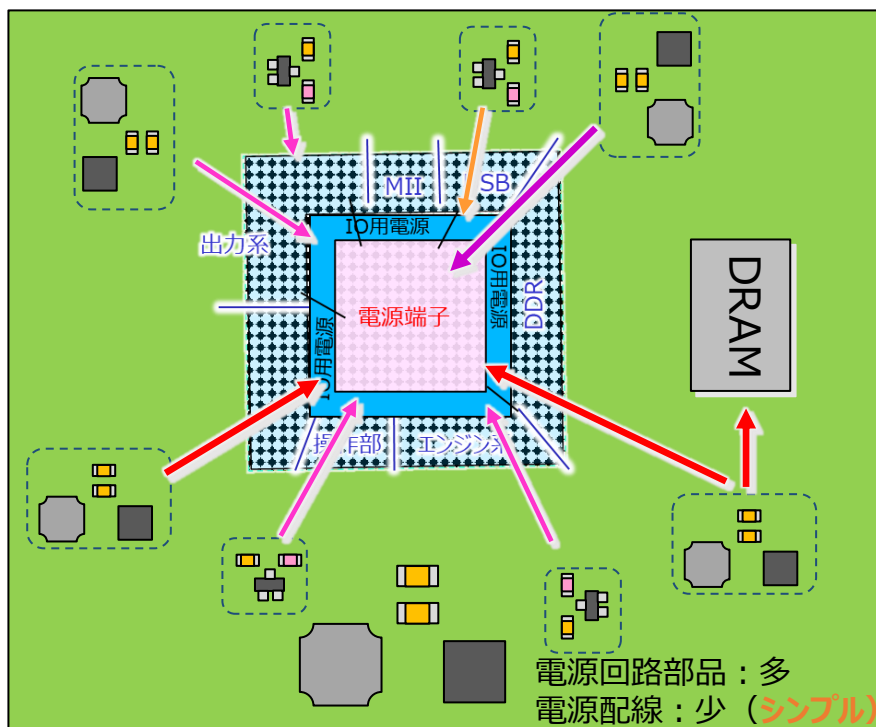
● LSIへの給電を実現する形態も複数存在する

【構想案1】POL、低コスト部品(0.8mmBGA、0603)

▣ 大型形態とのマッチング良

【構想案2】集中給電、小型部品(0.65mmBGA、0402)

▣ 小型形態とのマッチング良



給電回路

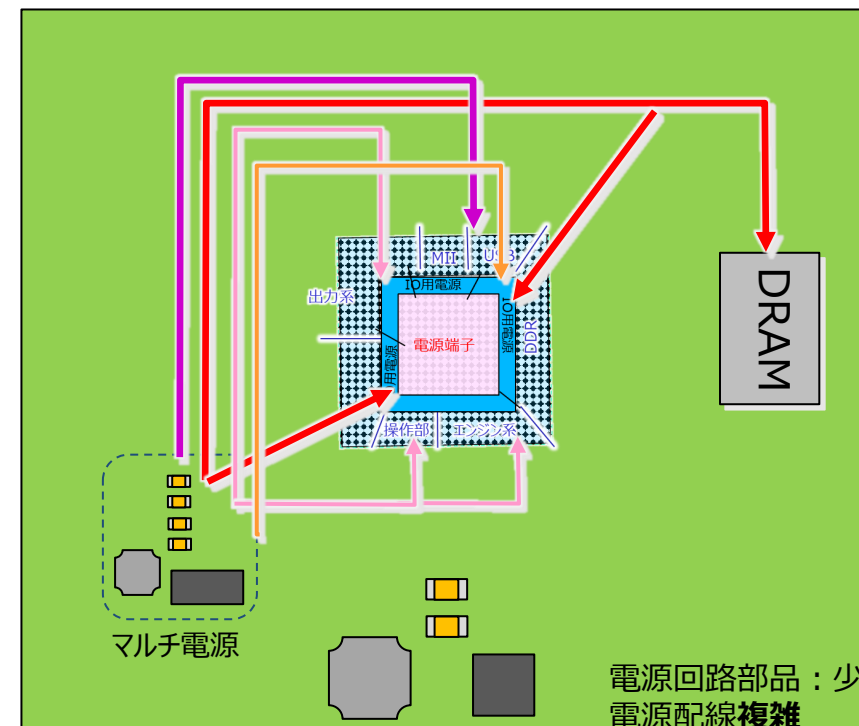
多 …〈回路数〉… 少

低 …〈部品コスト〉… 高

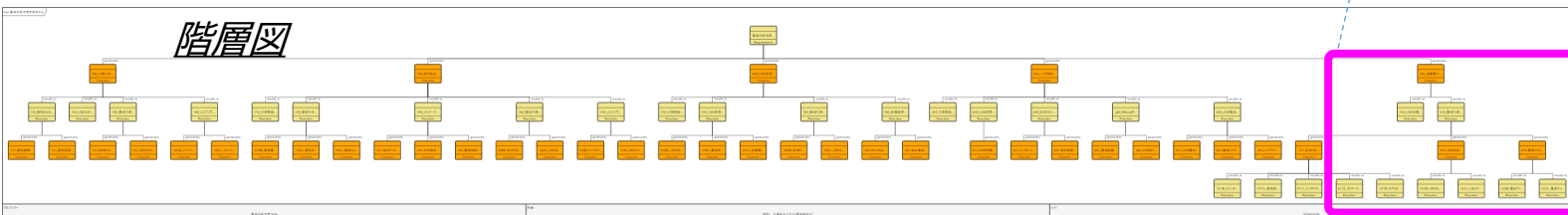
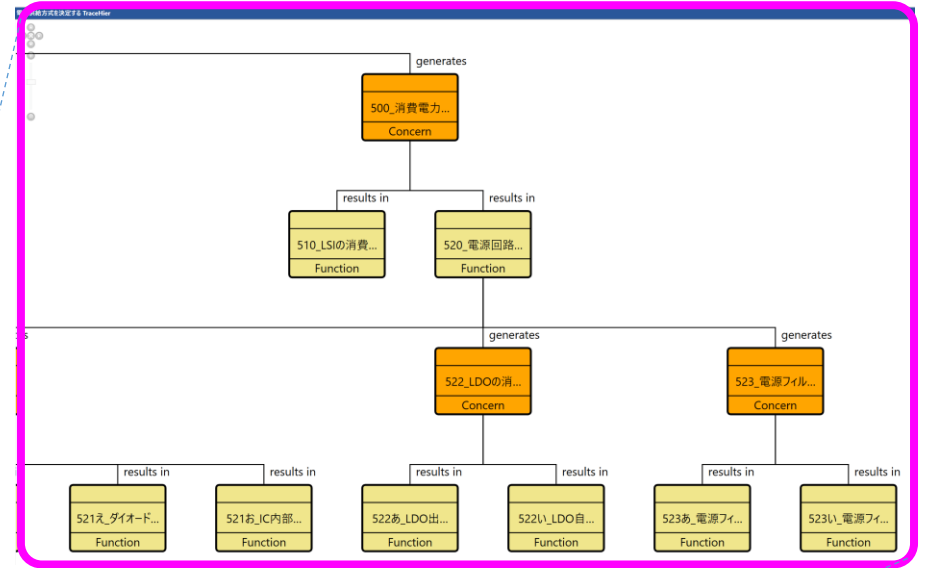
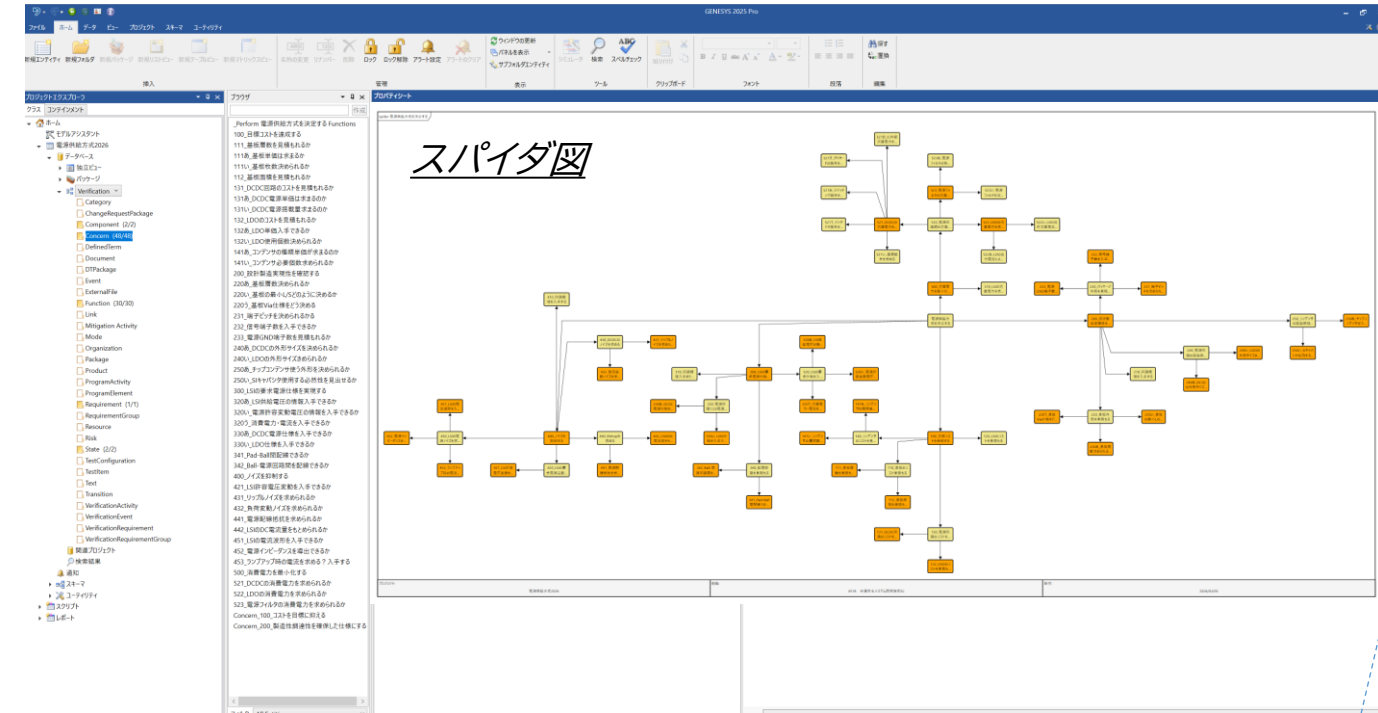
Board

大 …〈必要面積〉… 小

少 …〈基板層数〉… 多

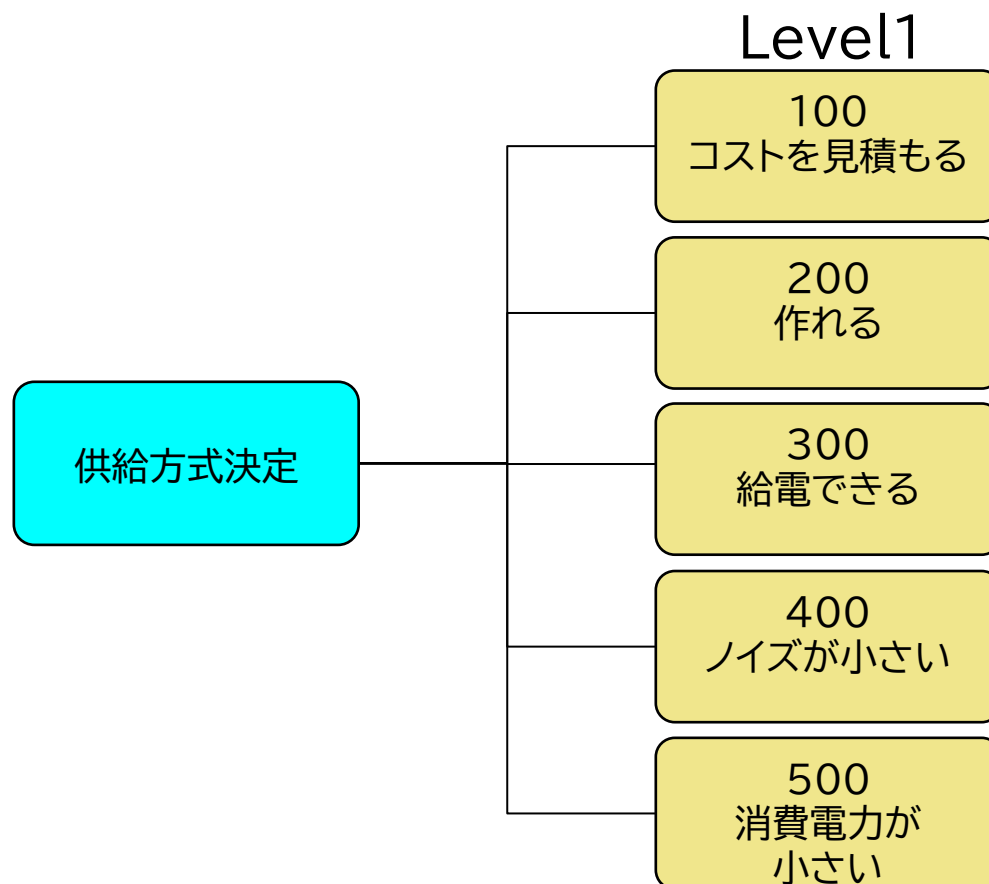


MBSE で 給電方法決定フロー を可視化



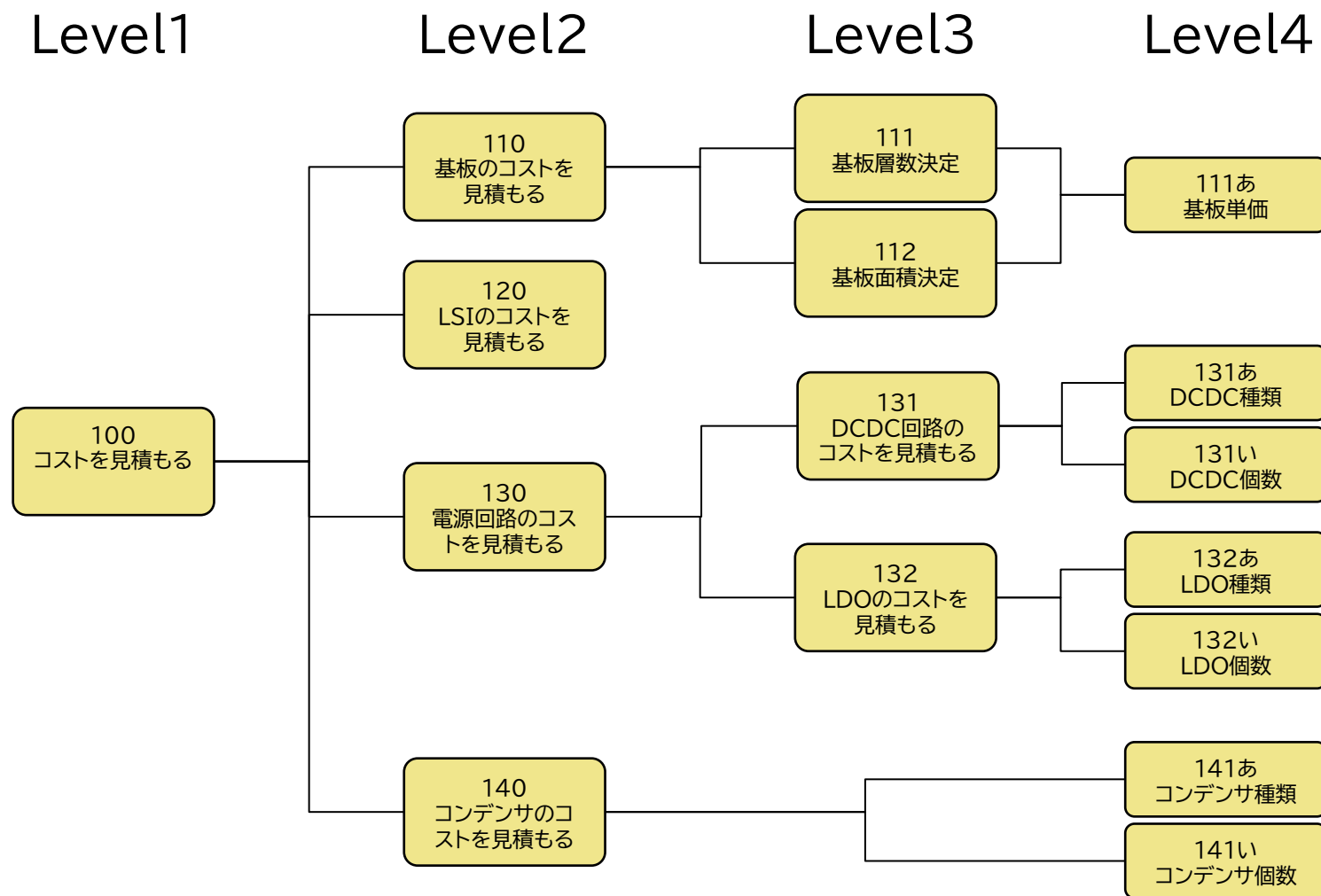
給電回路の評価手法

■正常に動作し、最終製品として成立するか 5項目をピックアップ



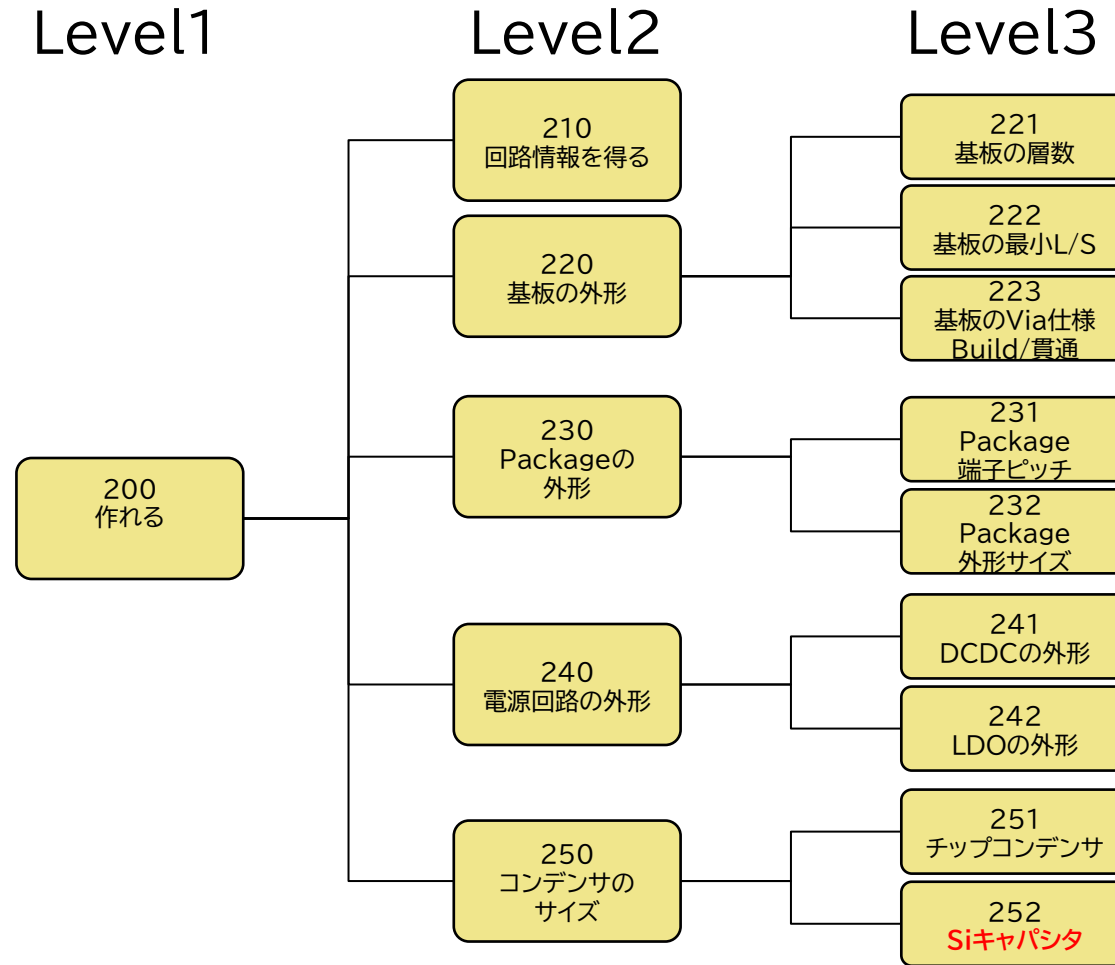
給電回路も加えて、LPBの全体最適化行う

コスト見積



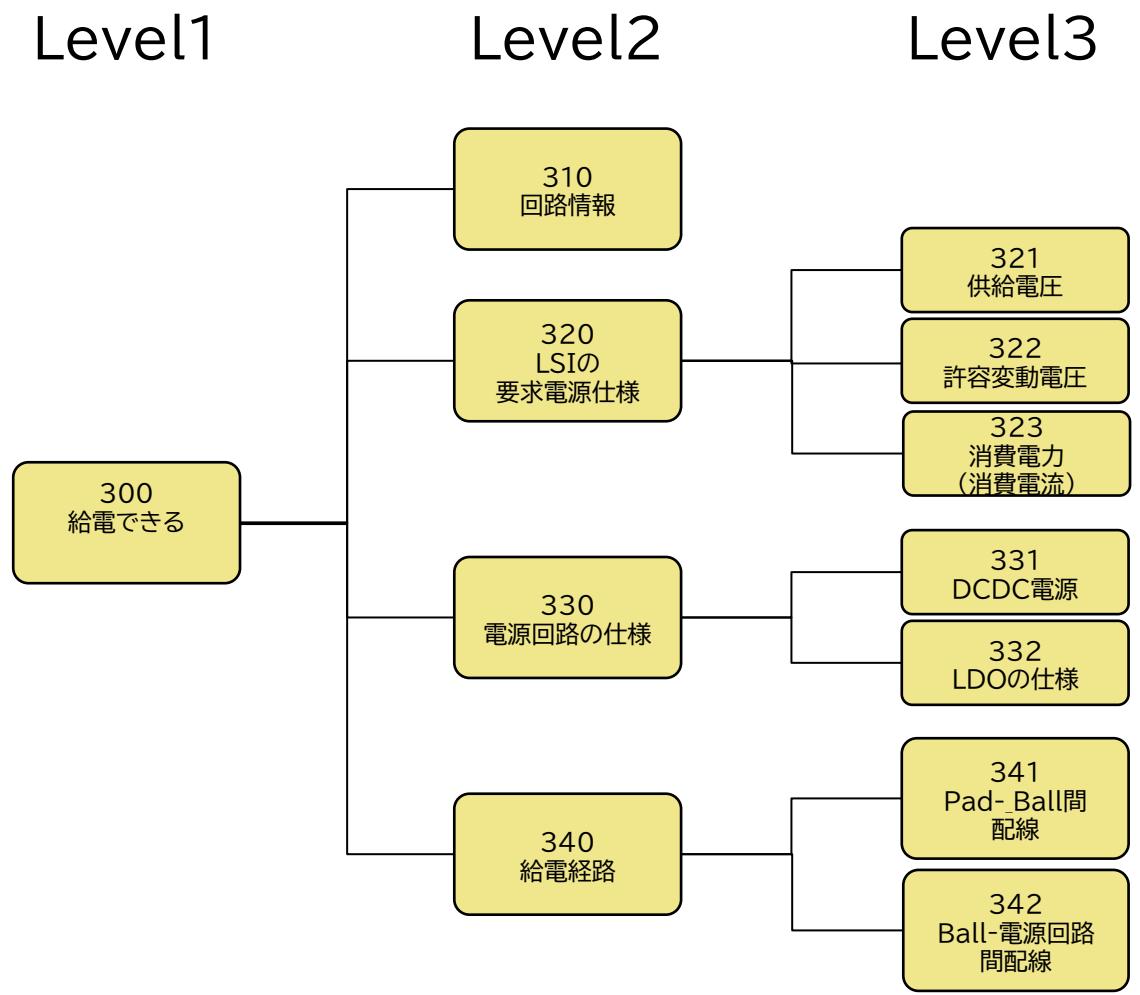
『単価は高いが小さい、少ない』 or 『安い部品・部材を使う』

作れる



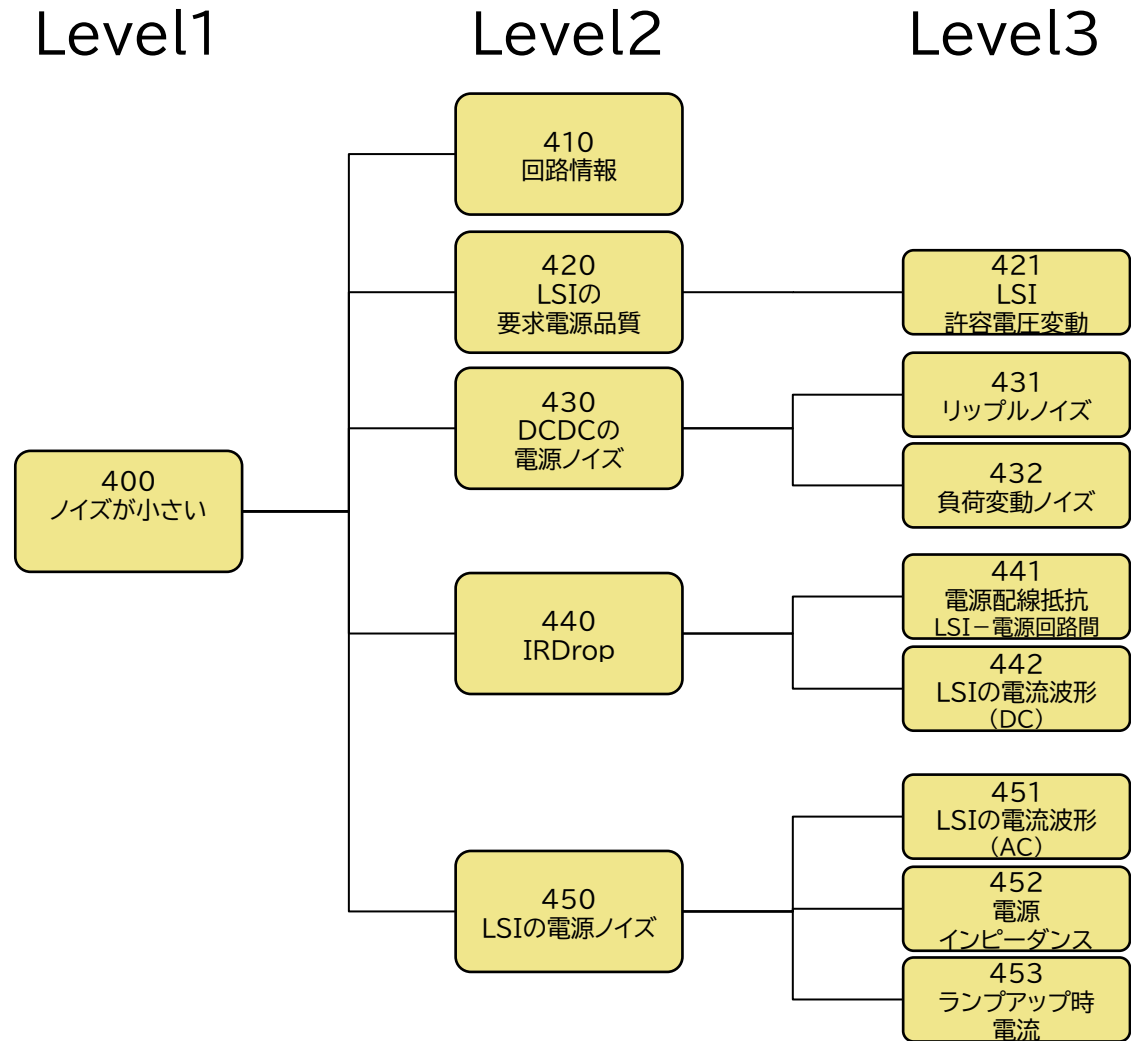
使える部品、作れる設計仕様、最終製品に搭載できるサイズ制約

給電できる



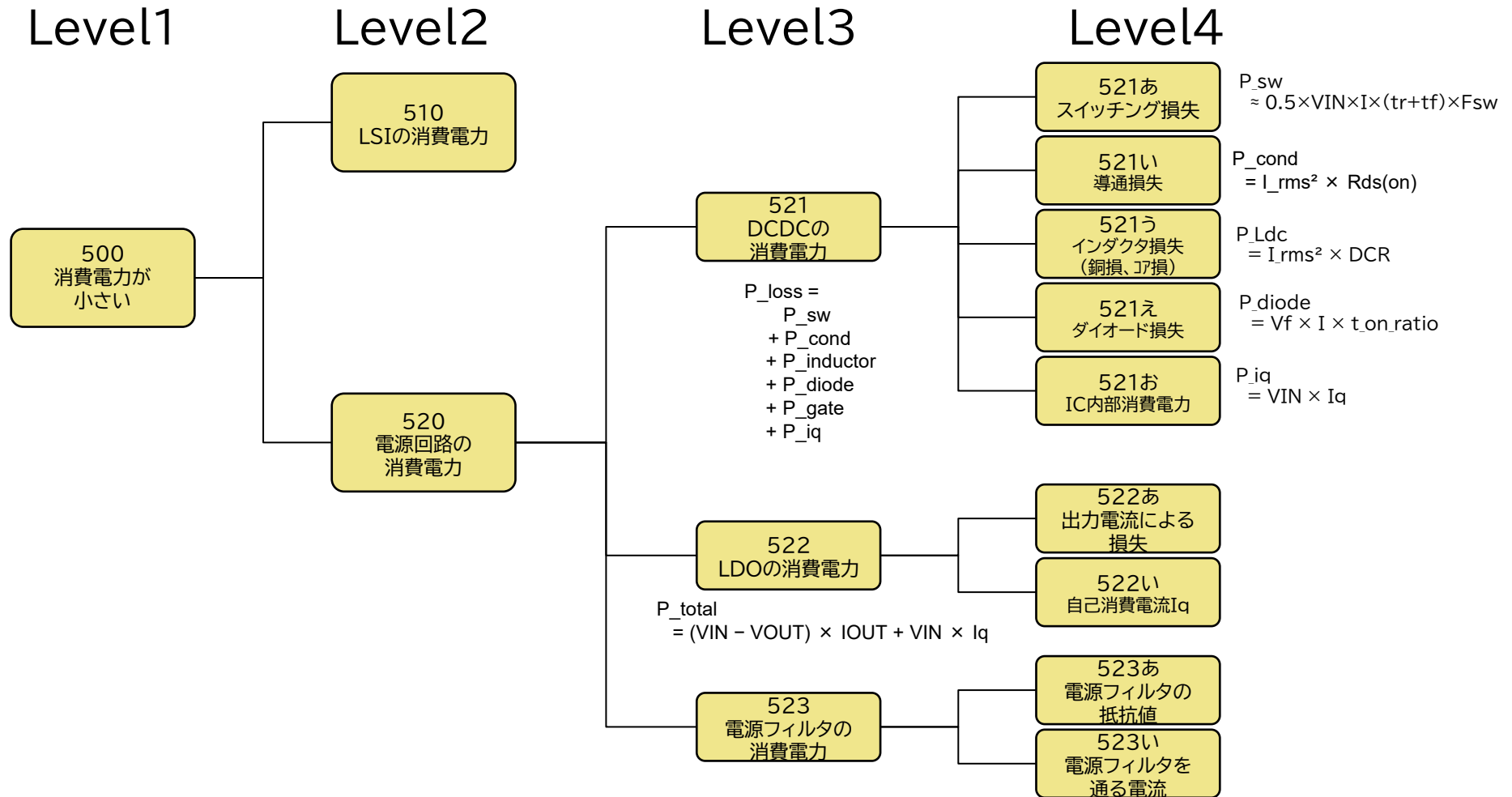
電源構成図 + LSI-電源回路間の配線接続の実現性検証

ノイズが小さい



DCDC電源のノイズも含めた 電源ノイズ見積もり

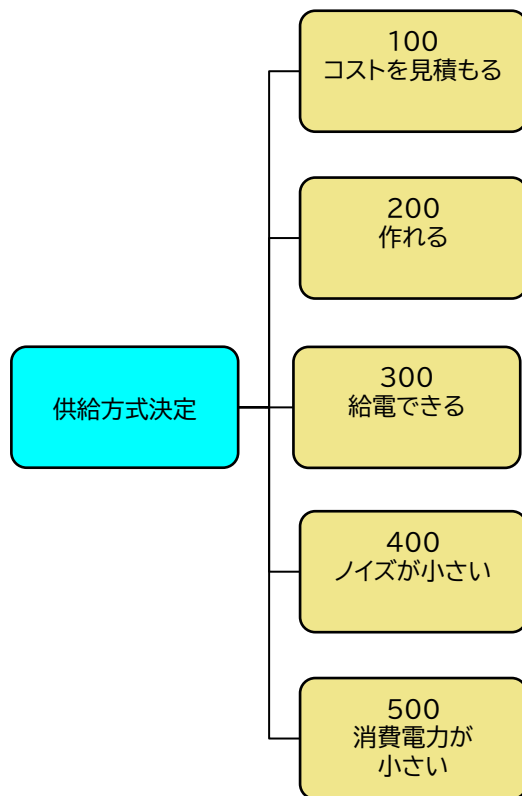
消費電力が小さい



DCDC、LDO、フィルタ分離 電源構成図でのロスを計算

意思決定

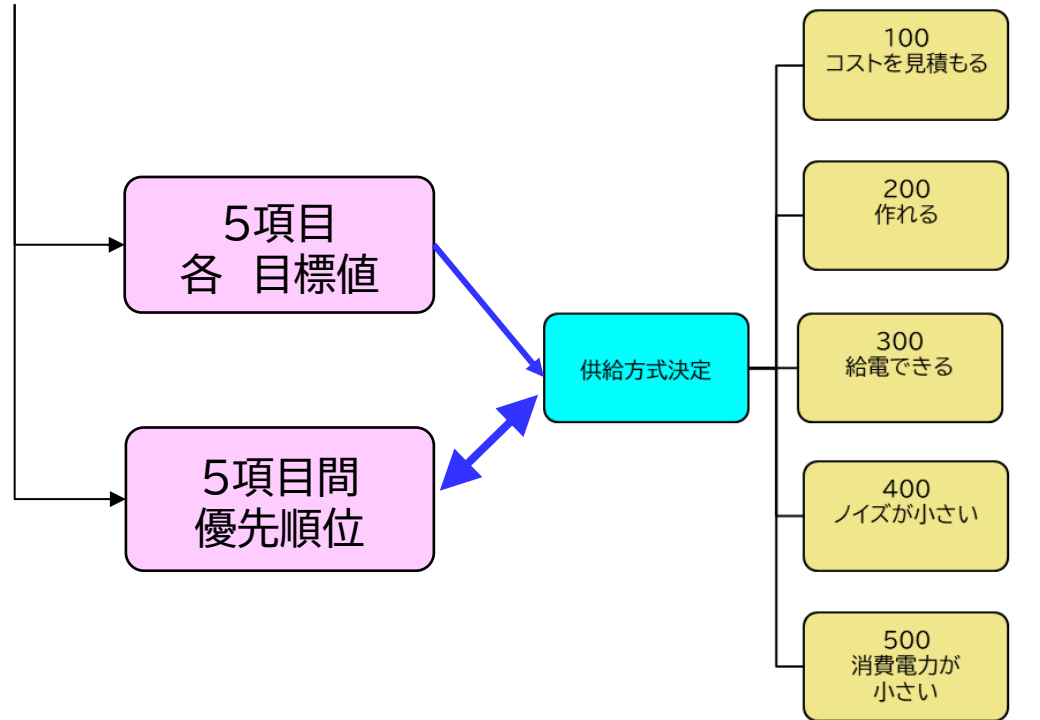
各項目 合格点80点



	コストNG	機能NG	万遍なく	ギリギリ	性能優先	コストが一番
	形態A	形態B	形態C	形態D	形態E	形態F
	65点	100点	90点	80点	80点	100点
	80点	95点	90点	80点	80点	90点
	95点	75点	95点	80点	100点	80点
	95点	75点	95点	80点	100点	90点
	95点	75点	90点	80点	90点	80点
合計点	430 点	420 点	460 点	425 点	450 点	440 点

システム設計とのリンク

システム設計



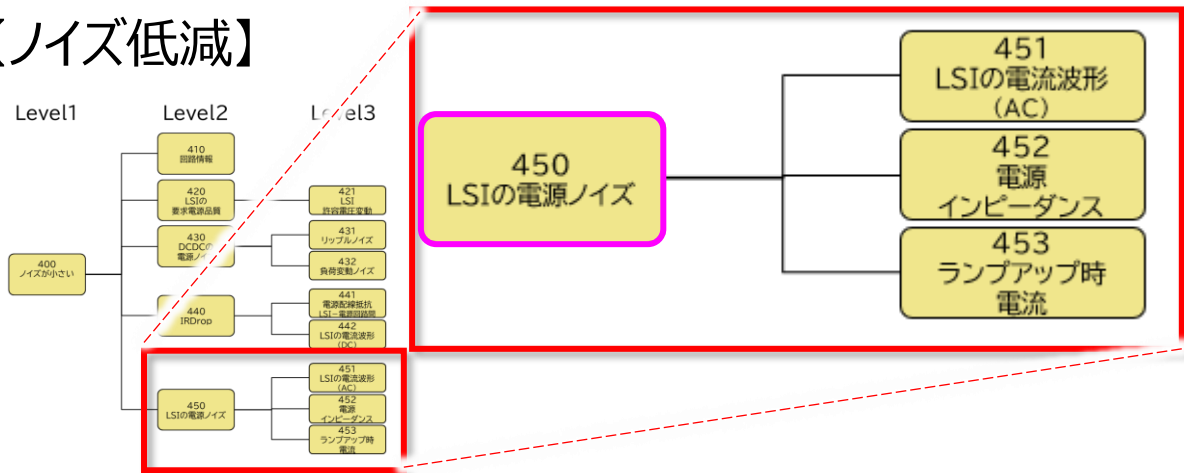
各項目 合格点80点

	コストNG	機能NG	万遍なく	ギリギリ	性能優先	コストが一番
	形態A	形態B	形態C	形態D	形態E	形態F
	65点	100点	90点	80点	80点	100点
	80点	95点	90点	80点	80点	90点
	95点	75点	95点	80点	100点	80点
	95点	75点	95点	80点	100点	90点
	95点	75点	90点	80点	90点	80点
合計点	430点	420点	460点	425点	450点	440点

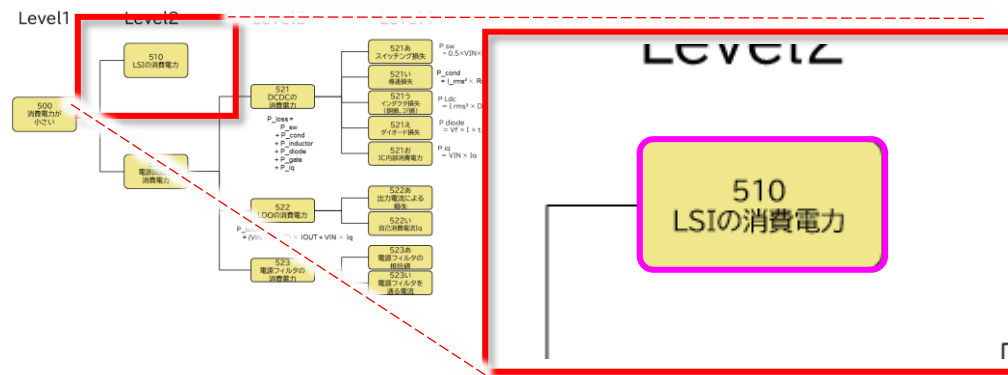
フロントローディング化の阻害要因

●Power Integrityのフロントローディングの精度は、LSI動作に関連した情報がポイント

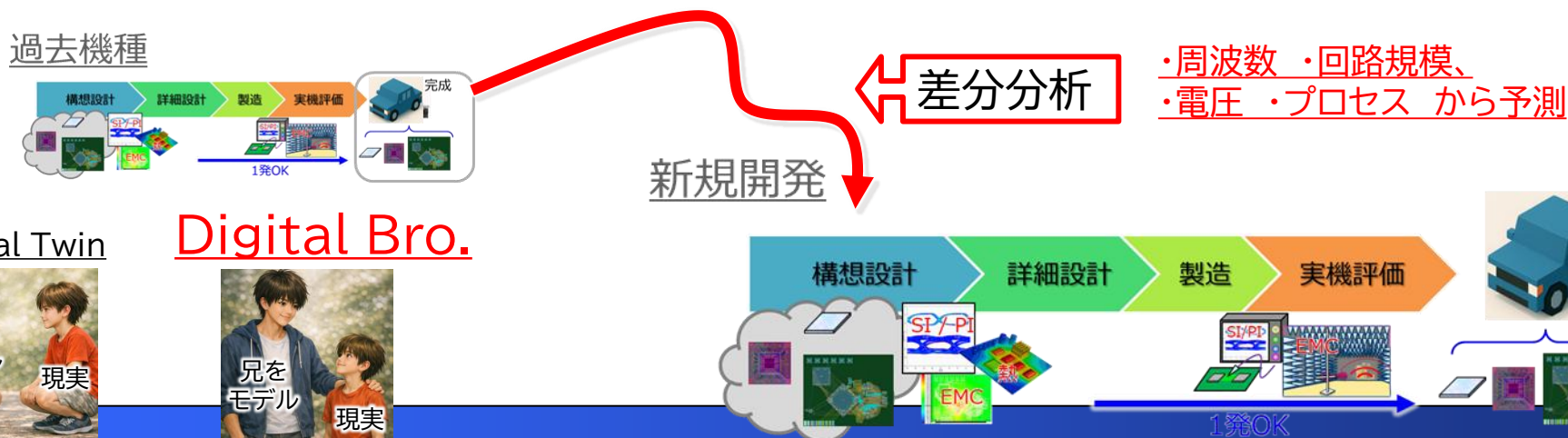
【ノイズ低減】



【消費電力低減】



過去機種との差分開発の活用



まとめ

✓電源供給方法&配線方法 検討のフロントローディング化 例を示しました

設計課題	Quality	Cost	Delivery
1 SoC/Package/PCB仕様	製品性能最適化 製品完成度 材料・部品認定	早期コスト見積もり 材料コスト最適化 SoCテクノロジー選定	イタレーション削減 材料手配 ベンダ選定
2 SoC/Interposer/PCB 特性に関するバリエーション	製品品質 EMC特性	SOC搭載C最適化 (ダイサイズ) チップCap数最適化 Interposer/PCB材料、銅厚最適化	イタレーション削減 材料手配
3 電源供給方法 & 配線方法	SoC端子配置最適化 EMC特性 (電流密度) 材料・部品認定	PCB層数削減 搭載部品最適化	PCB設計期間短縮 PCB材料手配 SoC端子配置作業期間

今後:新しいテクノロジー(部品、実装形態)を導入検討する
フロントローディングフローを作成する

終わり