

半導体標準化専門委員会
各技術委員会
関係各位

一般社団法人電子情報技術産業協会
標準化センター

平成 30 年度 JEITA 半導体&システム設計技術委員会 委員募集について

平成 30 年度「半導体とシステムの設計技術に関する研究・調査・規格策定」事業計画

1、事業目的

半導体&システム設計技術委員会では、電子機器製品の開発効率を上げると共に、優れた設計技術が差別化要素として最大限に発揮される市場環境を形成することを目指します。

現在、2020 年にむけて新たなコンセプトのプロダクトが市場に投入され、爆発的な市場拡大が期待されています。

- ・ IoT (Internet of Things : モノのインターネット) を構成するエッジ、ゲートウェイ
- ・ 電気自動車の普及に伴う電子化・自立制御化の進行
- ・ 産業分野・医療分野の IT・AI 化とロボットの普及

これに対応できる設計環境を構築していくために当委員会は 3 つの目標に向かって活動を行います。

1. 新しい製品につながる設計技術を生み出す土壌となる
2. LSI パッケージボード (以下 LPB) の相互設計環境を創る
3. 情報流通の視点でサプライチェーンを構成する

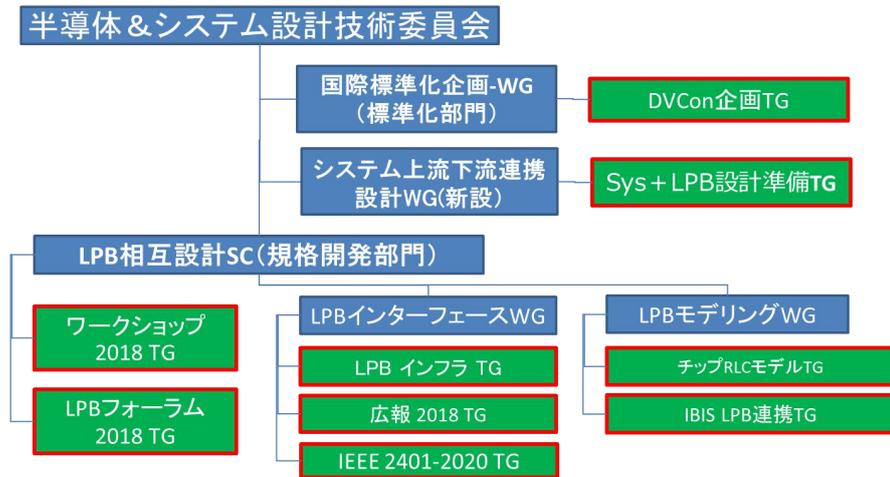
活動の対象は「半導体を設計・開発する立場」と、「半導体を使用して機器設計・開発を行う立場」の双方とし、広く半導体、電子部品、セット、ボード、OSAT、EMS の参加を募集します。

2、事業内容

具体的には電子機器開発における 3 つの要素に関して活動を行います。

- ① 設計環境間の情報のインターフェース
- ② 設計の素材となるライブラリ・モデル
- ③ 設計行程の上流と下流の連携

これらの実施にあたり、半導体 & システム設計技術委員会配下に右図のワークグループ (WG)、サブコミティ (SC) を構成し活動します。



① 設計環境間の情報のインターフェース (課題と取り組み)

LSI パッケージボードインターフェースワーキンググループ (LPB インターフェース-WG)

グローバルサプライチェーンを前提とした製品開発において、インターフェースが統一されていないことが設計を行う際の障壁となります。その為、当委員会は設計データインターフェースの国際標準 IEC 63055/IEEE Std2401™-2015 (以下 LPB 標準フォーマット) を制定しました。これにより設計エコシステムが形成され設計効率の改善と設計期間の大幅な短縮が可能となりました。当 WG においては次の点に着目して更なる発展を目指します。

- ・ 設計インフラの議論を深め、LPB 標準フォーマットの活用を広める。展示・発表・フォーラムを通じて普及を図り、ユースケースの共有や、部品ライブラリの整備、デザインキットの配布など会員の設計環境構築を支援する。
- ・ 市場要求がより高密度実装に向い、筐体設計や熱設計とのリンクの強化が必要となる。このため LPB 標準フォーマットを 3D に対応可能とすべく拡張する。また、設計各社のライブラリ管理やフットプリントの設定等を可能にする改良を加える。これらを LPB-V3.0 として策定し IEEE Std2401™-2020 を目指して標準化を推進する。本年度より IEEE P2401 の日本国内審議委員会の役割となり活動する。

② 設計の素材となるライブラリ・モデル (モデルの課題と取り組み)

LSI パッケージボードモデリングワーキンググループ (LPB モデリング WG)

設計用のモデルはその重要性がますます高まっています。電子機器開発における性能・コストの最適化の為には今後益々シミュレーションが活用され、これを可能にするには部品や素材の特性をモデルとして適正に表現する必要があります。

- ・ DDR 等の伝送路解析や、ミックスドシグナル部分のノイズ干渉の検討等では LSI 内部の電源ノイズを考慮する必要がある。この目的で使用できる LSI のモデル (等価回路や電流波形) を提案し、実測および IBIS シミュレーション等でその妥当性を検証する。

- 半導体のドライバ・トランシーバモデルとして普及している IBIS モデルの利用方法を探求する。IBIS Open Forum の動向を調査し、最新の IBIS モデルを入手・理解すると共に LPB 標準フォーマットと整合を取り、シミュレーションに自動的に組み込みができる環境を構築する。

③ 設計行程の上流と下流の連携

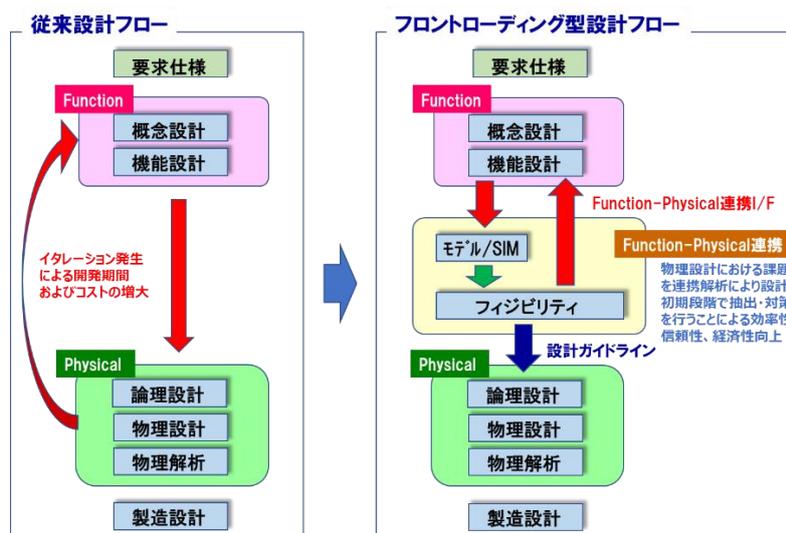
システム上流下流連携設計 WG (SyS+LPB-WG) (新設)

設計上流の概念・機能設計と下流の物理設計の間での情報の相互共有を促進することによって開発早期段階で物理的・特性的に実現可能な製品コンセプトの策定を可能にする設計スタイルの確立を目指します。

EMC、熱、ノイズ、消費電力等の一部の問題は物理設計段階のすり合わせだけでは解決できない場合があります。この原因の一つとして設計行程の上流段階の機能・性能設計段階でこれらの課題が認識されていないことが考えられます。当委員会では2017年に日本で初めて開催された Design Verification Conference (以下、DVCon) Japan において LPB トラックを主催し設計者の意見を収集しました。その結果、次の3つの問題があることを整理・抽出しました。

- 上流工程で EMC、熱、ノイズ、消費電力の課題が適切に定義されていない
- 下流工程で問題が発生した際の上流工程へのフィードバック方法が定義されていない
- 上流工程と下流工程におけるコミュニケーション不足 (分業の弊害 ; 意識・組織)

2018年度より、この課題を議論する為に当 WG を新設して解決法を策定します。



(添付募集要項参照)

3、委員会運営

上記活動を推進するために WG/SC を統括、補助する部門を設置します。各部門の役割を説明します。

- 半導体&システム計技術委員会 (SD-TC)
 - ・ 電子機器設計における半導体に起因する課題を統合的に把握し、解決のための施策を創案・実施することを理念とし、配下委員会を統括して運営する。
 - ・ 配下に国際標準化・企画 WG、システム上流下流連携設計 WG、LSI パッケージボード相互設計 SC を置き、WG/SC で提案された戦略・審議案件や規格案を承認する。
 - ◆ 国際標準化・企画ワーキンググループ (STD-WG)
 - ・ 半導体&システム設計技術委員会内で提案された規格案を国際標準にする活動を行う。当年度から LPB 標準フォーマットの改訂にむけて、IEEE 標準化委員会 (IEEE Standard Association) にワーキンググループ (IEEE P2401) を再開設し、議長、国際幹事を派遣し運用する。
 - ・ EDA のハードウェア記述言語 (VHDL、Verilog-HDL、System Verilog、System C 等) やシステム設計と連動した設計言語 (パワーフォーマット：IEEE1801 等) の動向を把握し、内容を研究する。IEEE standardization committee, Design Automation Standards committee に参加し協力関係を構築する。IEEE の審議案件の投票に参加する。
 - ・ 電子機器設計カンファレンスとして DVCon Japan を企画・運営する。
- B) LSI パッケージボード相互設計サブコミッティ (LPB-SC)
- ・ LPB-SC は LSI ・パッケージ・ボードに関する設計において、技術面の解決施策を創案し、実施の戦略を策定し、審議・決定する。標準化するべきアイテムを半導体&システム設計技術委員会に提案する。
 - ・ 配下の LPB インターフェース WG と LPB モデリング WG を運営する。

4、事業成果の共有

随時、活動成果を整理・ドキュメント化し、委員会参加会員よりダウンロードを可能とします。

成果物の中から一般化するべき部分を選択し、ホームページとメールマガジン、SNS によって公開していきます。

5、平成 30 年度事業の完了

平成 31 年 3 月 31 日

6、参加負担金

1 社あたり 240,000 円 (消費税含まず。請求時に消費税を加算させていただきます。)

なお、負担金の請求は、参加のご回答を頂いた後、ご登録の事業連絡者の方宛に別途、請求書をお送り致します。

新設：システム上流下流連携設計 WG 参加メンバー募集

JEITA 半導体&システム技術委員会では電子機器設計における EMC、熱、ノイズ、消費電力等の問題を上流で解決するフロントローディング設計手法を議論するワーキンググループの設立を計画しており、参加メンバーを募集します。

1. 背景と目的

IoT の発展や自動運転の実現など、新たな製品をタイムリーに市場に投入する必要があります。電子機器の開発においては様々な問題が設計段階で生じます。これによるビジネスに与える影響は下記が想定されます。

- ・ イタレーションによる開発コスト増大、開発期間延長によるビジネスチャンスの喪失
- ・ 部分的対策（部品追加・層追加・シールド）によるコストアップにより市場競争力低下

短期間に品質の良い設計を成し遂げるには、設計の初期段階から適切な仕様を確定して設計を進め、手戻りが生じない設計手法を確立しなければなりません。

2. 現状の課題

下記に当 WG において取り組むべき課題となる事例を 3 例挙げます。

事例 1 ノイズ問題

メインメモリからのインターフェースで規格書通りの設定で転送レートを確保するよう性能設計をおこなった。物理設計の段階においてジッタが大きすぎてアイパターンの開口が確保できず、動作仕様を上流からやり直した。メインメモリの転送レートを下げ、キャッシュを変更するなどの大幅な設計仕様の変更となった。

事例 2 EMC問題

データ処理性能を競合製品よりも良い設計仕様を探求し、製品に仕上げたが、FM ラジオやスマホの通信に影響を出す EMI が検出され、追加部品で対策しようとしたが十分に回避できず、結局、クロックの周波数を下げたり、データ処理のレーテンシーを変更して問題の周波数のノイズを回避するため再開発となった。顧客は見切りをつけて他社製品を採用し失注となった。

事例 3 熱問題

所望の機能を達成できる FPGA ないしマイコン・DSP 製品の中から最も安価な IC を選択して機器設計仕様を完成したが、開発後、発熱があり、放熱性の高いボードやフィンを

付けたりしたらコストアップになり部品価格の差よりも大きくなってしまった。製品全体の目標コストを達成できなかったために、高価であるが、放熱の良い IC パッケージないし低電圧の IC などを検討して再設計を行った。市場投入は大幅に遅れ、開発費の回収が出来なくなった。

SI, PI, EMC, 熱等の問題の多くは物理設計の段階になって発覚し、パッケージ・ボード層追加や材料変更・部品追加等で対策が行われ、開発期間の長期化、コストアップ、これらによるビジネス機会の損失は度々発生します。物理設計段階で行われるすり合わせで回避できることには限界があり、多くの場合は機能・性能設計の段階まで戻らないと解決できないケースが多くなってきており、設計現場においては、これらの問題に直面し、解決策に困っている設計者が多いのではと考えています。

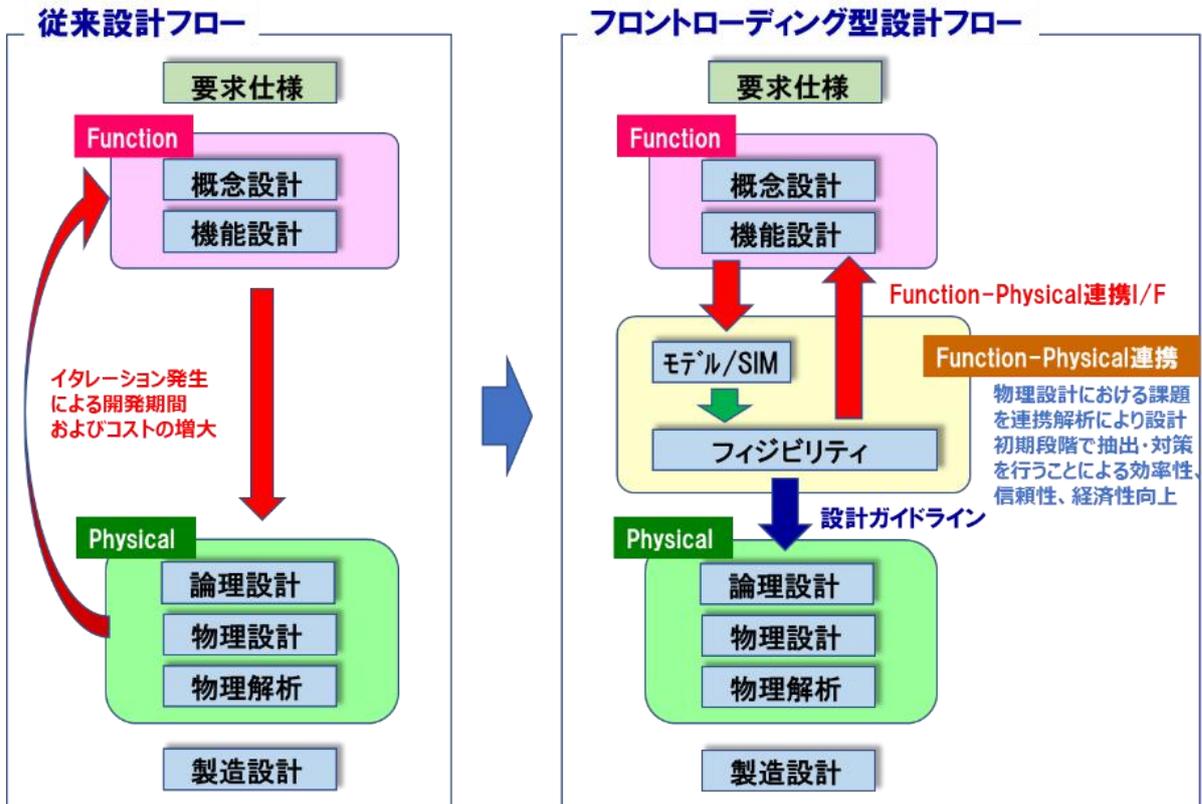
このような問題を解決するには、物理設計に入る前の機能・性能設計段階で、完成品の瀬最終性能を予測できる広い知見が必要ですが、現在の電子機器開発では上流設計と下流設計では分業化が進んでおり、情報や知識を共有することは難しくなっています。

考えられる取り組みとしては、

- ・ システムの仕様に起因する問題（SI, PI, EMC, 熱、ノイズ、消費電力等）が上流段階で意識できるような仕組みを作る
- ・ 下流設計（物理設計）前に問題が発生することが予見できる設計段階を作る
- ・ 上流設計にフィードバックする方法や手段、下流設計に対して設計留意点をガイドとして提供できる等、上流工程と下流工程のコミュニケーションを可能とする仕組みを作る

3. 課題解決に向けて

上記課題を解決するためには上流と下流の連携が必要であり、そのための新しいフロントローディング型の設計フロー、仕組みを構築する必要があります。以下に従来フローと今後検討していくフローを示します。



図における「Function-Physical 連携」工程を検討し、その工程でのフィジビリティ内容、および Function と Physical を繋ぐための要求 I/F の構築を目指します。

4. ワーキンググループ (WG) 新設について

以上の課題に対する議論を行い、解決に向けての対応策を検討するための WG を半導体&システム設計技術委員会内に新規に発足させます。

まずは、現状の課題の洗い出し、認識合わせから始め、それらの課題に対する解決策の議論へと進めていきます。

下記を成果物として参加企業で共有し、実現に向けて関係機関・EDA 等設計環境提供者への働きかけを行います。

- ・ 上流・下流間インターフェース（設計仕様の交換）の定義・標準化
- ・ フロントローディング設計環境のモデルケース策定（仮想モデルによるシミュレーション環境検討）
- ・ 設計仕様検討後の物理設計ガイドライン出力

また共通仕様を IEEE 2401-2020 (LSI Package Boar (LPB)における相互設計標準 2020 年版)に反映します。

募集メンバー

現在、半導体&システム設計技術委員会では物理設計技術者が中心ですが、追加で下記の立場にある人は是非参加をご検討してください。

- ・ 機能・性能設計を担当している技術者
- ・ プロジェクトを統括する立場にある人、
- ・ もちろん、物理設計者でも提起された課題に対して解決したいと考えている人

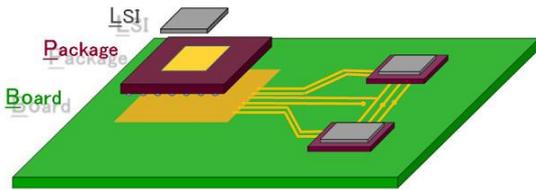
募集企業

- ・ 最終製品（セット）、ないし、モジュール製品を提供するメーカー
- ・ 半導体メーカーないし、半導体設計・検証サービスを行う会社
- ・ 上流での設計ソリューションを提供している EDA ベンダ

補足資料 : 日本発ものづくりエコシステムを構築する電子機器設計技術紹介

「半導体&システム設計技術委員会」

電子機器の開発・販売の水平分業が進む中、競争力がある製品を市場投入するにはサプライチェーンの中に散在する技術をタイムリーに融合し、商品企画を練ることが不可欠です。その為には個々の技術の流通性が重要となります。半導体&システム設計技術委員会は、「半導体をシステム設計に生かす」「システムの要求・制約を半導体に取り込む」双方向の設計技術の整備を目指し研究・開発を行っています。この活動を通じて半導体産業および電子機器業界の発展に寄与してまいります。



LPB ; LSI・パッケージ・ボードの相互設計環境

LSI・パッケージ・ボード (LPB) が連携し合って競争力ある製品設計を迅速に仕上げることを目指します。LPB 相互設計規格 IEC 63055/IEEE2401-2015 (以下 LPB 標準フォーマット) はこれを担うための国際標準です。JEITA が提案し、2015 年 IEEE 2401-2015, 2016 年 IEC 63055 として国際標準となりました。

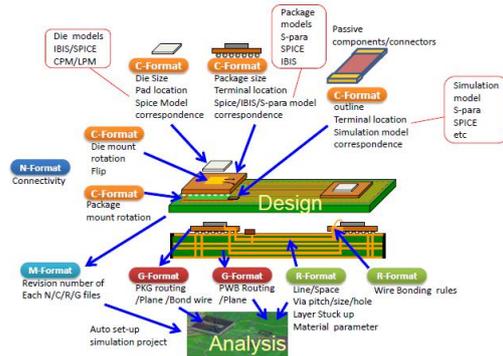
LPB 標準フォーマットは以下の 5つのファイル と用語集から構成されます。

- (1) [プロジェクト管理 \(M-Format\)](#)
- (2) [ネットリスト \(N-Format\)](#)
- (3) [コンポーネント \(C-Format\)](#)
- (4) [デザインルール \(R-Format\)](#)

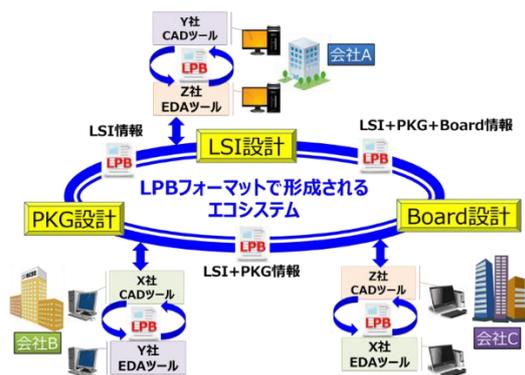
(5) [ジオメトリ \(G-Format\)](#)

(6) 用語集 (Glossary)

次の図は LPB 標準フォーマットの使われ方のイメージです。



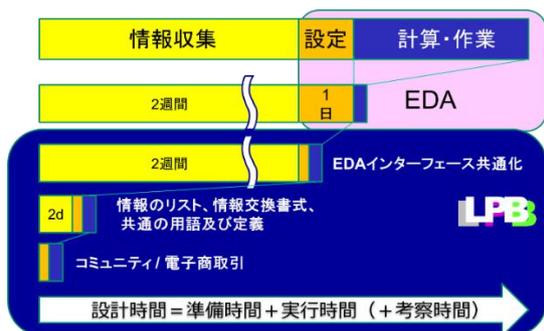
これにより設計部門間と部品・材料サプライヤーのバリューチェーンの中で情報交換が容易となり設計の無駄の削減や問題点の解決が最適かつ迅速に行われることを目指しています。このように情報をつなぐことによって設計エコシステムを形成することを目指します。



このエコシステムにより、設計者はいろいろな設計素材をプラグインで試せます。また必要なツールを容易に採用することができます。

LPB 相互設計による設計時間の短縮

設計に関わる時間とは準備段階の情報収集やセットアップ、そして計算・作業時間の合計です。これまで設計時間を短縮するにはEDA上の作業時間を短縮することに注力されてきました。この部分はEDAツールの改良やコンピュータの処理能力の改良で行われます。しかし、実際には設計時間の内訳は準備段階のほうが計算・作業よりも長くかかっているのが現状です。この準備段階に費やす時間を短縮するのがLPB標準フォーマットの役割となります。情報を交換する書式を同一にし、必要な情報をリストにすることで情報収集時間とセットアップにかかる時間は飛躍的に短縮します。



情報を交換するしくみがあれば更なる設計時間の短縮が可能です。例えば、コミュニティの形成やe-コマースの活用、クラウドなどデータベースの整備等があります。このコミュニティの生成の為にLPBフォーラムやワークショップを開催しています。

これからの展望

現在、EDAベンダによりLPBフォーマットのツールへの組み込みが拡大しており設計現場での適用が始まっています。今後は更なるユースケースの拡大の為にLPB標準フォーマットの改良に取り組んでいます。

す。IEC 63055/IEEE 2401-2015(2015年版)は設計の構想を練る目的に注力しており、2Dの情報をベースにしています。実際の設計を仕上げていくために必要な筐体を含んだ設計や熱設計を行っていくために3Dの情報まで扱えるように拡張しています。この書式は2017年度にLPB-V3.0としてリリースされ、IEEE 2401-2020(2020年版)を目指して標準化をスタートしています。

新たな取り組み

2020年にむけて新たなコンセプトのプロダクトが市場に投入され、爆発的な市場拡大を予感します。

これまで私たちが今まで行ってきた活動はLSI、パッケージ、ボード間で設計資産の活用や摺り合わせを行う「横」の繋がりの強化です。新たなコンセプトの製品をタイムリーに仕上げていくためには、製品の構想をまとめ機能を定義し、すばやく物理設計に仕上げ、試作と量産化の為にサプライチェーンに効率的に設計結果を渡していく上流から下流への「縦」の繋がりにも取り組んでいきます。

