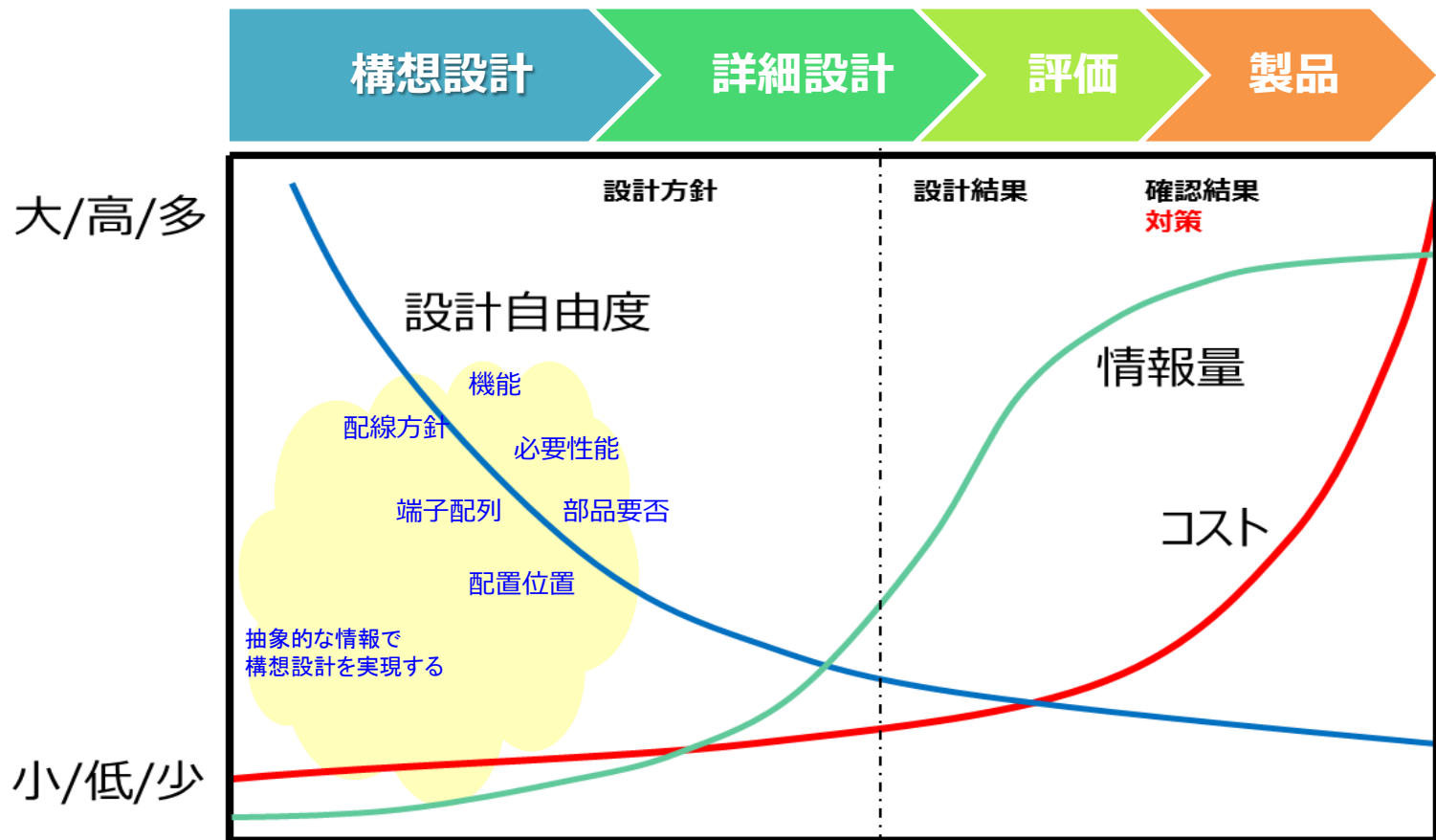


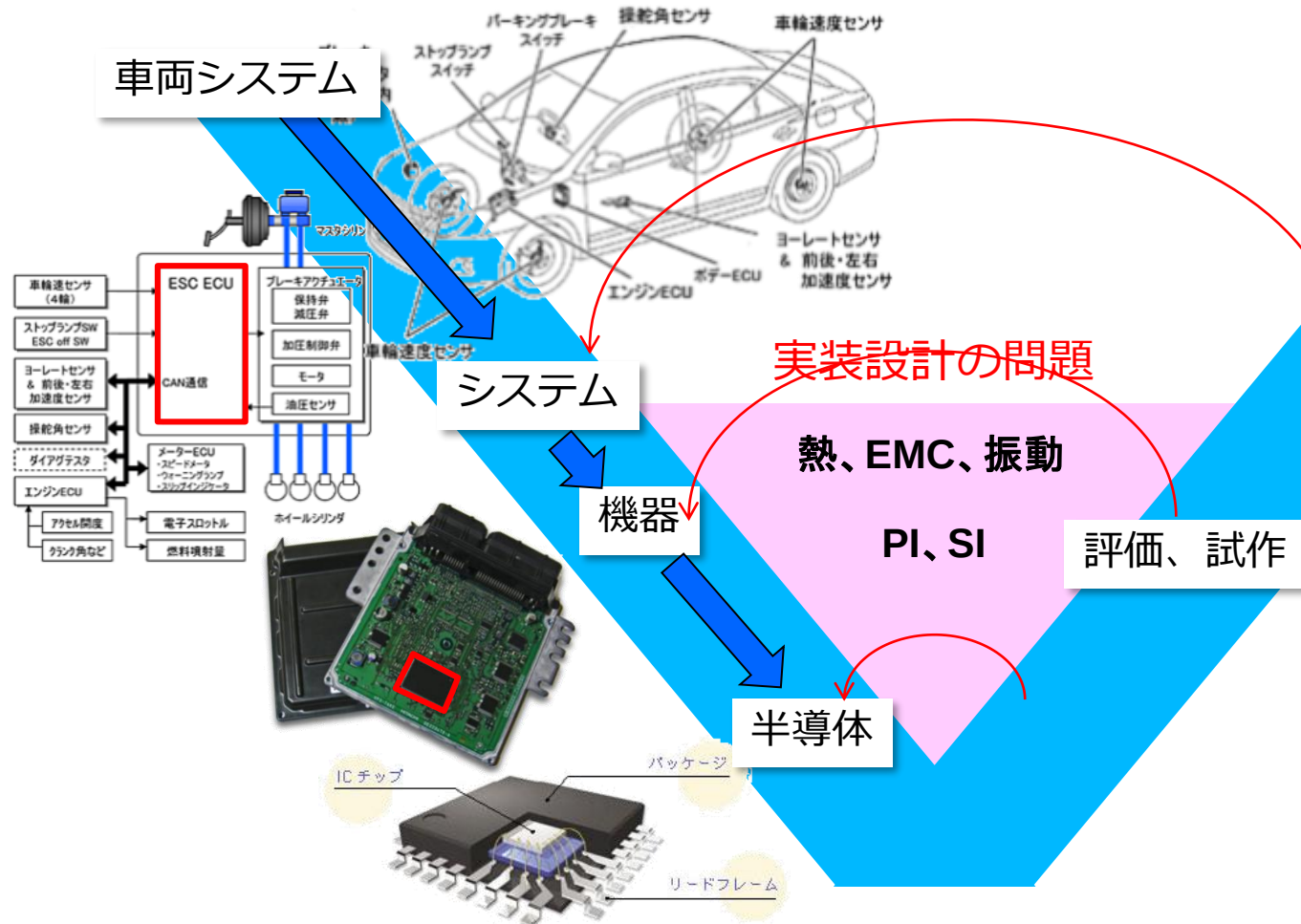
上流(MBD)設計と下流(実装)設計との連携

(株) デンソー 市川 浩司

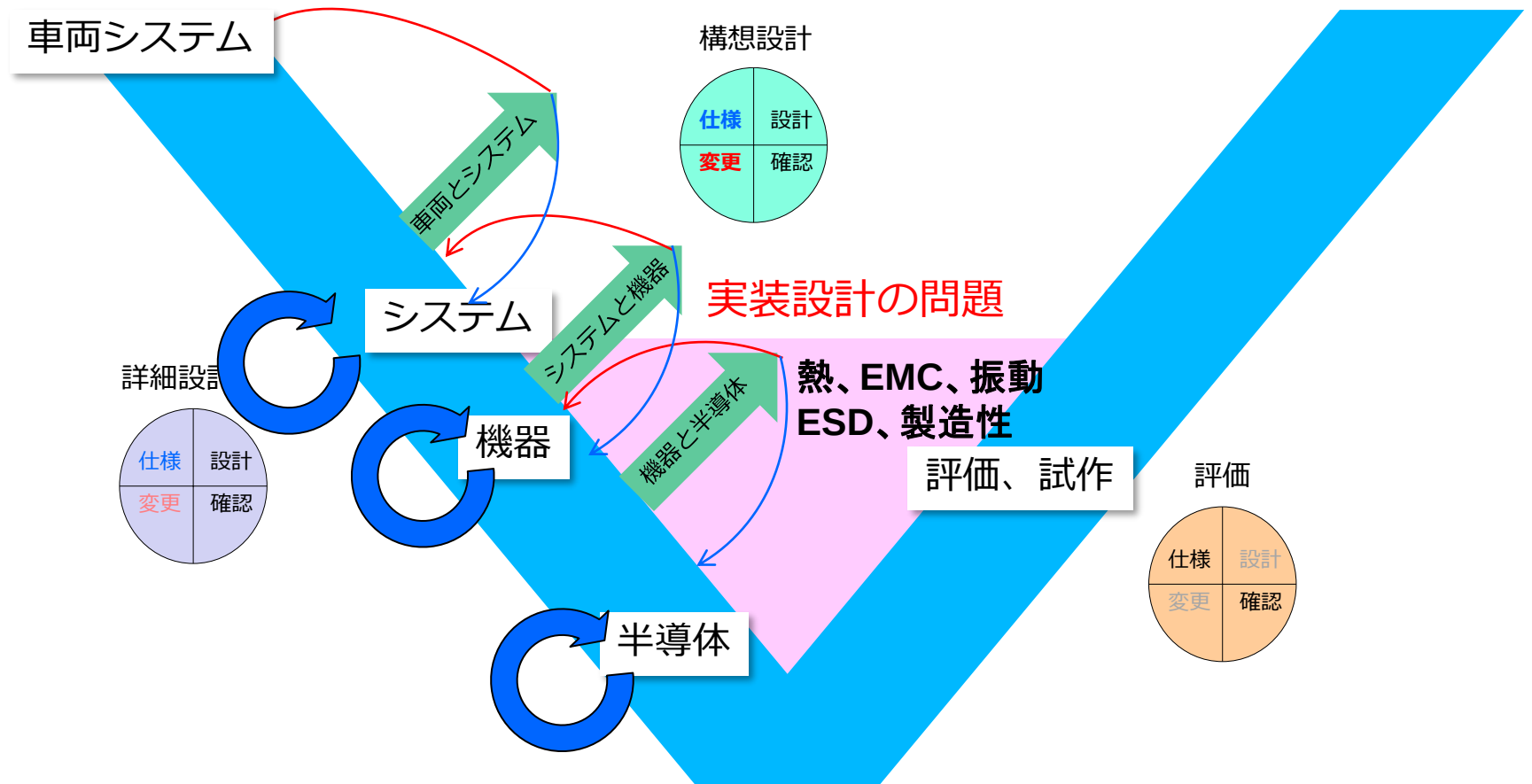
実装(EMC)設計の課題



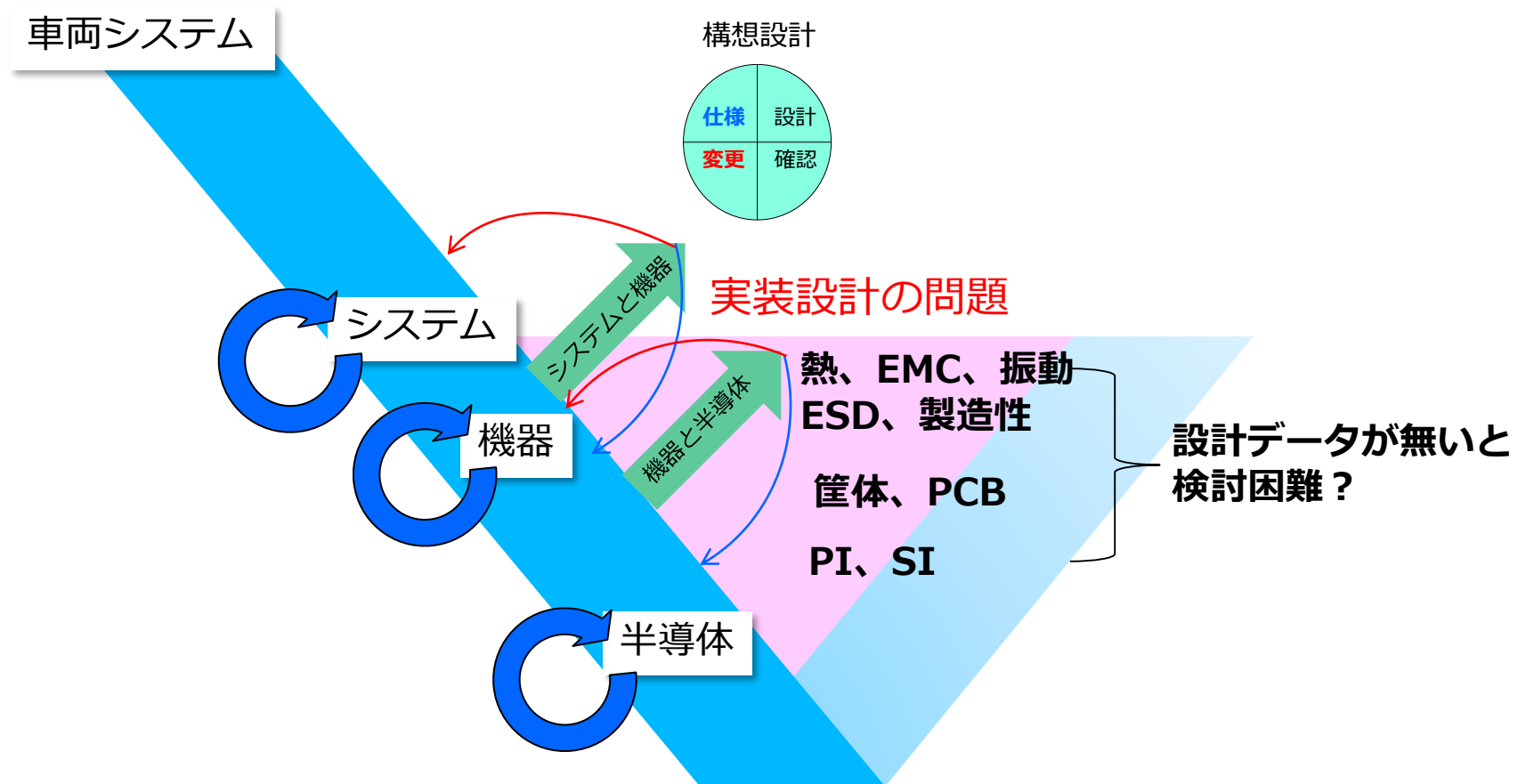
従来設計



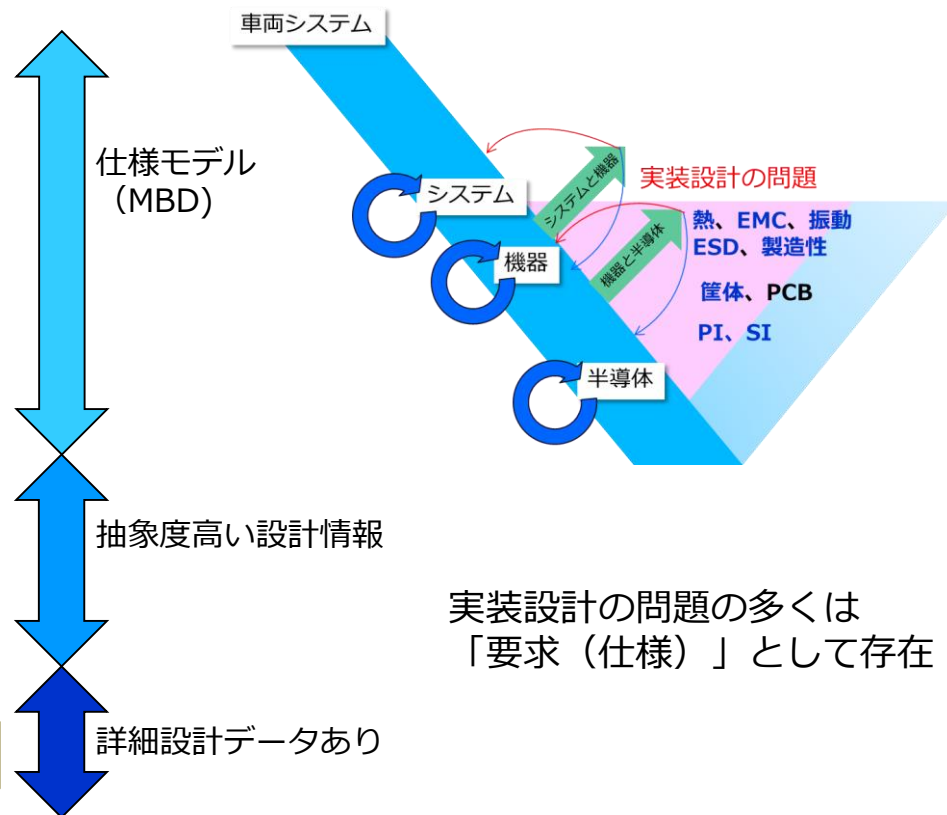
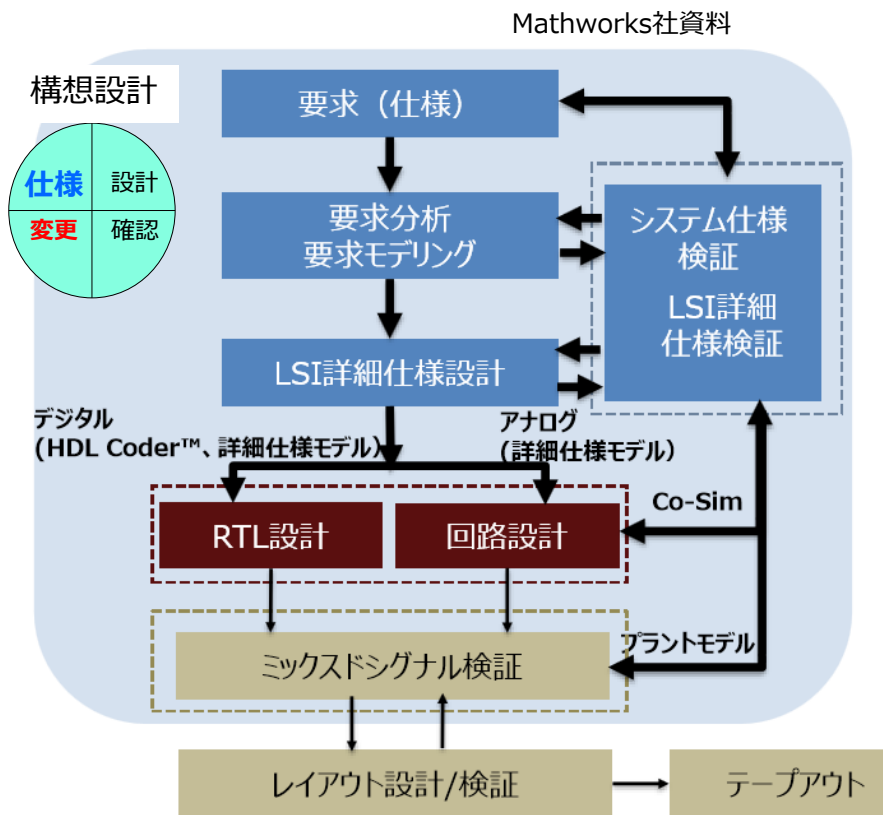
MBD設計



MBD設計と実装設計

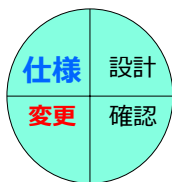
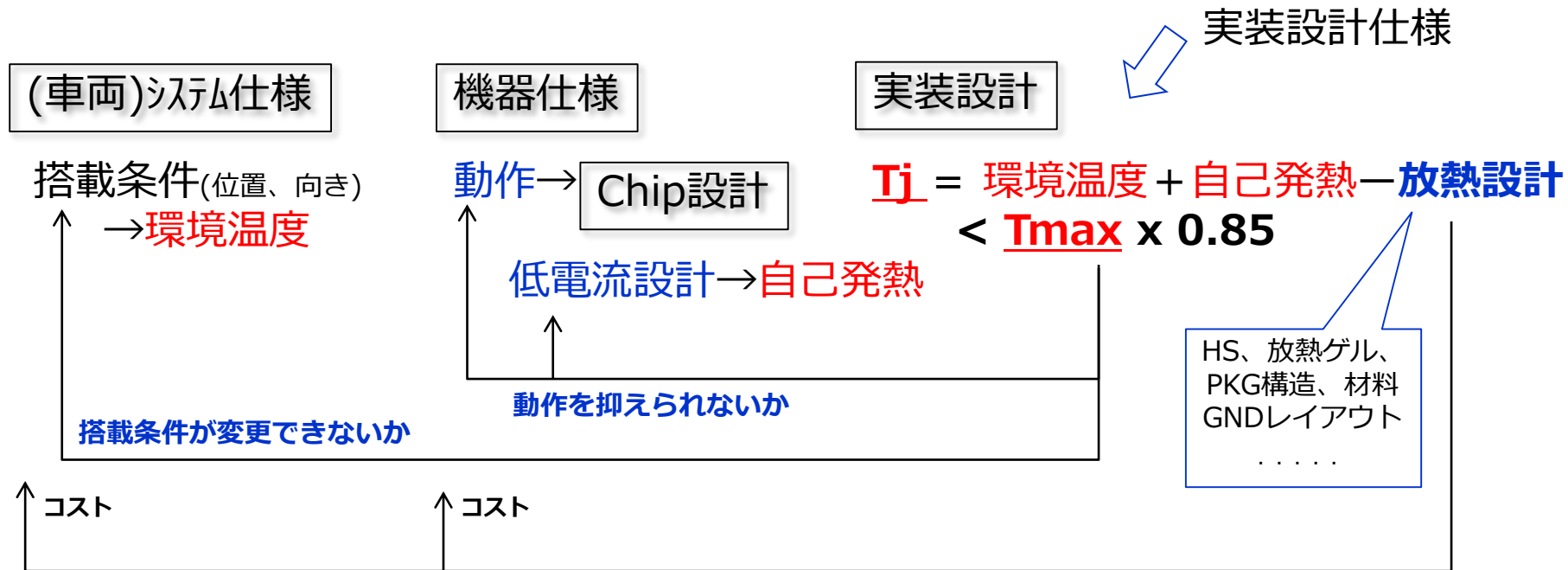


システムLSI設計



熱設計と上流設計

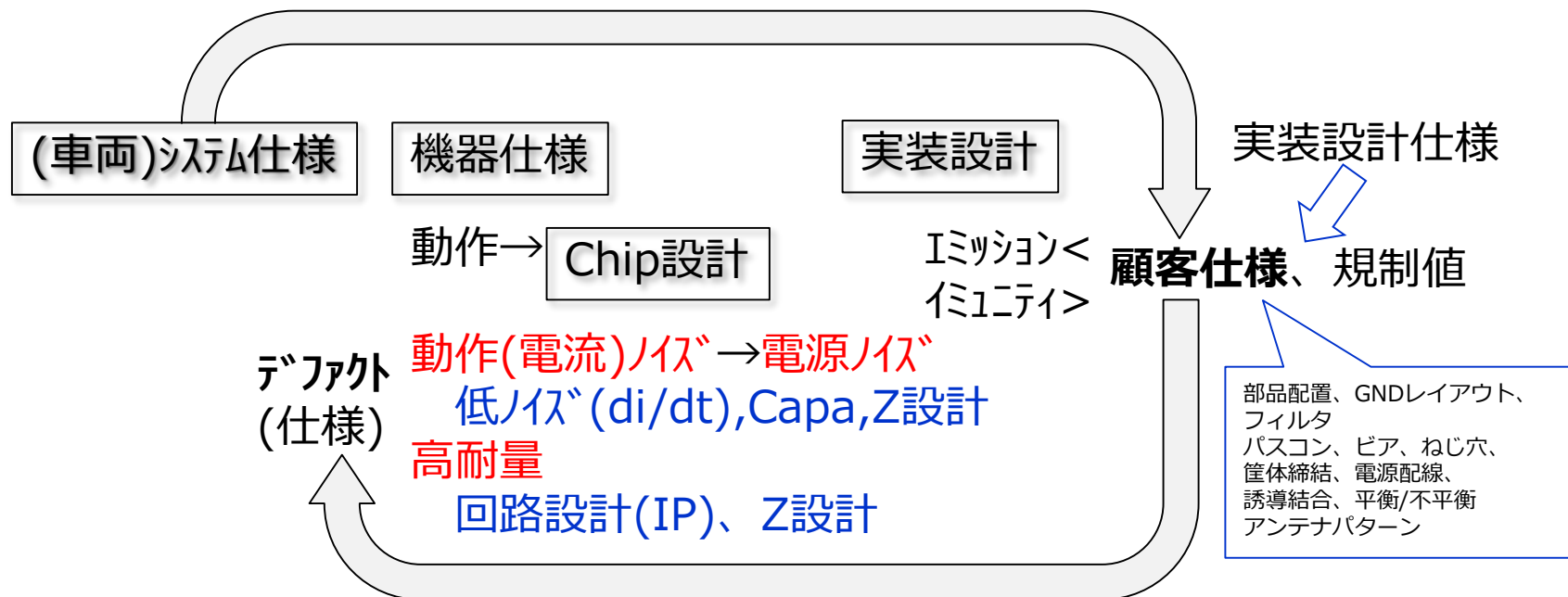
熱設計が上流設計と連携して実現したいこと



動作から電流、自己発熱を早期に見積り、速やかに、早い段階で搭載条件にフィードバックをかけること、
詳細設計で大きな問題が生じないように、実装検討を早い段階から開始すること

EMC設計と上流設計 1

EMC設計が上流設計と連携して実現したいこと



OEMはTier1に車両搭載を考慮した仕様を共通仕様として提示済
Tier1 (Conti, Bosch)は半導体ベンダー(Infineon他)に、
OEMの仕様を考慮した半導体性能を提示済、これがデファクトになっている。

連携する必要が無い？

EMC設計と上流設計 2

EMC設計が上流設計と連携して実現したいこと？

- ・仕様に妥当性はないから、**必要な性能を検討したい**

技術開発としてはOKだが、製品開発では日程が一致しない

- ・それぞれの仕様に満足しながら組み合わせると成立しないということ避けたい

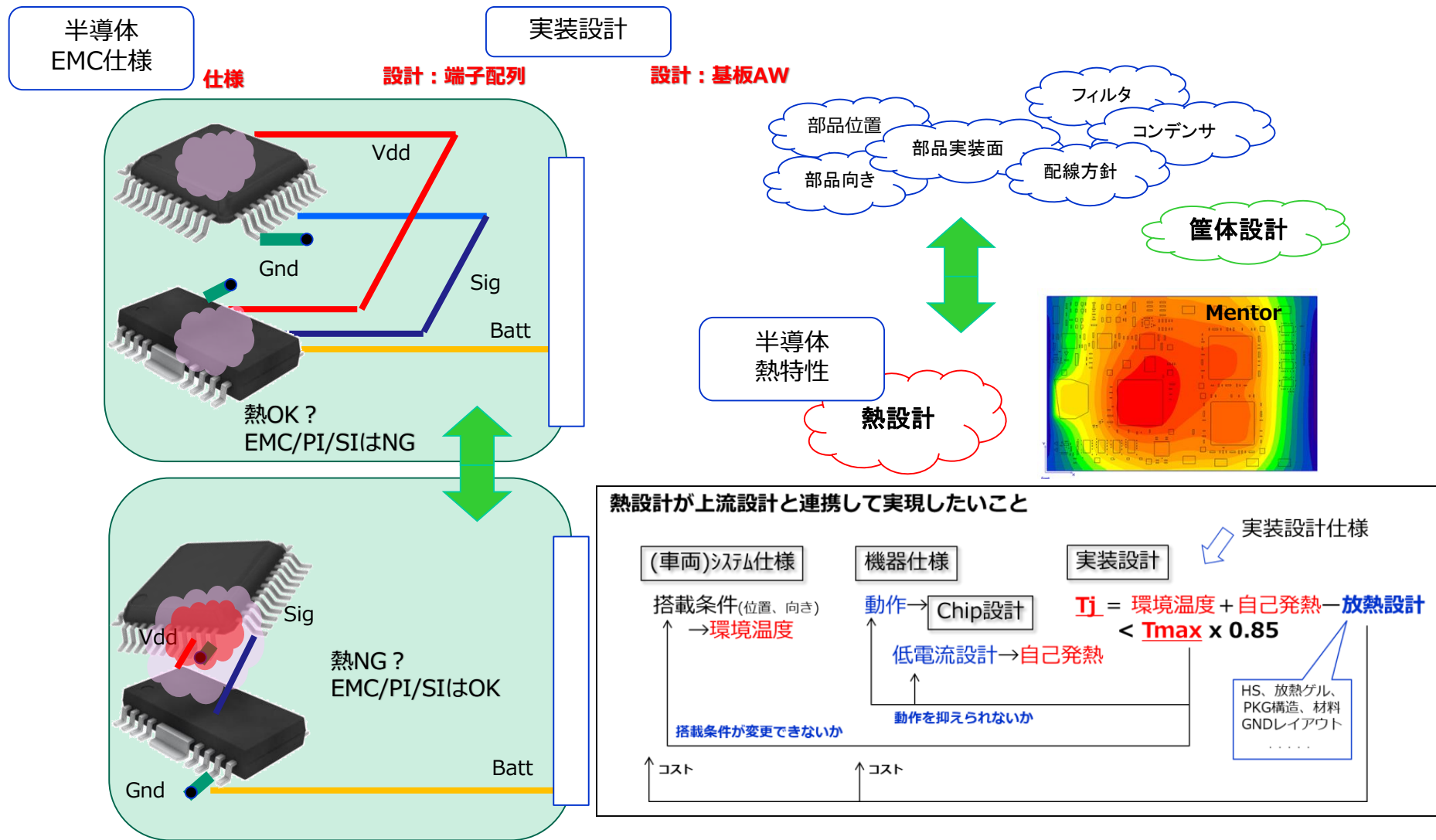
どれだけ発生するか？、リスクが高い？

- ・それぞれの仕様に最低限とし、**全体を最適化**することでQCDの競争力を向上させたい

半導体には最低限のクラスを要求し、その半導体を使いこなすようにすると半導体のコストは抑えられるのではないかな？

優秀な機器メーカーがいても他の機器メーカーが高いクラスの半導体を要求すれば半導体ベンダーは結局、性能の良い半導体を開発が必要
他の半導体ベンダーが性能の良い製品を開発するリスクもあり。

組み合わせると成立しない



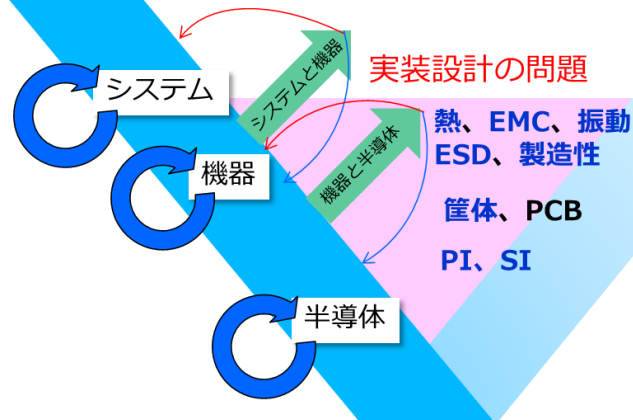
MBD設計と実装設計

従来. . . .



MBD設計

車両システム



ということは



これが目指す姿？

EMC設計とMBD設計



半導体
x1 Hz~y1 GHz
電源端子 **class a1**
信号端子 **class b1**

提案 : 端子配列 設計 : 基板AW



確認

MBD – 半導体EMCモデル

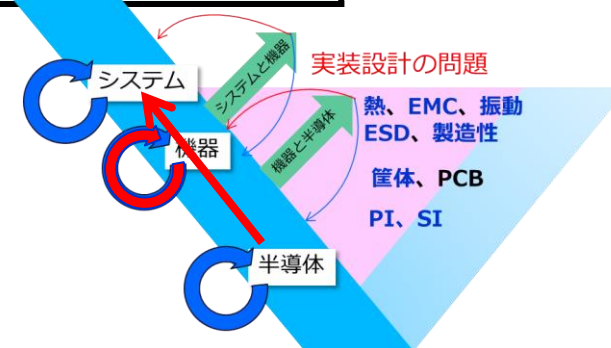
設計フェーズとともにモデルを入れ替え

	仕様モデル →	設計中モデル ↻	設計結果モデル
	設計(全体最適化)	確認	検証
ノイズ源	BISSクラス IEC62433	?	設計結果で モデリング
内部インピーダンス	狙い値、過去実績		
耐性	BISSクラス IEC62433	IP設計結果/ 仕様、狙い値	

車両システム

?

機能設計が終わる前、つまり
論理合成前にある程度精度があるモデル



高位設計での取組み



システムレベルの記述には、「電源」、「周波数」がない。

半導体
x1 Hz~y1 GHz
電源端子 class a1
信号端子 class b1

提案：端子配列 設計：基板AW



確認

MAGILEM

A Power Consumption Estimation Approach for Embedded Software Design using Trace Analysis

Yassine Ben Atitallah¹, Julien Mottin¹, Nicolas Hili¹, Thomas Ducroux², and Guillaume Godet-Bar³

¹CEA, LETI, MINATEC Campus, F-38054 Grenoble, France

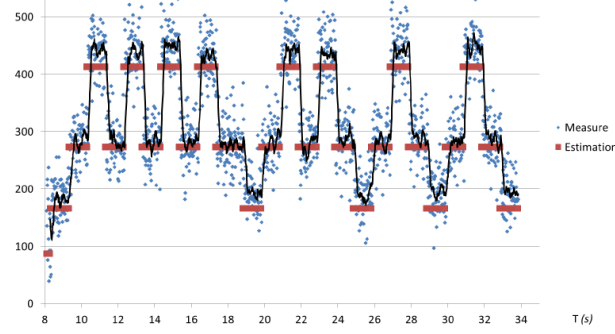
²STMicroelectronics, Grenoble, France

³MAGILLEM Design Services S.A.S, Paris, France

{yassine.benatitallah,julien.mottin,nicolas.hili}@cea.fr, thomas.ducroux@imag.fr, godet-bar@magillem.com

Abstract—With the explosion of advanced power control knobs such as dynamic voltage frequency scaling, mastering energy constraints in embedded systems is becoming challenging for software developers. Several power estimation techniques have been proposed over the past years, from electrical level to more

To manage this complexity, several approaches have been proposed [5]. They usually rely on power models at different HW abstraction layers including gate-level, Register Transfer Level (RTL), functional level and so forth, offering various



Mentor



ESL (Electronic System Level) 設計

高度なモデリングでローパワー設計の期間を短縮

抽象度の高いレベルでのパワー解析は限界があるため、やるとしても合成後、多くの場合配置配線後に行うのが現状です。

設計初期のシステム検討段階におけるパワー最適化と比べると、合成後のパワー最適化の自由度はごくわずかしかありません。特に、ハードウェア/ソフトウェアのパーティショニング、バスのインプリメンテーション、メモリの制御や管理を目的とするアーキテクチャの選定、およびハードウェアの専用エンジンはすべて、最終段階で最適化するよりも電力の改善に多大な影響を与える可能性を有しています。

メンター・グラフィックスが提供する次世代ツールにより、初期のアーキテクチャ探索段階で忠実なモデリングとシミュレーション性能が得られます。これらはゲートレベルのパフォーマンスとパワー情報をトランザクション・レベルのモデリング

(TLM) にマッピングするESL (Electronic System Level) の技術進歩がベースになっています。その結果、高いモデリング精度を忠実に保ちつつ、シミュレーション性能を大幅に改善できました。

現在の設計はブロック・ベースの再利用が進んでおり、正確なパフォーマンスとパワーの情報をマッピングすることが可能です。どのような新規設計であっても多くの場合、**合成可能なRTL**が存在します。またそれらの多くはTLM記述から動作合成 (ハイレベル・シンセシス) を使用して合成できます。パフォーマンスとパワー情報はこのブロックレベルの記述から抽出しTLMドメインにマッピングされます。



まとめ

