

DCDCコンバータのIBISモデルを使用した 伝導ノイズシミュレーション(CISPR25)

モデルベースデザイン／システム設計WG
IBIS活用TG

アジェンダ

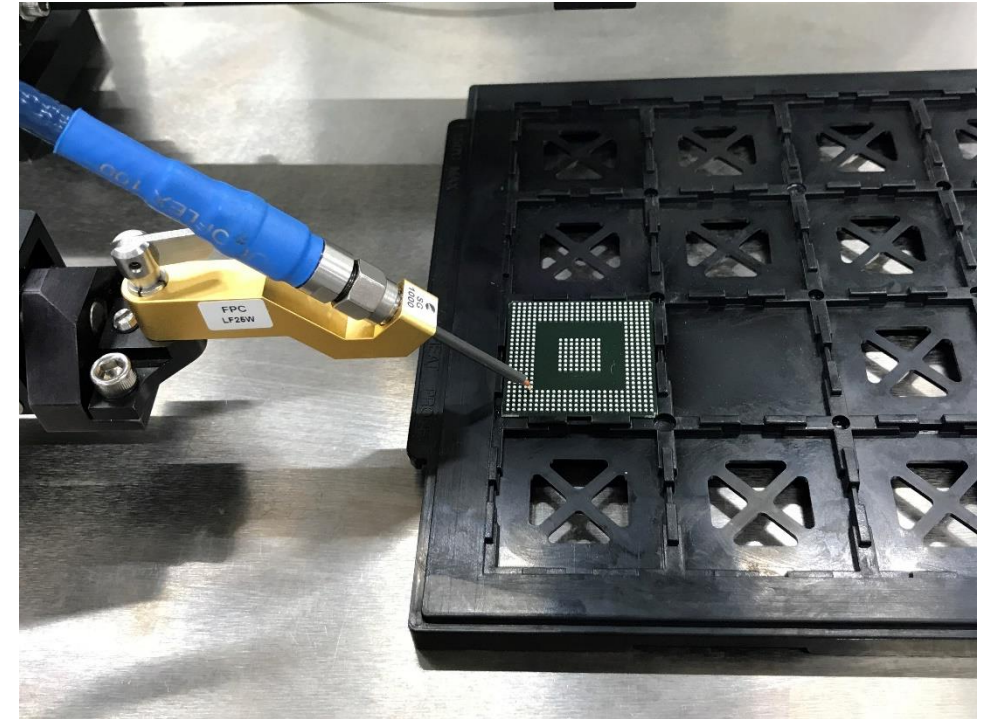
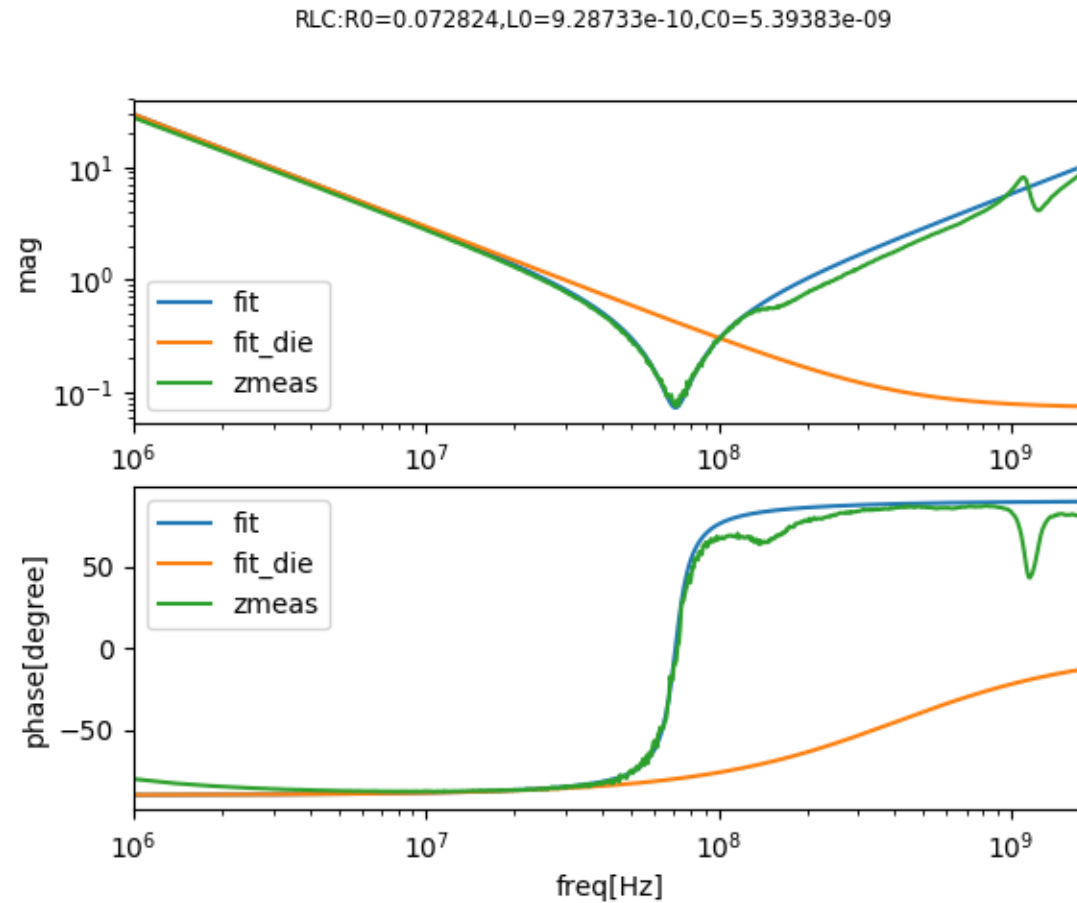
- 目的
- 実測によるDCDCコンバータのインピーダンスモデル作成
- 実測環境と実測結果
- シミュレーション結果と実測比較
- 考察
- まとめ

目的

2019年LPBフォーラムで報告したIBIS化したDCDCコンバータを用いたEMIシミュレーション精度の悪化原因について考察する。
(オープン負荷に加え、抵抗負荷を実験に追加)

メンバー会社のチップを測定した結果

2017年JEITA集中討議スライド

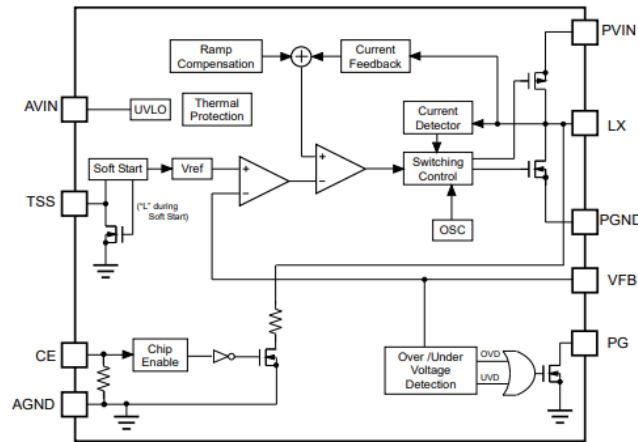


DCDCコンバータのインピーダンス測定箇所

リコー製DCDCコンバータ(RP510L004N-TR-A)を用いて、下記観測ポートの電圧変動を測定し、IBISを用いたシミュレーション結果と比較し、モデリングの妥当性を確認する。

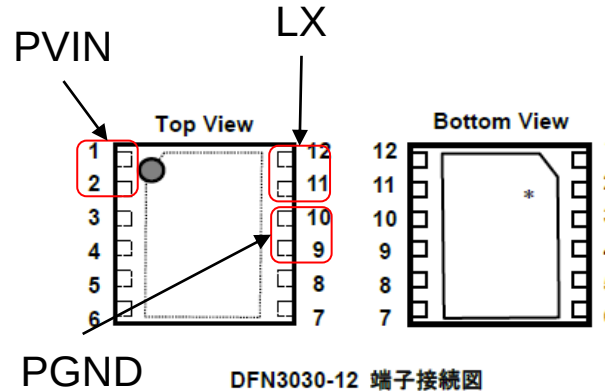


RP510シリーズ



RP510L001N/4N ブロック図

端子説明



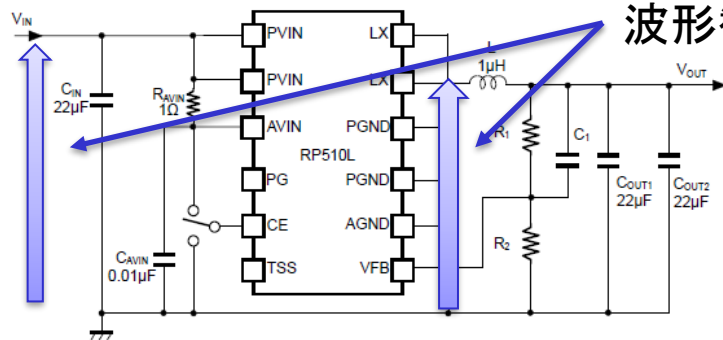
DFN3030-12 端子接続図

DFN3030-12 端子説明

端子番号	端子名	機能
1	PVIN ⁽¹⁾	入力電圧端子
2	PVIN ⁽¹⁾	入力電圧端子
3	AVIN ⁽²⁾	入力電圧端子
4	PG	パワーグット端子, Nch.オーブンドレイン
5	CE	チップイネーブル端子, Active-high
6	TSS	ソフトスタート端子
7	VOUT/ VFB	出力電圧端子/フィードバック電圧端子
8	AGND ⁽³⁾	アナロググラウンド端子
9	PGND ⁽³⁾	パワーグラウンド端子
10	PGND ⁽³⁾	パワーグラウンド端子
11	LX	スイッチング端子
12	LX	スイッチング端子

* パッケージ裏面のタブは基板電位です。放熱性を上げるため、GND面と接続してください。

パワーグッド機能未使用, ソフトスタート時間 150 μ s 設定



RP510L001J/1N/4J/4N (出力電圧外部設定タイプ) 基本回路例

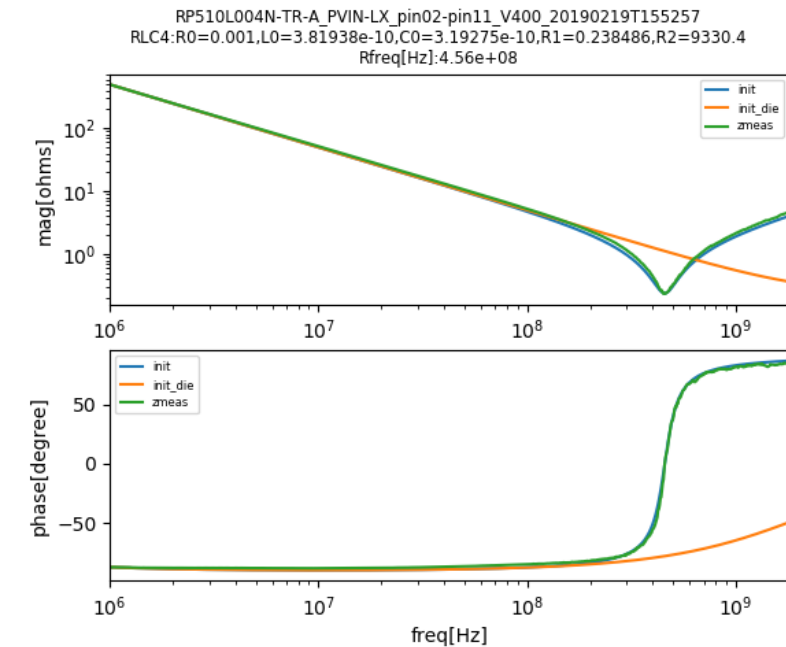
波形観測ポート(VIN、LX)

インピーダンス測定ピン

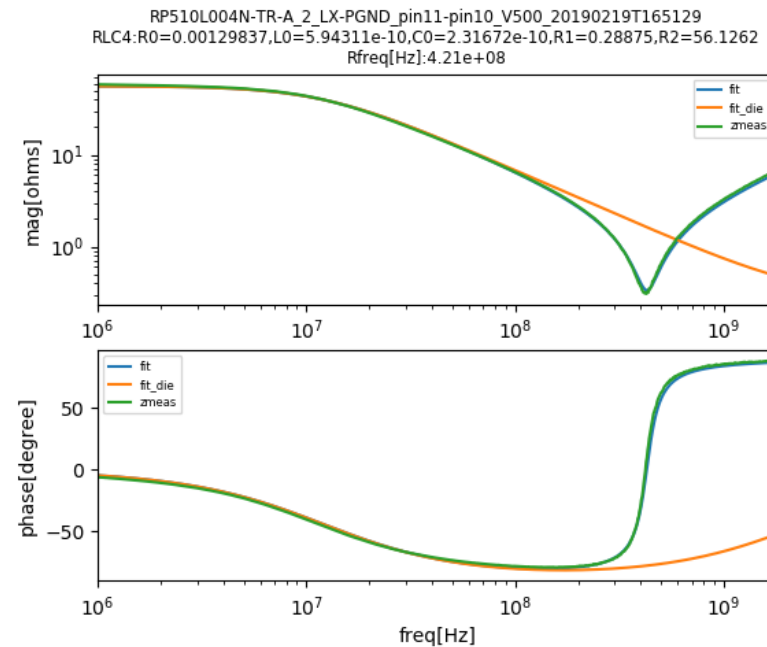
測定ピン(S-G)	ピン番号(S-G)	ピッチ(mm)	バイアス(V)	周波数(Hz)※
PVIN-PGND	PIN2-PIN10	2.65mm $\pm$ 0.3mm	0,0.3,0.6,1,2,3,3.6,4,5,5.5	1k-3G
PVIN-LX	PIN2-PIN11	2.6mm $\pm$ 0.3mm	0,0.3,0.6,1,2,3,3.6,4,5,5.5	1k-3G
LX-PGND	PIN11-PIN10	0.5mm $\pm$ 0.1mm	0,0.3,0.6,1,2,3,3.6,4,5,5.5	1k-3G

※周波数は測定器にも依存するので目安です。

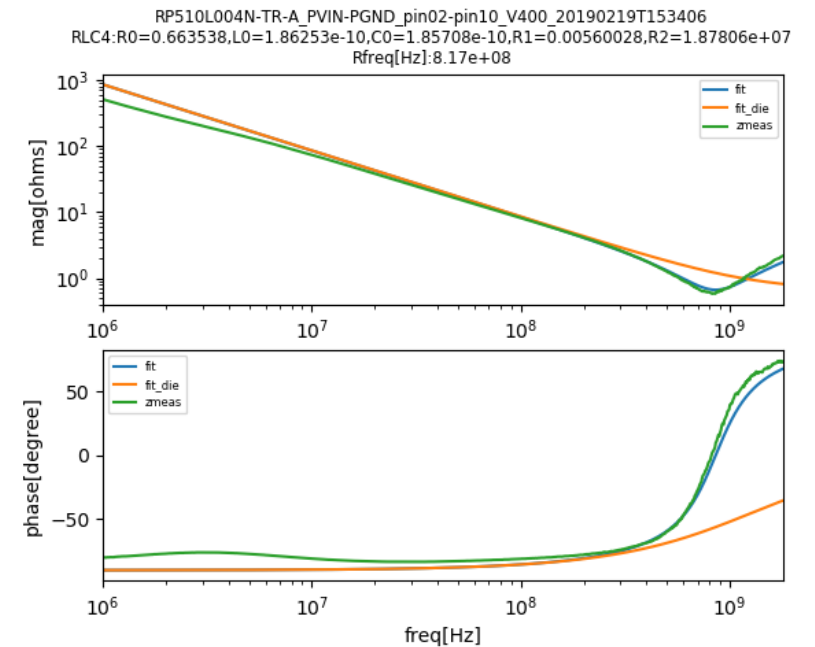
インピーダンス実測と等価回路化



PVIN-LX間インピーダンス



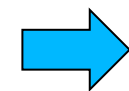
LX-PGND間インピーダンス



PVIN-PGND間インピーダンス

	L(nH)	C(pF)	R(Ω)	Rleak(Ω)
PVIN-PGND	0.19	186	0.66	1.87e7
PVIN-LX	0.38	319	0.24	9339
LX-PGND	0.59	232	0.29	56.12

直列容量
134pF



PVIN-PGND
186p-134p=52pF

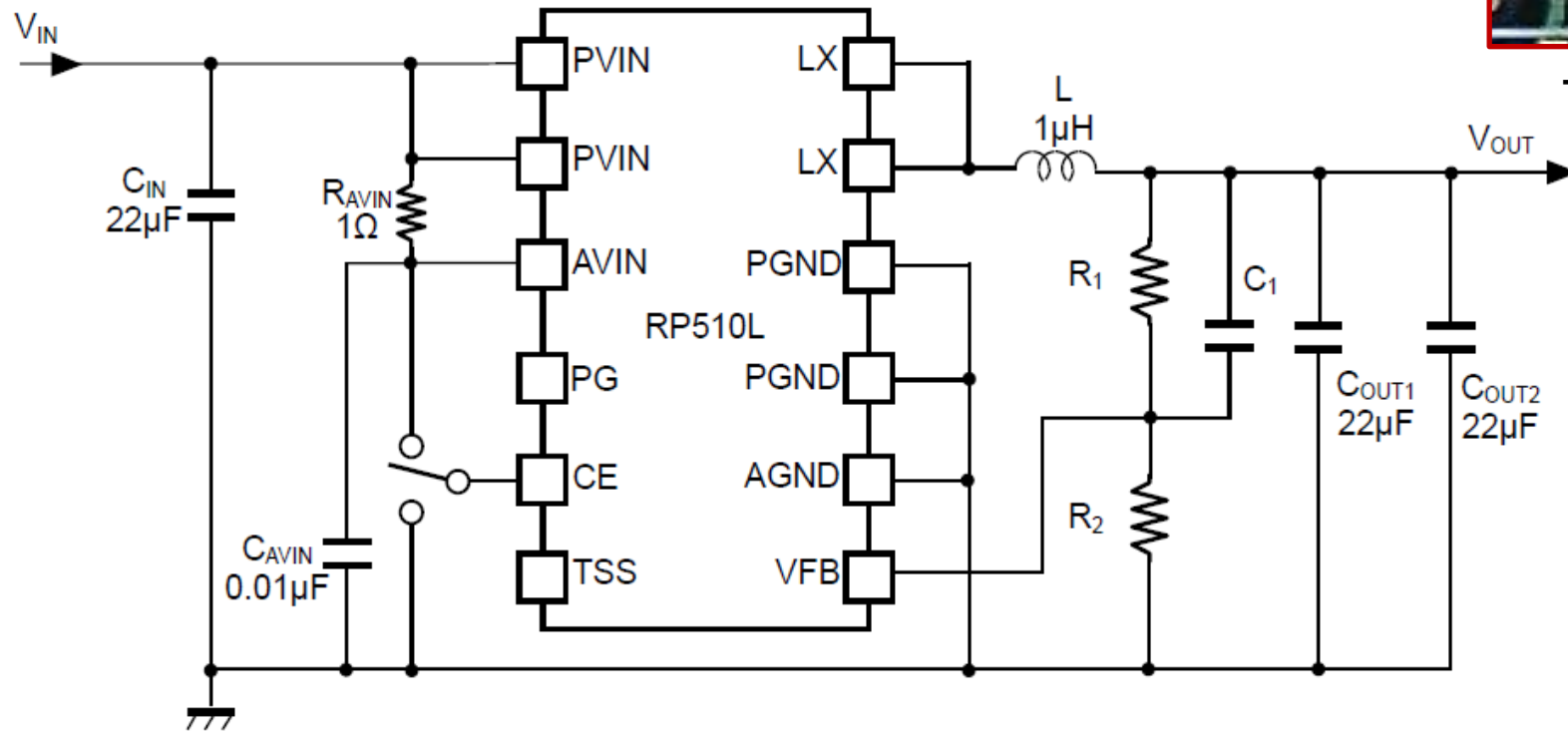
IBISファイル中の容量記述

実測した容量をIBIS内のC_comp_pullup、C_comp_pulldownに記載

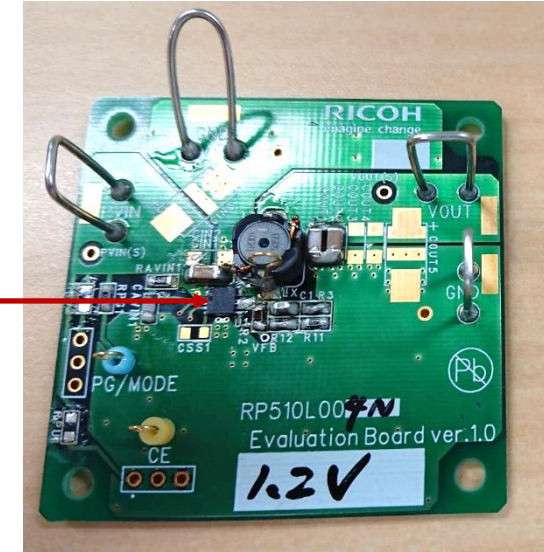
```
[Model] bbb
Model_type I/O
Polarity Non-Inverting
Vinl = .72000000
Vinh = 2.88000000
Vmeas = 1.80000000
|C_comp 5.53197e-10 4.65065e-10 7.07186e-10 | CDL
C_comp_pullup 319e-12 NA NA | Measurement
C_comp_pulldown 232e-12 NA NA | Measurement
```

今回はリコー電子デバイスのモデル精度が高く、容量がほぼ一致しているので問題ないが、大きくずれていた場合はspiceネットに容量を追加してIBISを作成しなおす必要がある。

測定用回路構成



デバイス

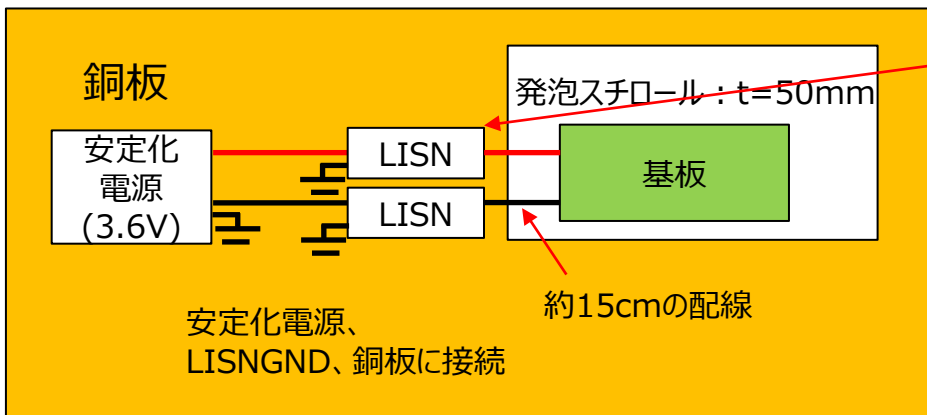


評価ボード

V_{out} 負荷

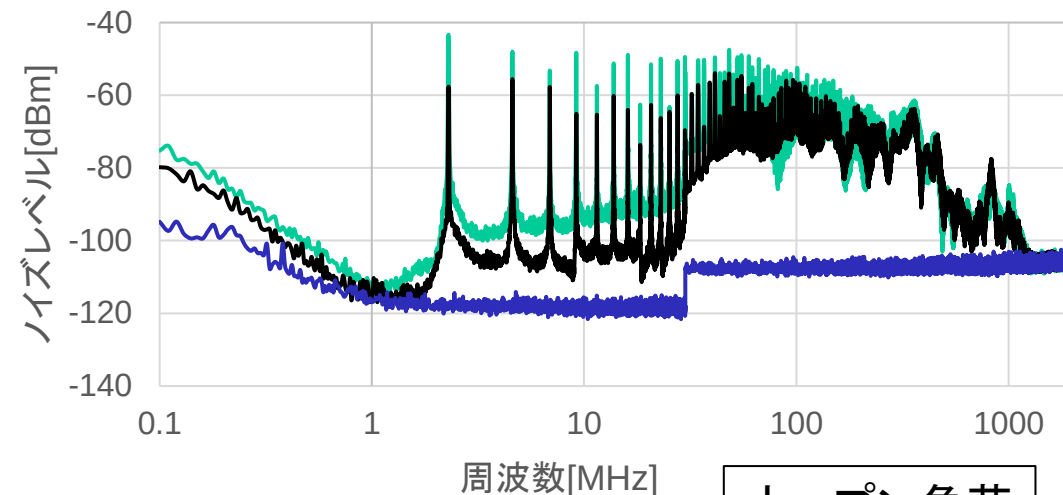
- ① オープン
- ② 2.2 Ω

実測環境および結果

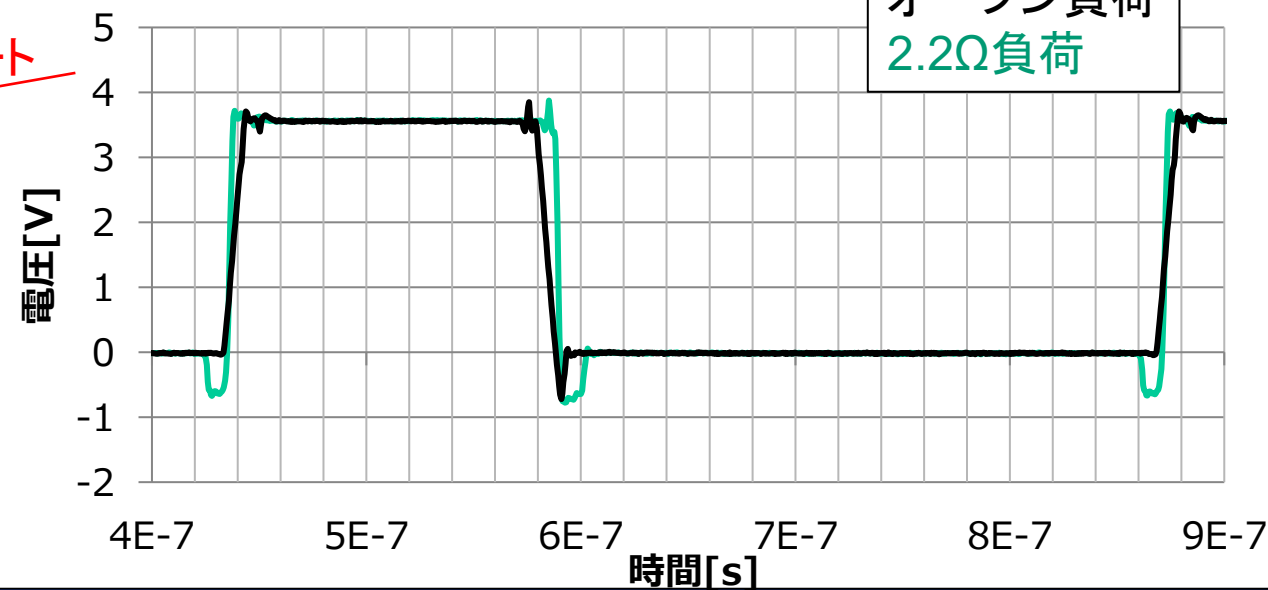
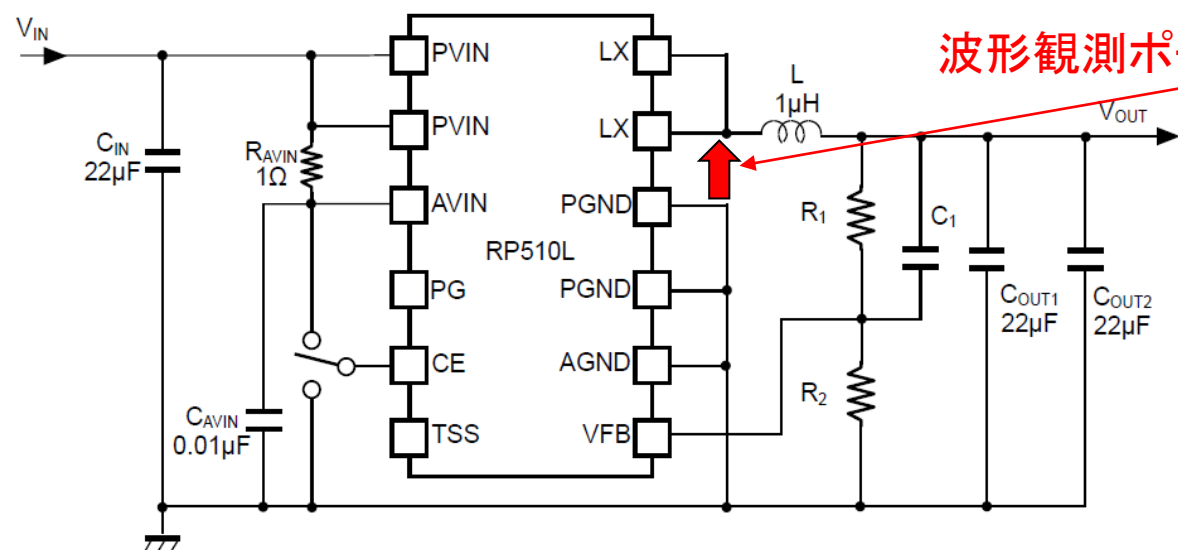


測定環境 シールドルーム内

電源LISN波形 (PVIN)

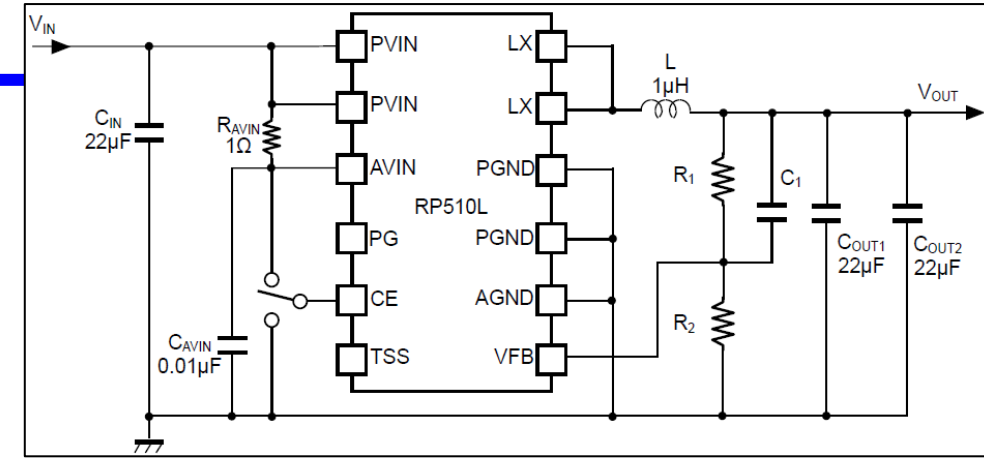


オープン負荷
2.2Ω負荷

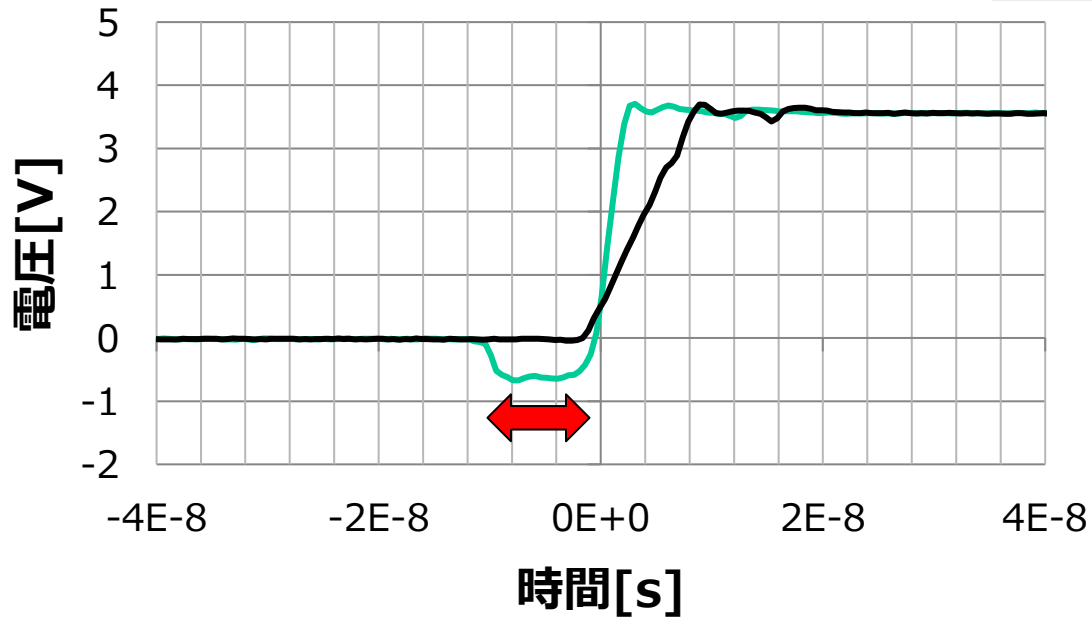


LX実測波形

抵抗負荷ではLX波形に**デッドタイム**が表れている。

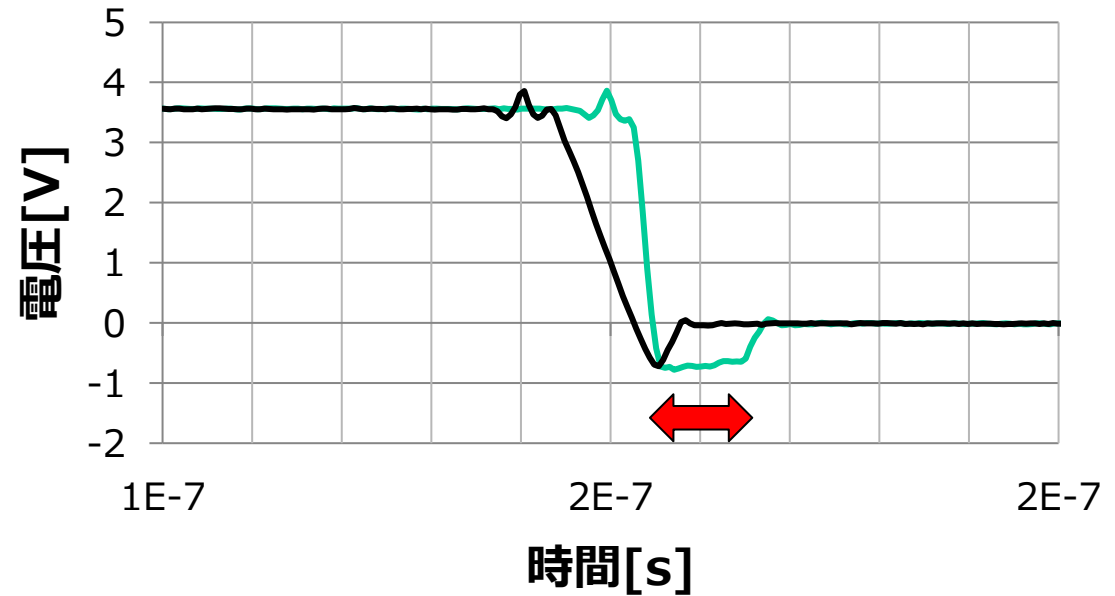


LX 立上り



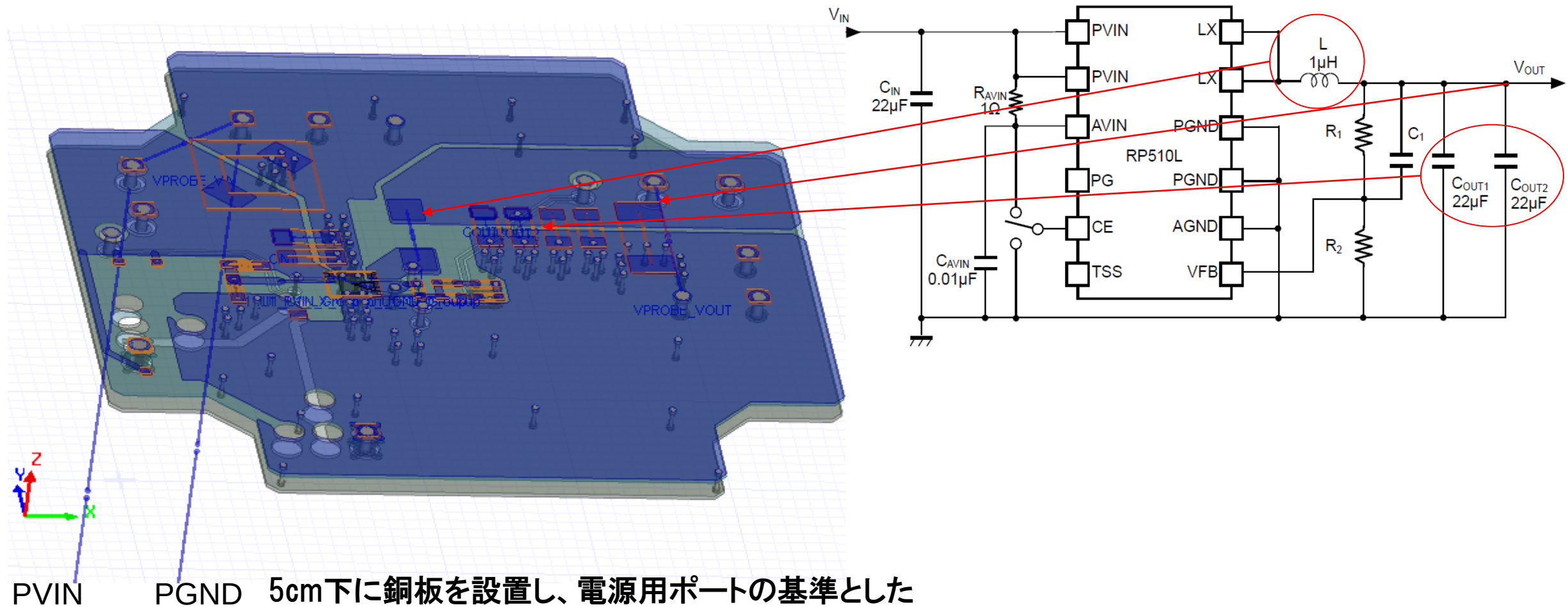
オープン負荷
2.2Ω負荷

LX 立下り



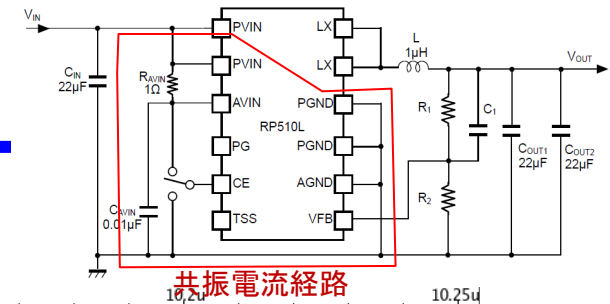
プリント基板モデル

プリント基板を電磁界解析ツールでモデリング

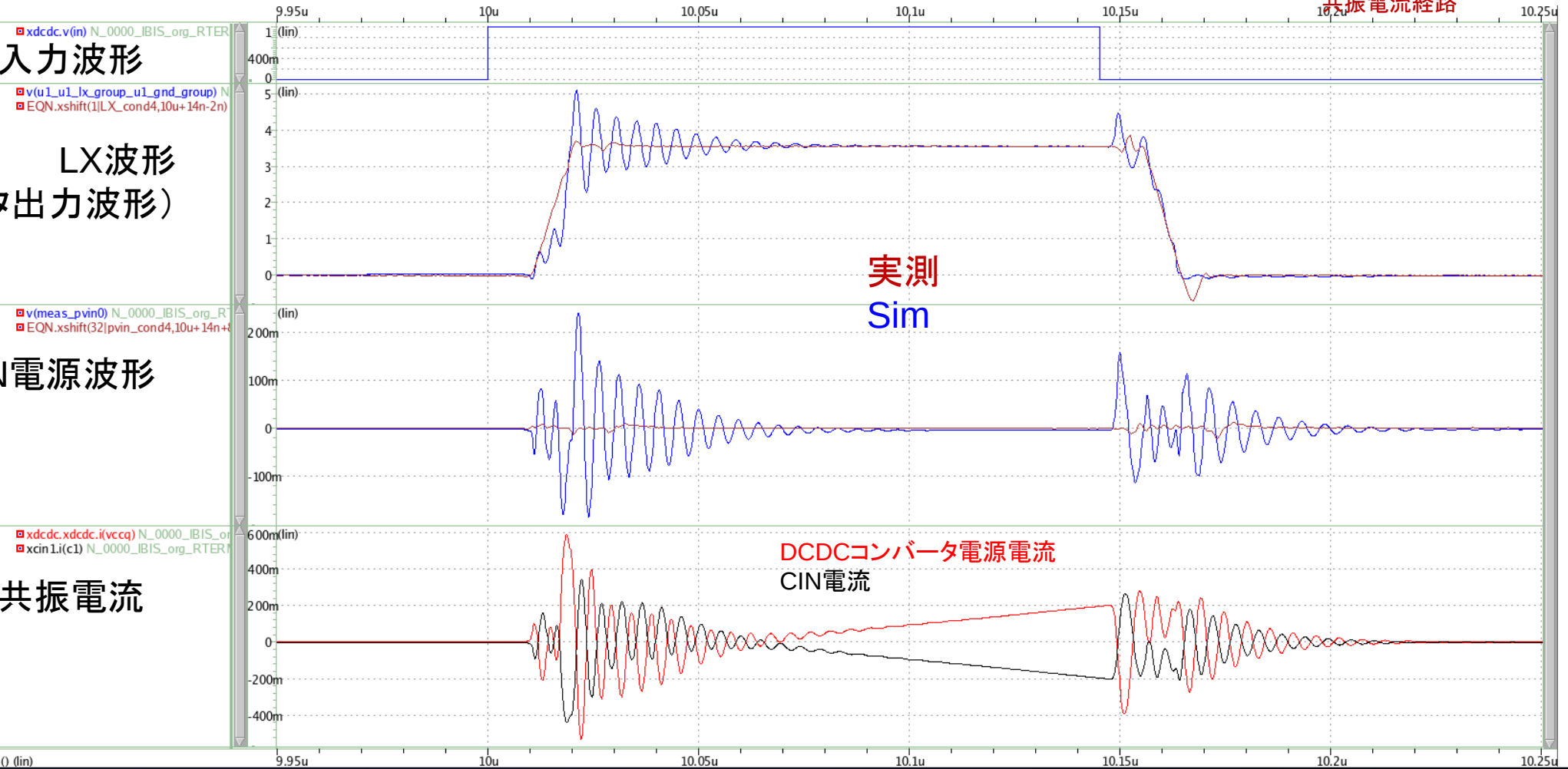


シミュレーション結果:オープン

シミュレーションでは実測にない大きなリングングが発生



IBIS入力波形



LX波形

(DCDCコンバータ出力波形)

LISN電源波形

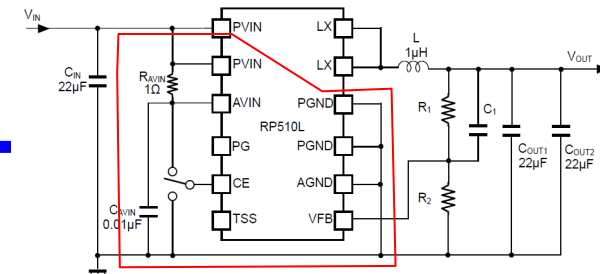
共振電流

実測
Sim

DCDCコンバータ電源電流
CIN電流

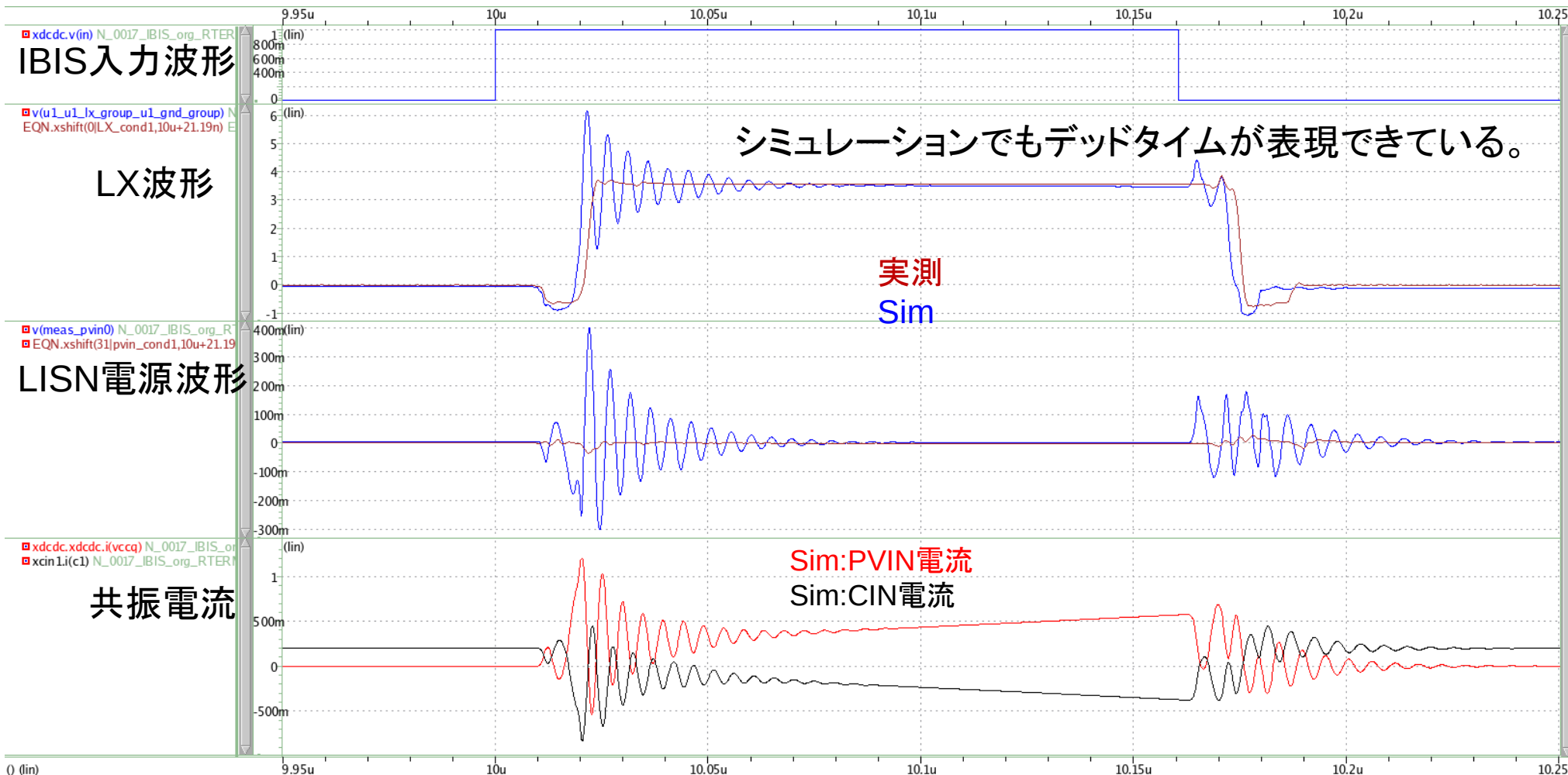
シミュレーション結果：抵抗負荷

オープン終端同様、シミュレーションでは実測にない大きなリングングが発生



共振電流経路

PVIN, PGND, CINを通る共振電流によりリングングが発生している。



IBISファイルで定義されている Rising/Falling Waveform, composite currentとの関係

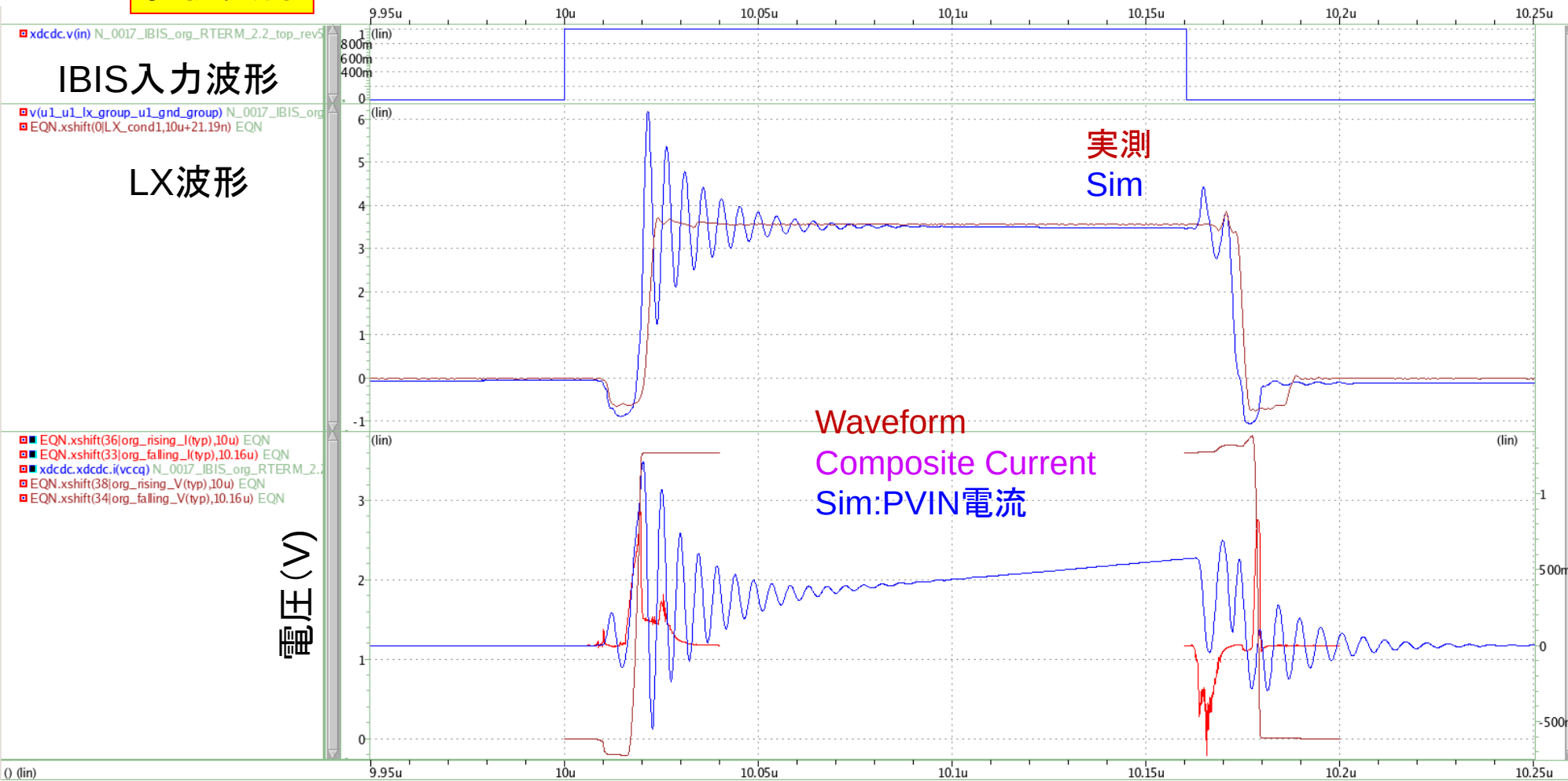
抵抗負荷

IBIS入力波形

LX波形

電圧 (V)

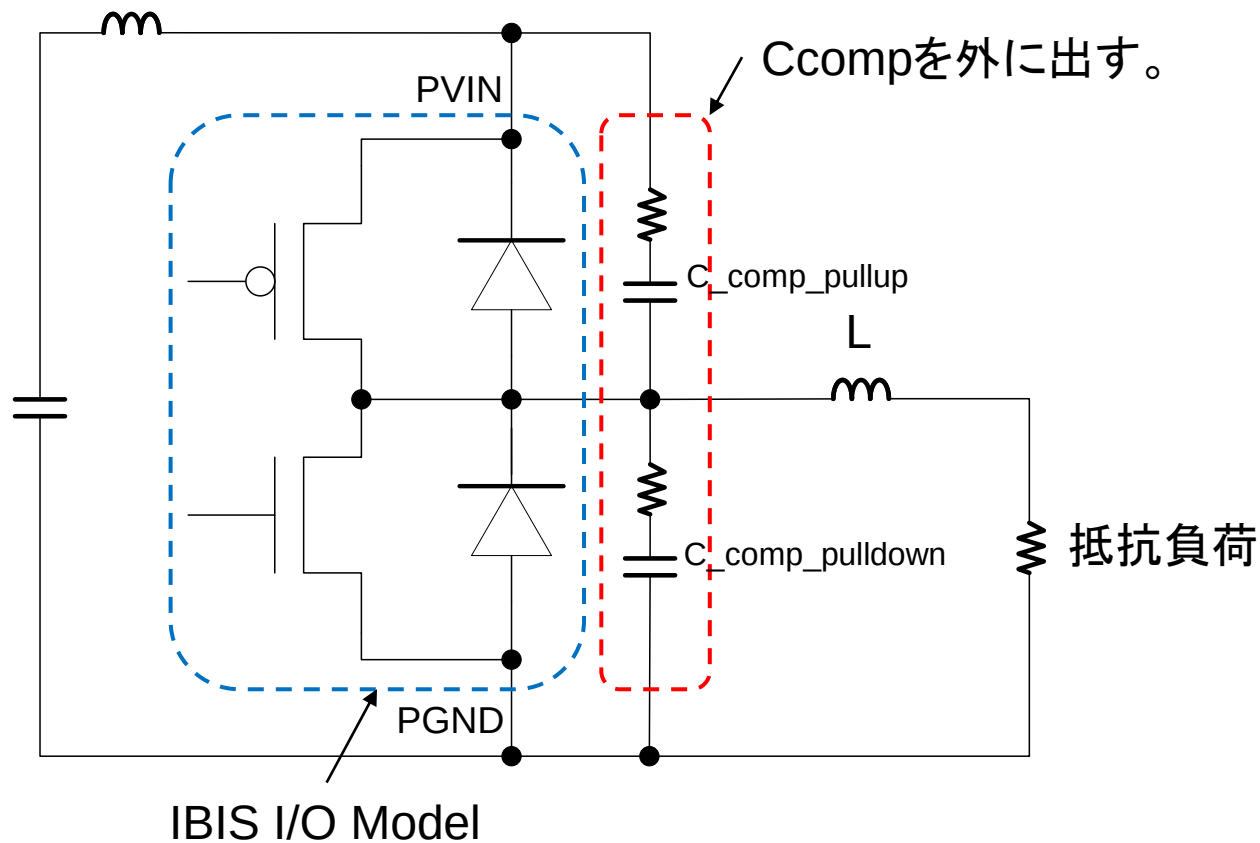
電流 (A)



Composite Currentによってリングングが発生しているようにも見える。

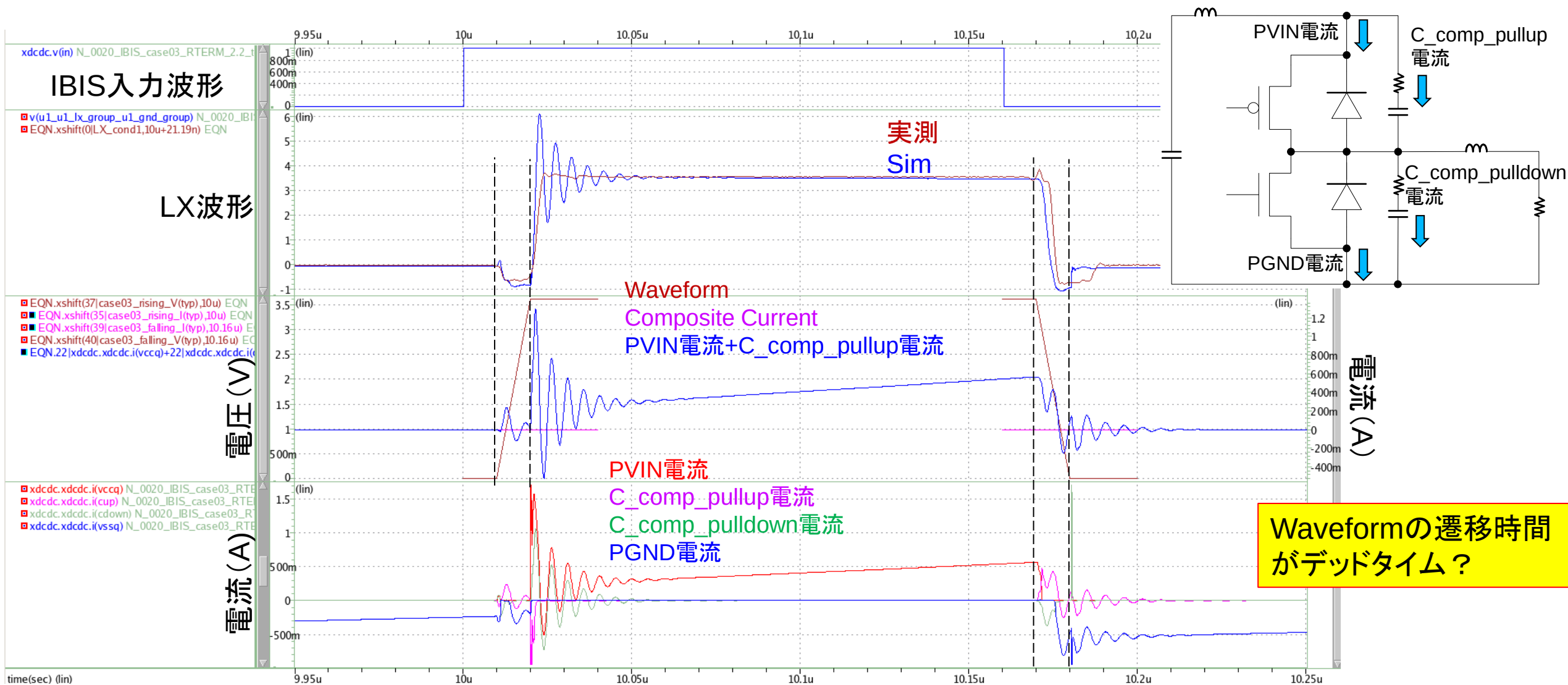
Rising/Falling Waveform, composite currentを変更してみる

Ccompを外付けにし、Composite Currentを0A、Waveformを単純な立ち上がり・立下りに変更



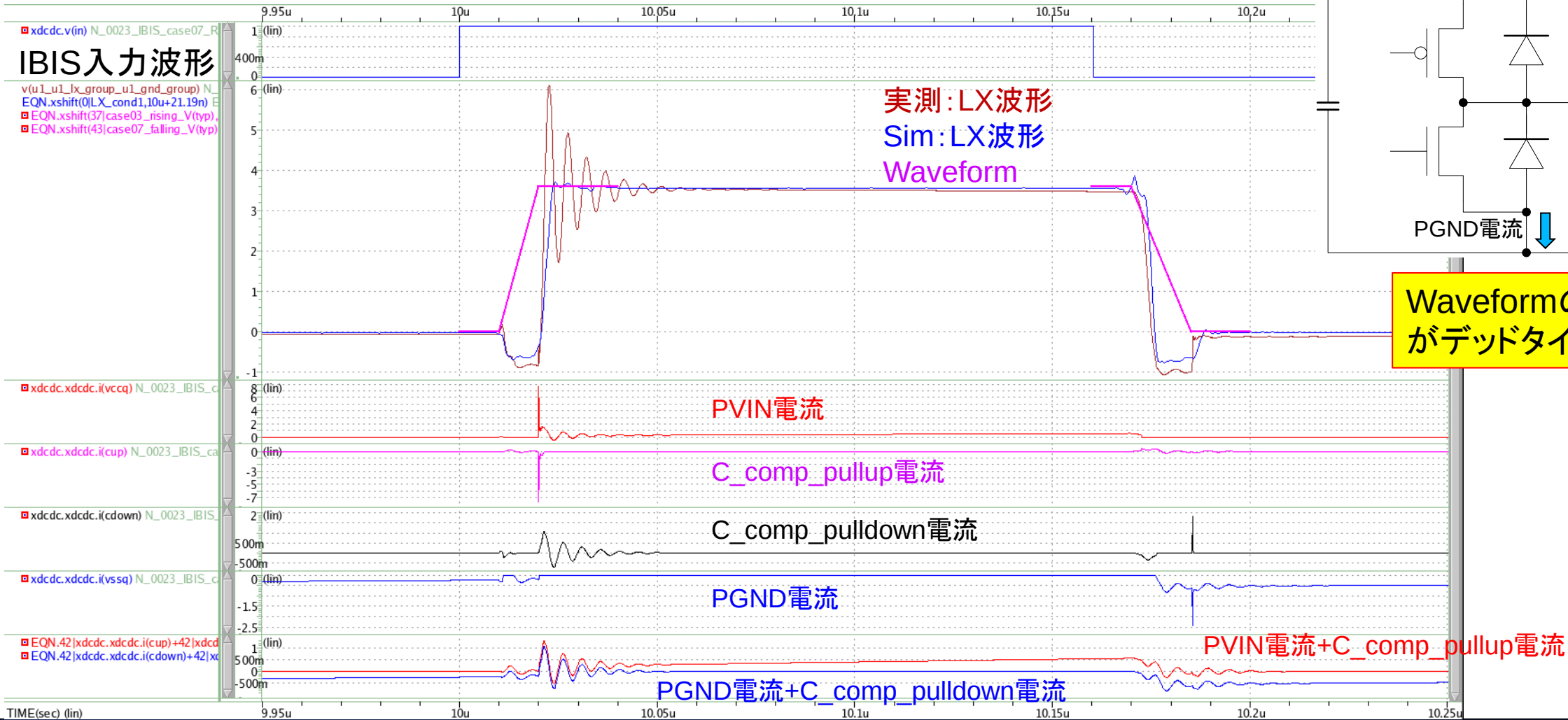
<pre>[Rising Waveform] R_fixture = 1000000 V_fixture = 0.000 V_fixture_min = 0.000 V_fixture_max = 0.000 time V(typ) V(min) V(max) 0 0 0 0 10e-9 0 0 0 20e-9 3.6 3.2 4.0 40e-9 3.6 3.2 4.0 [Composite Current] time I(typ) I(min) I(max) 0 0 0 0 10e-9 0 0 0 20e-9 0 0 0 40e-9 0 0 0 </pre>	<pre>[Falling Waveform] R_fixture = 1000000 V_fixture = 3.6 V_fixture_min = 3.2 V_fixture_max = 4 time V(typ) V(min) V(max) 0 3.6 3.2 4 10e-9 3.6 3.2 4 20e-9 0 0 0 40e-9 0 0 0 [Composite Current] time I(typ) I(min) I(max) 0 0 0 0 10e-9 0 0 0 20e-9 0 0 0 40e-9 0 0 0 </pre>
<pre>[Rising Waveform] R_fixture = 1000000 V_fixture = 3.600 V_fixture_min = 3.200 V_fixture_max = 4.000 time V(typ) V(min) V(max) 0 0 0 0 10e-9 0 0 0 20e-9 3.6 3.2 4.0 40e-9 3.6 3.2 4.0 [Composite Current] time I(typ) I(min) I(max) 0 0 0 0 10e-9 0 0 0 20e-9 0 0 0 40e-9 0 0 0 </pre>	<pre>[Falling Waveform] R_fixture = 1000000 V_fixture = 0.000 V_fixture_min = 0.000 V_fixture_max = 0.000 time V(typ) V(min) V(max) 0 3.6 3.2 4 10e-9 3.6 3.2 4 20e-9 0 0 0 40e-9 0 0 0 [Composite Current] time I(typ) I(min) I(max) 0 0 0 0 10e-9 0 0 0 20e-9 0 0 0 40e-9 0 0 0 </pre>

抵抗負荷: Rising/Falling Waveform, composite currentとの関係



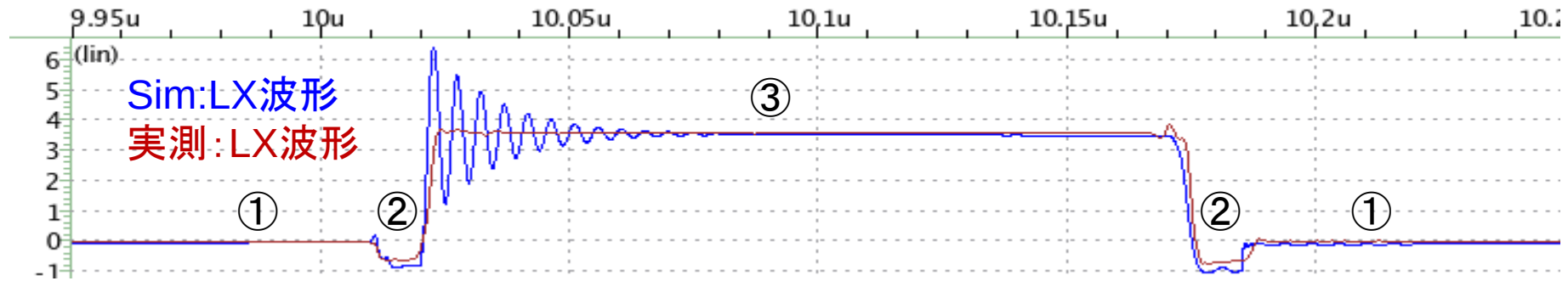
Waveformの遷移時間がデッドタイムになるかを確認

Falling Waveformの遷移時間を実測結果に合わせて変更



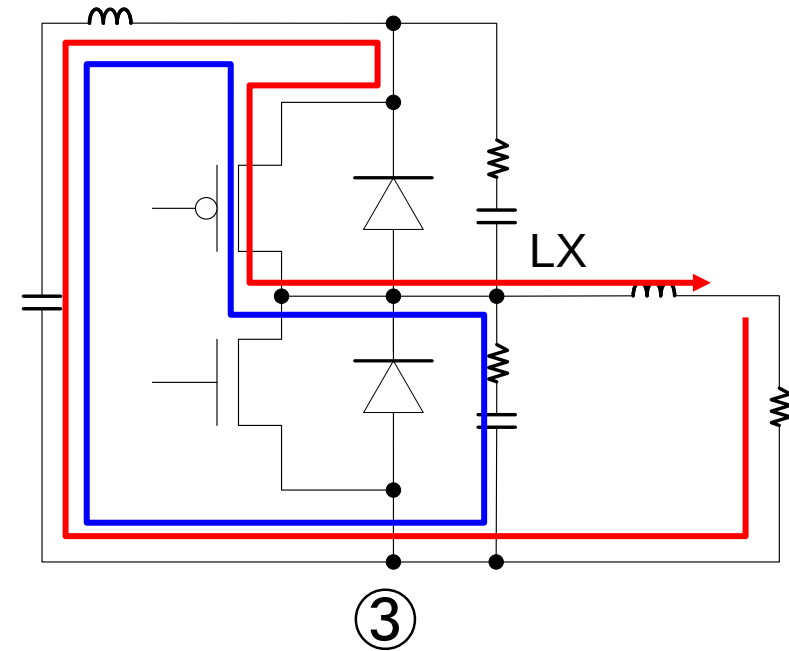
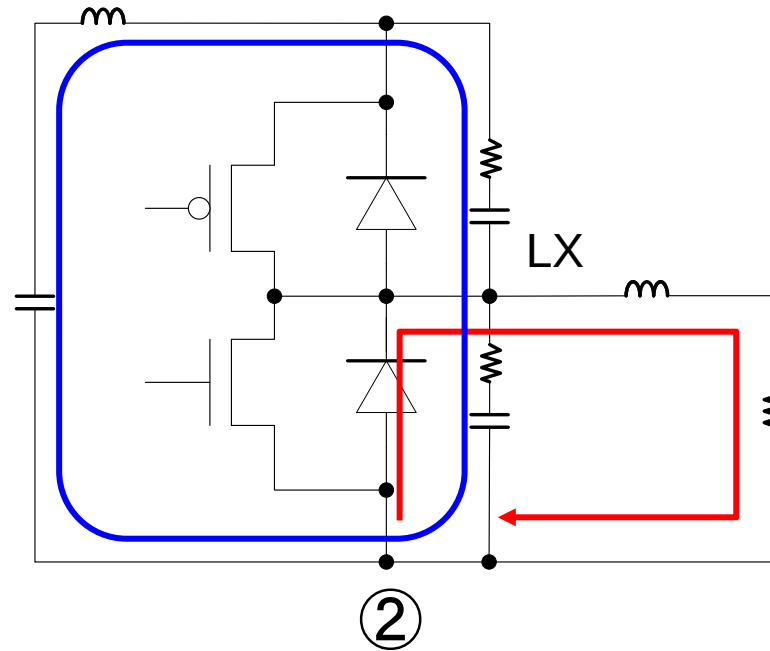
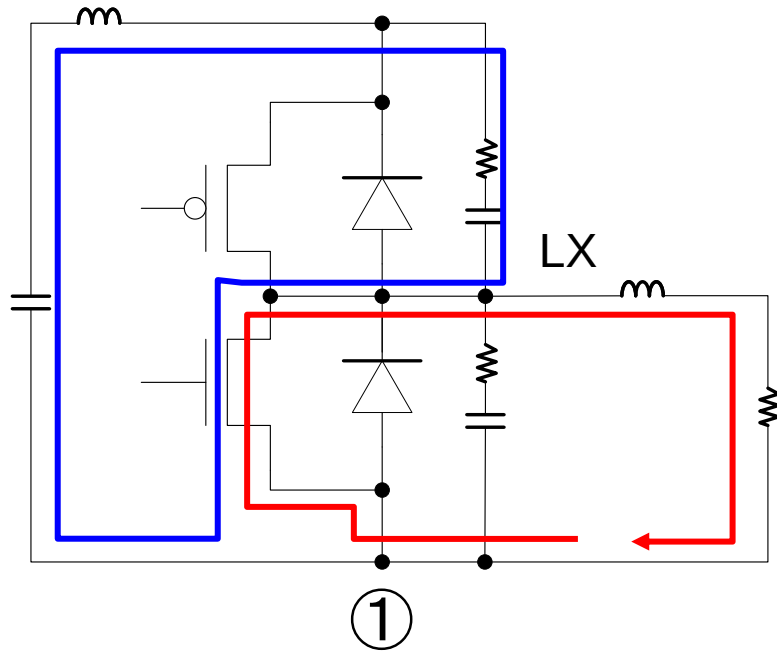
Waveformの遷移時間がデッドタイムとなる。

考察：負荷電流経路と共振電流経路

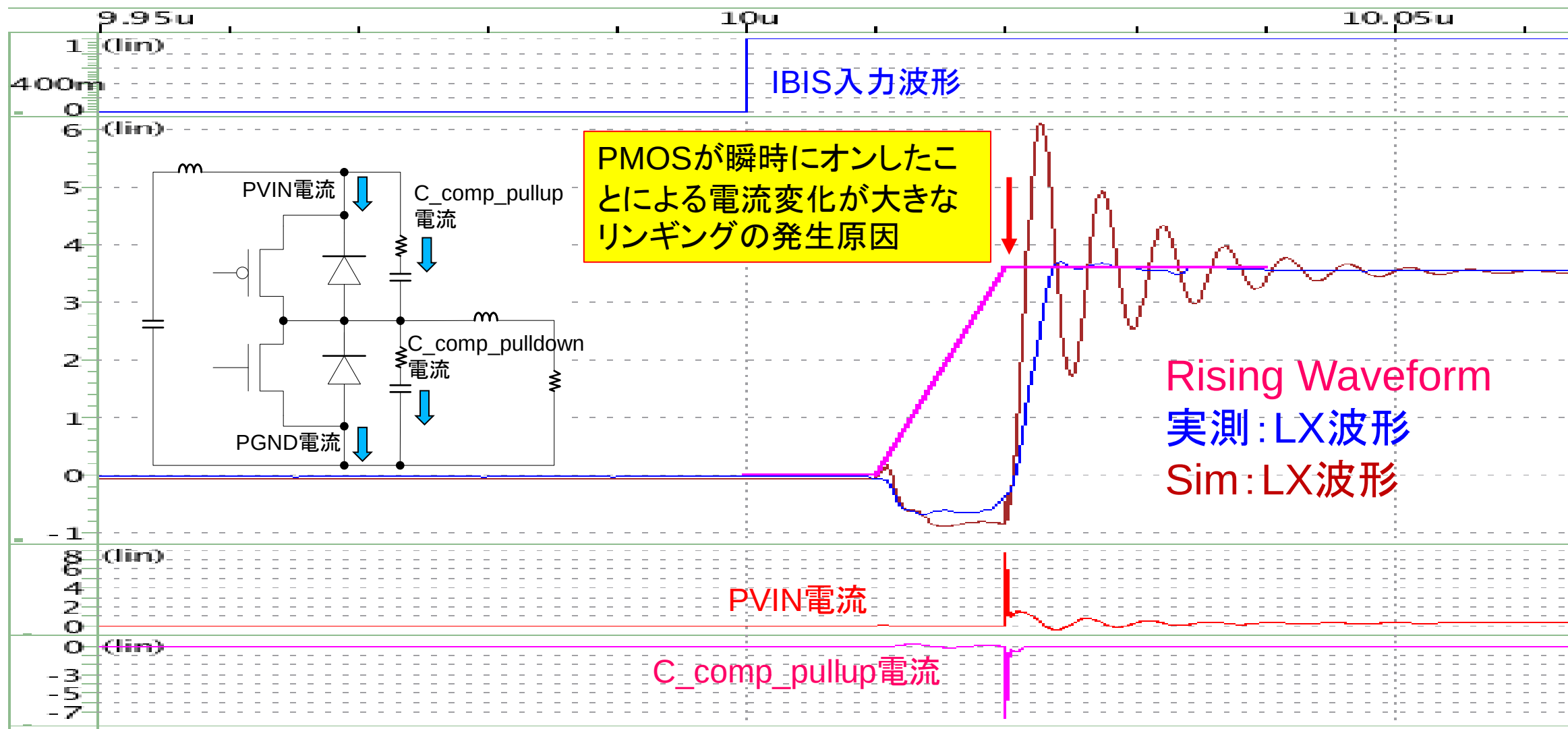


共振電流経路

負荷電流経路



考察: リンギングの原因検討



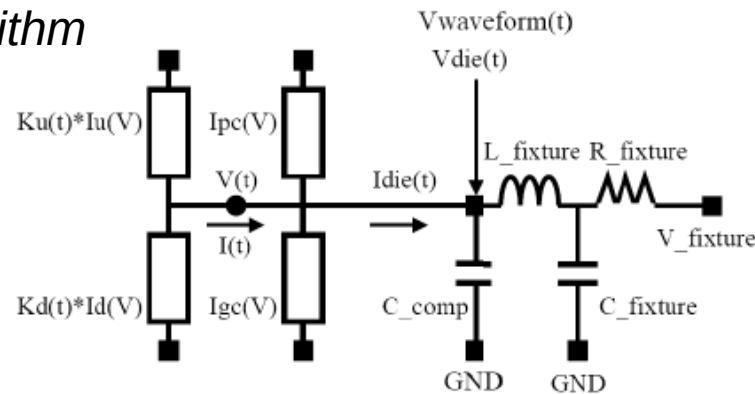
まとめ

現状のIBISモデリングでは、PMOS、NMOSスイッチが瞬時に切り替わるため、電流変化が大きくなりリングングとなって現れる。

今後

- Spiceモデルを用いたシミュレーションにて、負荷条件を実機に合わせた状態でIBIS用のRising/Falling Waveform、Composite Currentを作成する。<https://ibis.org/summits/nov08a/chen.pdf>

2EQ/2UK algorithm



$$0 = Ku(t) * Iu(V_{wfm1}(t)) + Ipc(V_{wfm1}(t)) - Kd(t) * Id(V_{wfm1}(t)) - Igc(V_{wfm1}(t)) - Idie(V_{wfm1}(t))$$

$$0 = Ku(t) * Iu(V_{wfm2}(t)) + Ipc(V_{wfm2}(t)) - Kd(t) * Id(V_{wfm2}(t)) - Igc(V_{wfm2}(t)) - Idie(V_{wfm2}(t))$$

- 実測でRising/Falling Waveform、Composite Currentを作成することを検討する。