

Annual Report 2024年 システムフロントローディングTG

JEITA 半導体部会組織



Japan Electricals and Information Technology Industries Association

JEITA-JSIA

JEITA半導体部会 / 半導体統括委員会

半導体標準化専門委員会

JPCAショー2025出展

半導体システムソリューション技術委員会

セミナープログラム 2, 3, 4

セミナープログラム 5, 6

半導体&システム開発SC

チップレットソリューションWG

デバイスモデルDX推進SC

パワエレ設計環境WG(10月発足)

半導体EMC SC

半導体構造設計SC

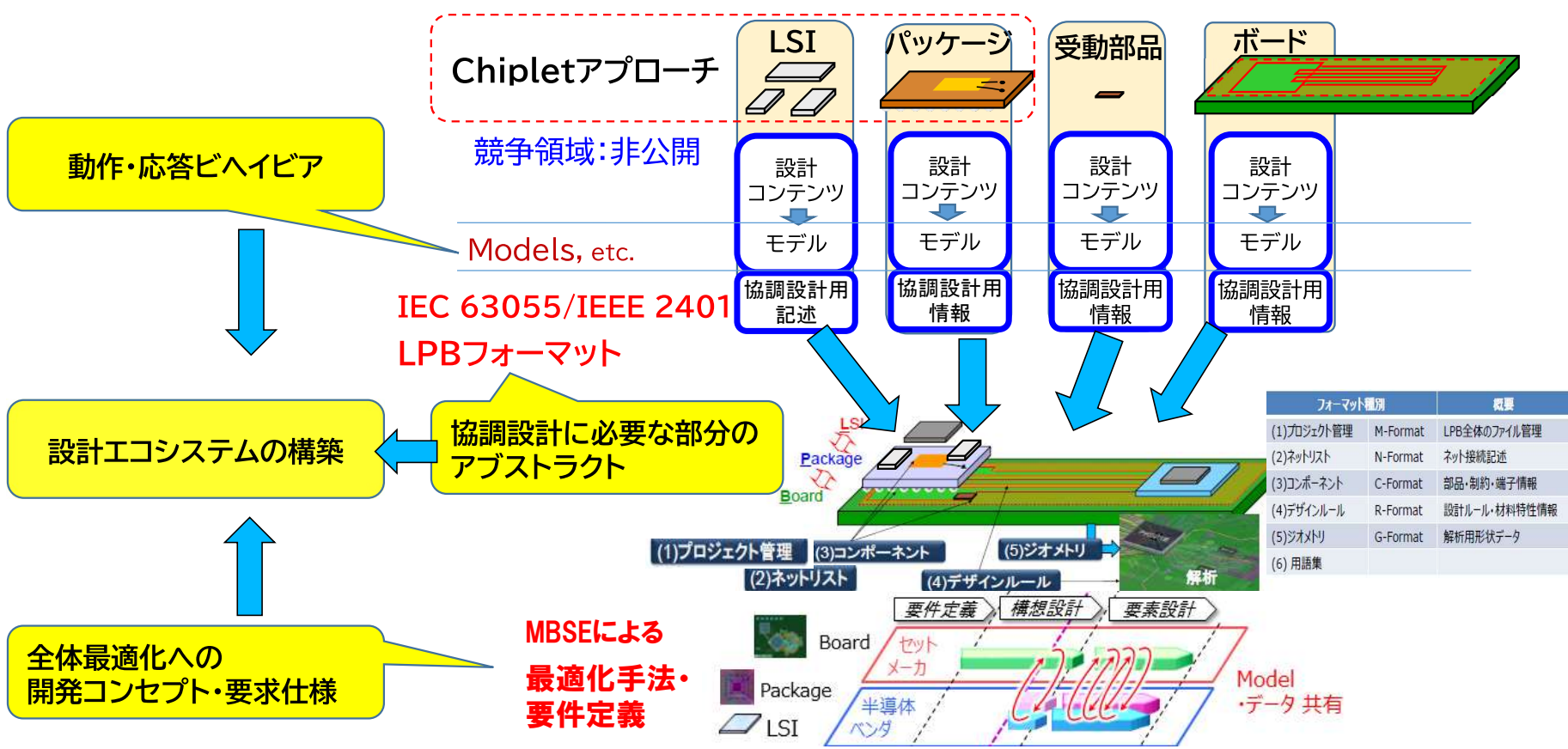
セミナープログラム 1

半導体製品技術委員会

半導体信頼性技術委員会

半導体 & システム開発SC：設計環境構築のアーキテクチャを作成

LSI-Package-Board(LPB)相互設計：設計エコシステムの構築



委員会構成

- 半導体 : 東芝デバイス&ストレージ、ルネサスエレクトロニクス、
ソニーセミコンダクターソリューション、ヌヴォトンテクノロジージャパン
トッパン・テクニカル・デザインセンター
- セット : キヤノン、コニカミノルタ、リコー、エトリア、デンソー
- 装置 : Advantest
- 部品 : 村田製作所
- EDA : 図研、シーメンスEDAジャパン、富士通、ANSYS
- 大学 : 名古屋工大、弘前大

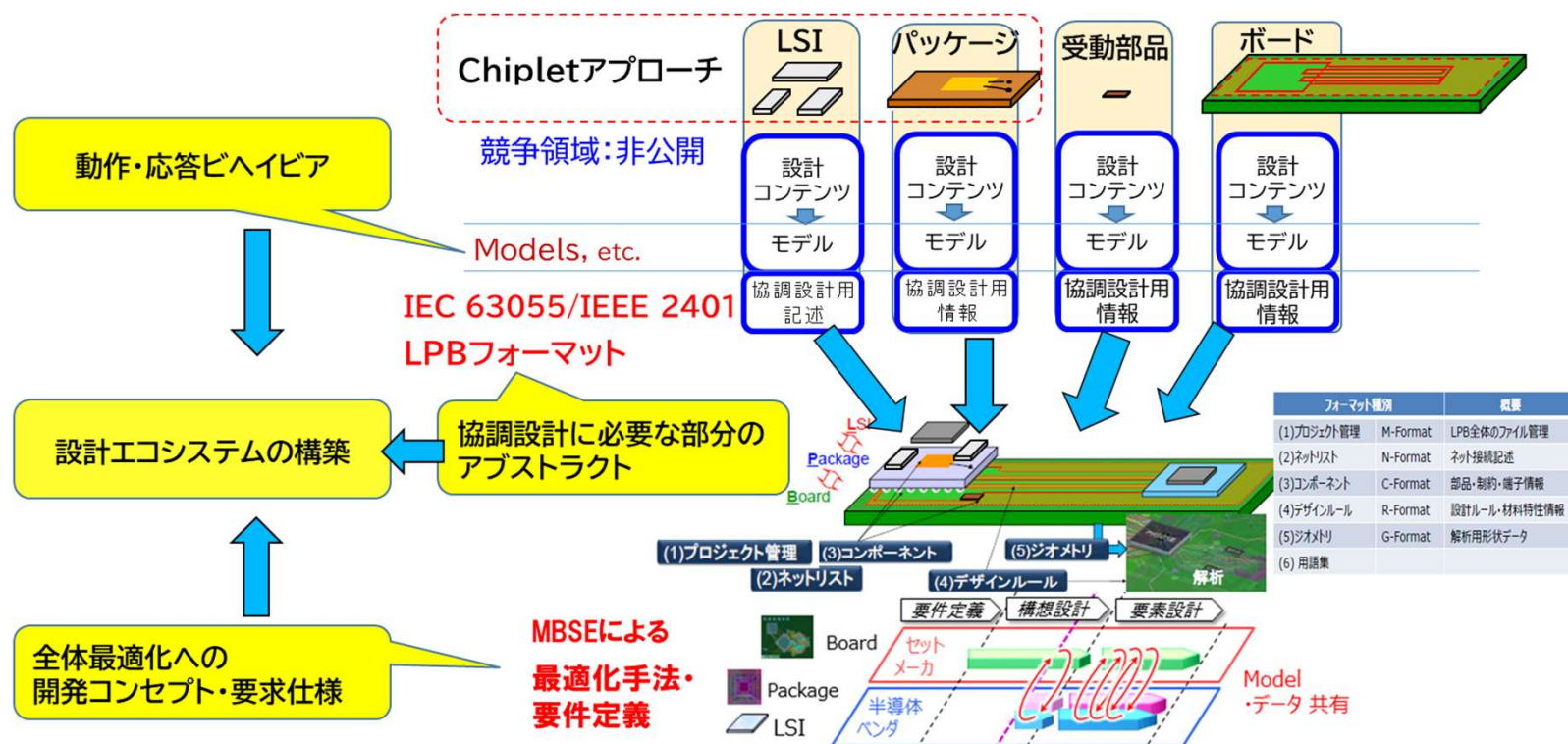
半導体・セット・装置・EDA等メンバーを構成、開発に関わる製品
企画から製造・評価・量産までの広範囲にカバーしたい

Outline

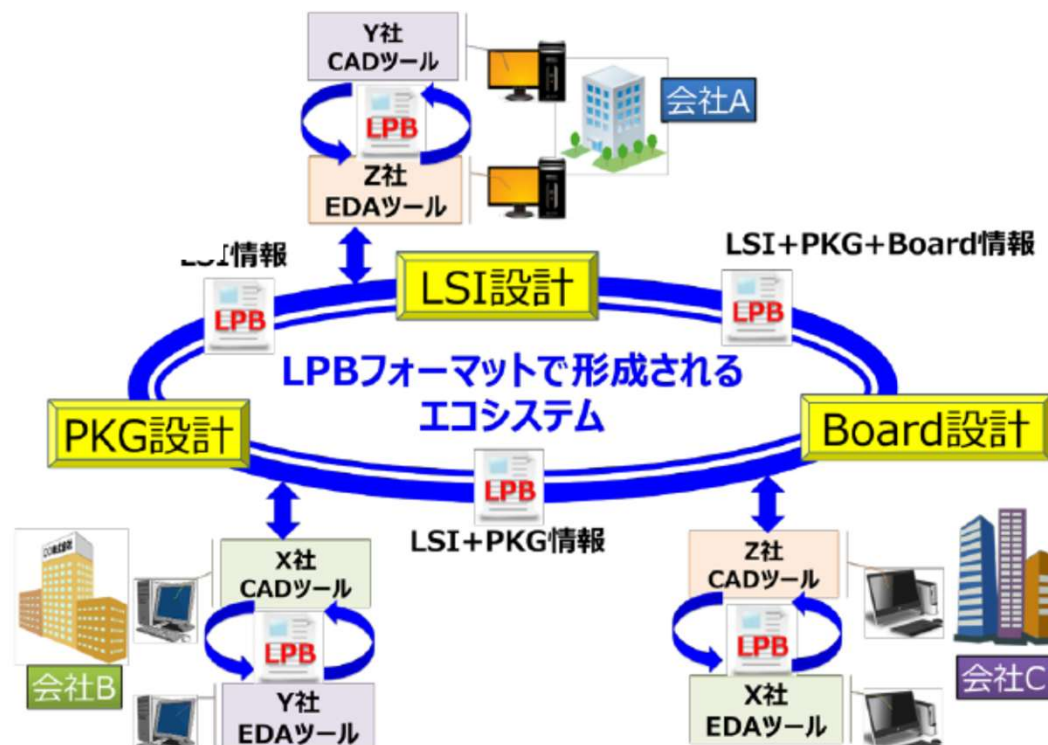
- システムフロントローディングWGの狙い
- Power Integrity Frontloading

JEITA 半導体 & システム開発Sub-Committeeの理念

- ✓新しい製品を生み出だす土壌となる
- ✓LPB協調設計環境を創る
- ✓開発エコシステムを構成する



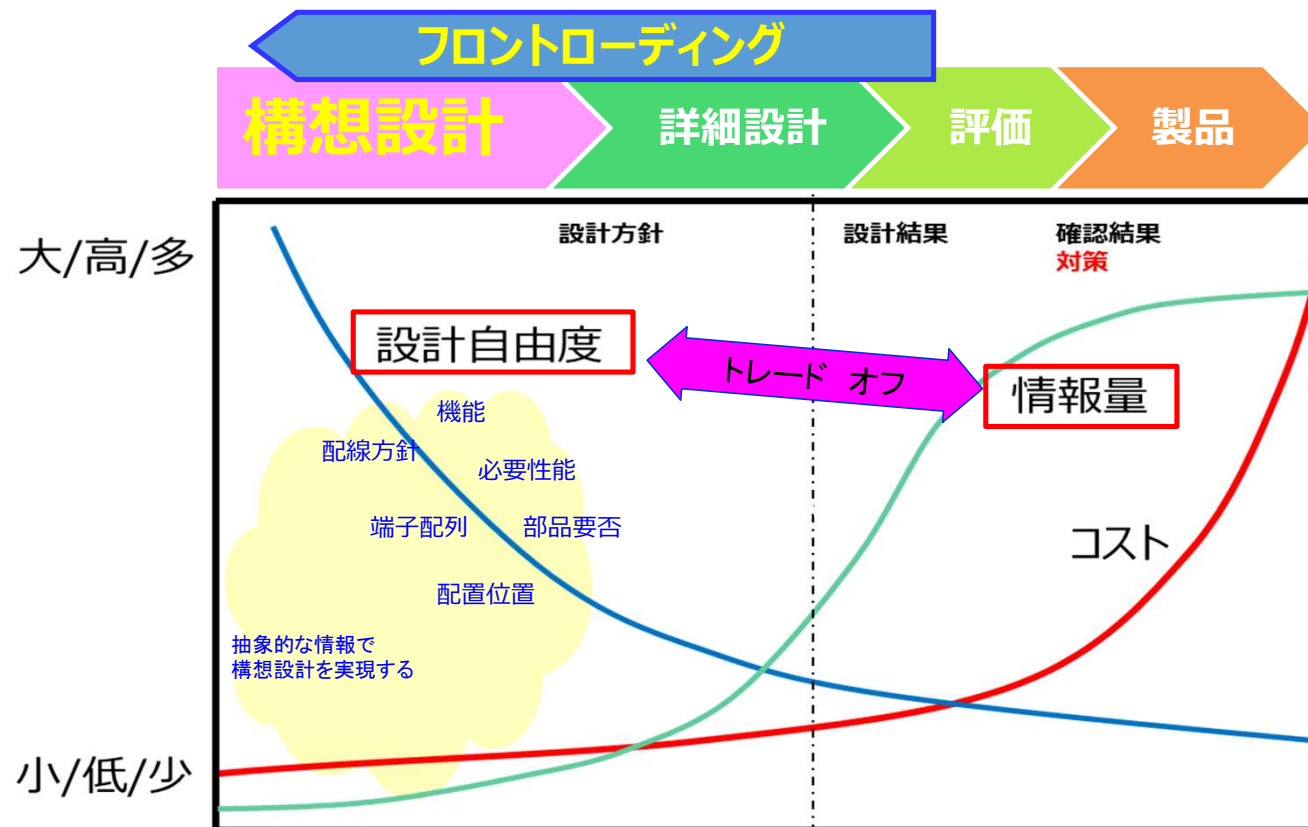
エコシステムの中で円滑に設計を実現する共通言語



共通フォーマットを用いることで、CAD/EDA間のモデル連携効率化
設計やシミュレーション検証を円滑化し、QCD最適化を実現する

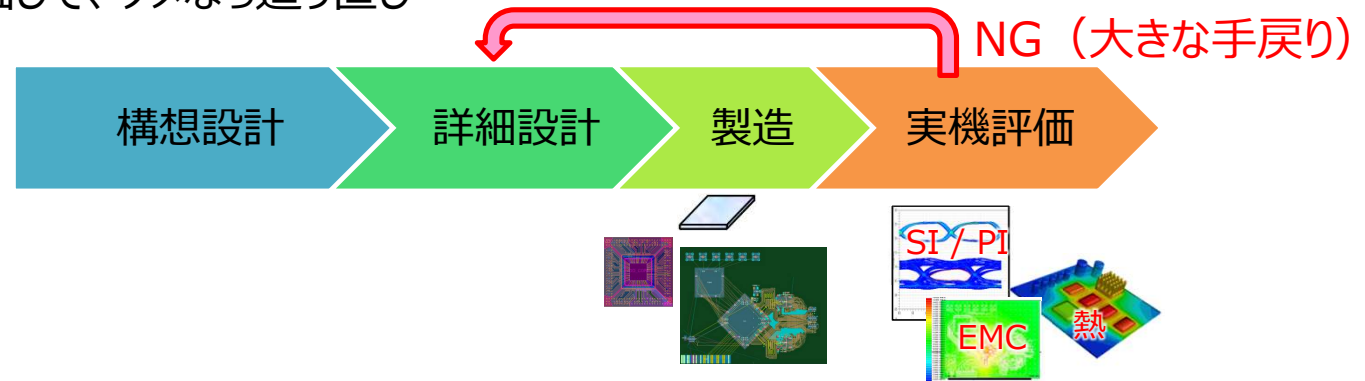
フロントローディング設計

QCDを最大化するために設計自由度が高い開発の上流で（構想設計）段階で最適化

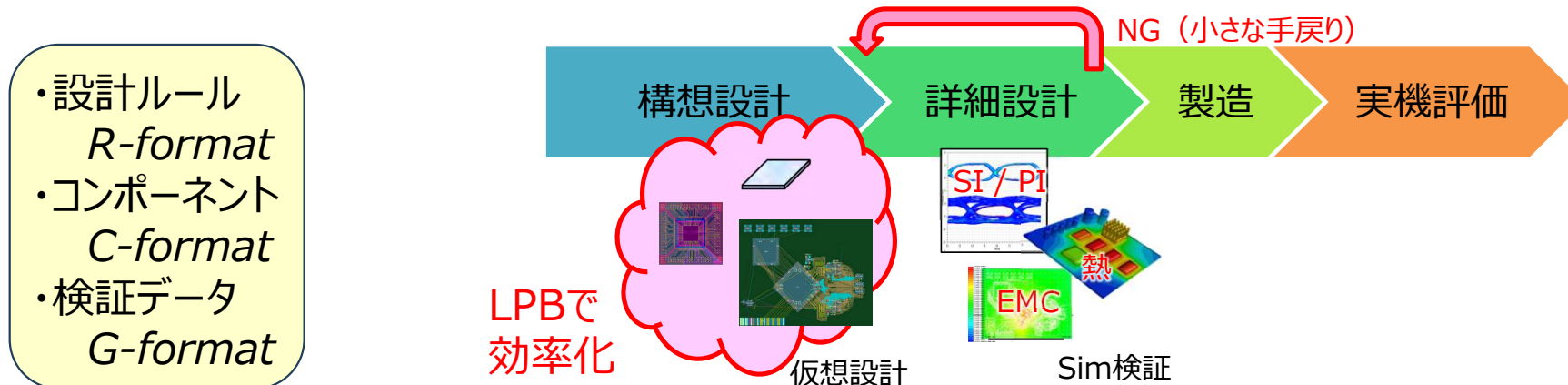


LPB formatを使ったフロントローディング

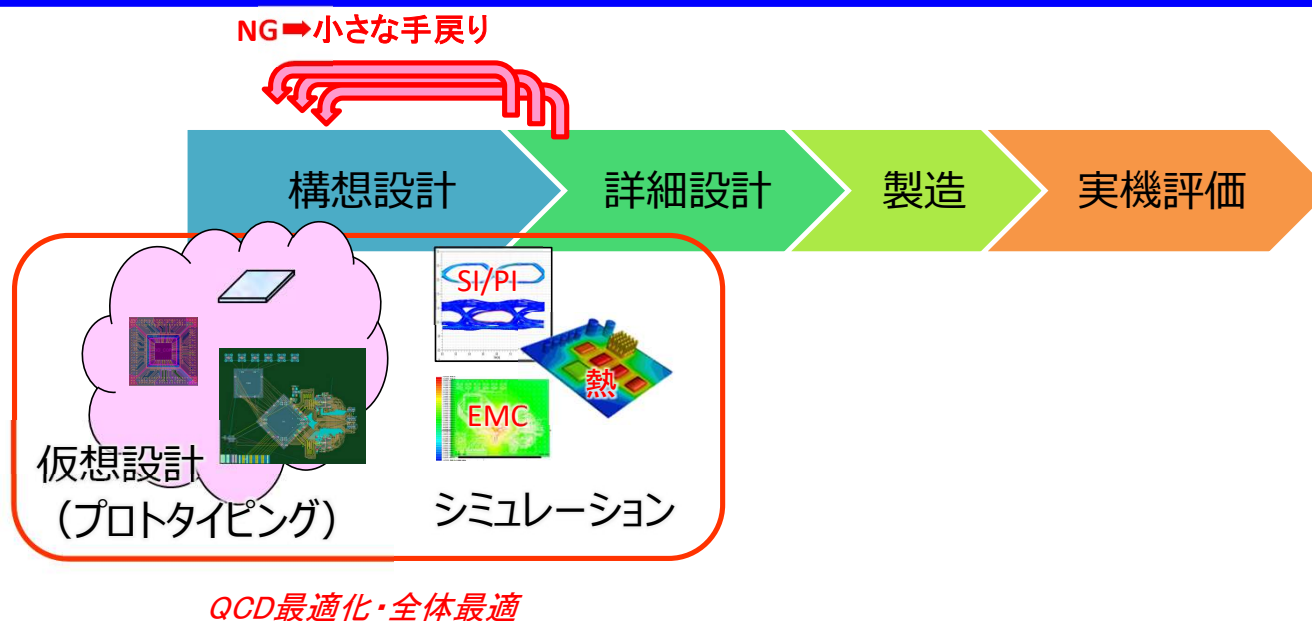
【太古の昔】 造って、評価して、ダメなら作り直し



【LPB】構想設計段階で仮想設計（プロトタイピング）を素早く行い Simで検証



フロントローディングの課題



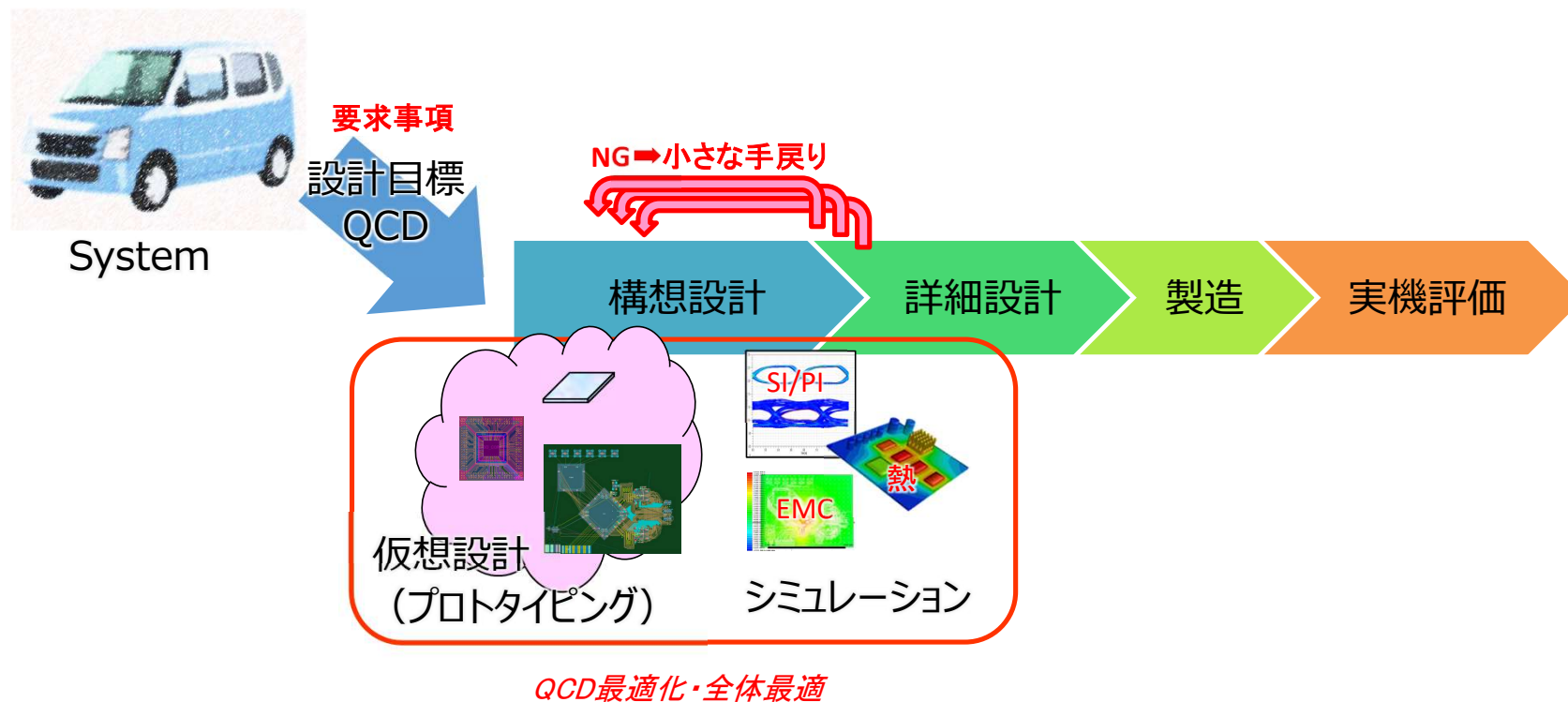
課題 1 : 仮想設計に時間がかかる、Sim技術が足りない
(本日の講演 EMC用のSim_modelがない)

課題 2 : ゴール (最適化された状態) に到達できない

課題 3 : 構想段階での情報収集プロセス、分担が明らかでない

← 今日の話はここ

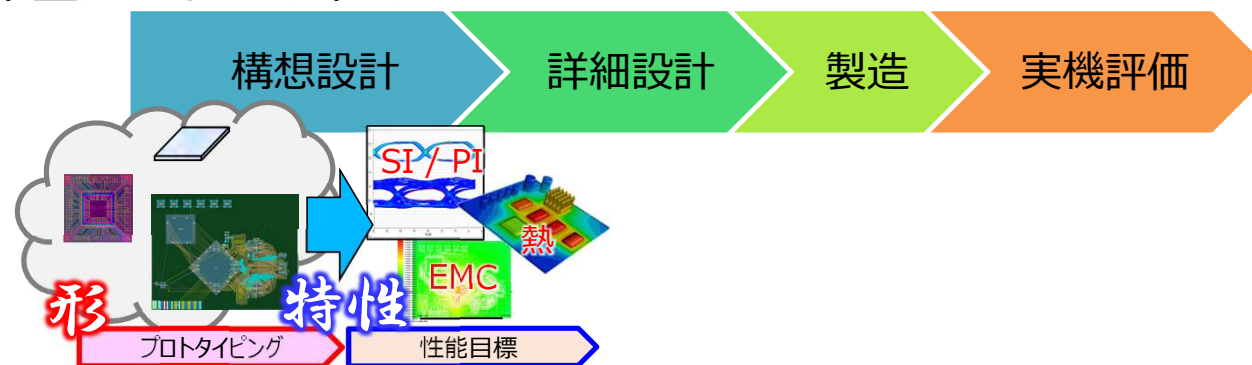
課題 2 : 目標設定の見直し



構想設計段階では L、P、B のトータルでのQCD最適化を行っている が、
構想設計段階では、要求事項（設計目標）も曖昧で、**要求事項－LPB間の最適化**の側面がある
→**システム設計側との双方向の会話**が必要

課題 2 : AI時代のフロントローディング

●従来型フロントローディング



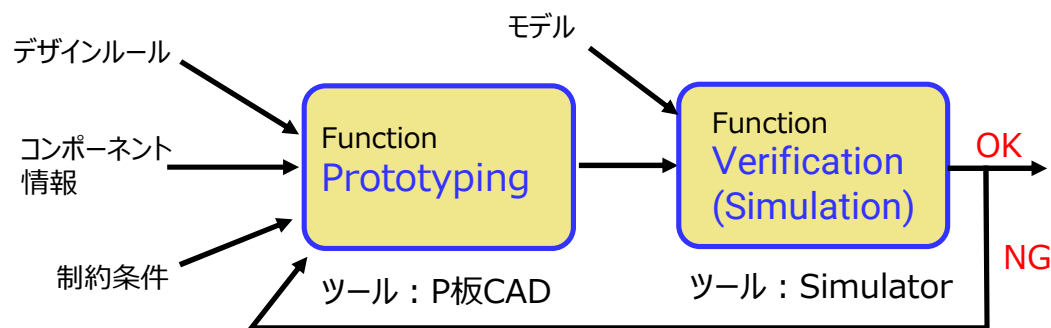
●AI時代のフロントローディング



「形」 → 「特性」 から 「特性」 → 「形」 のアプローチが進む

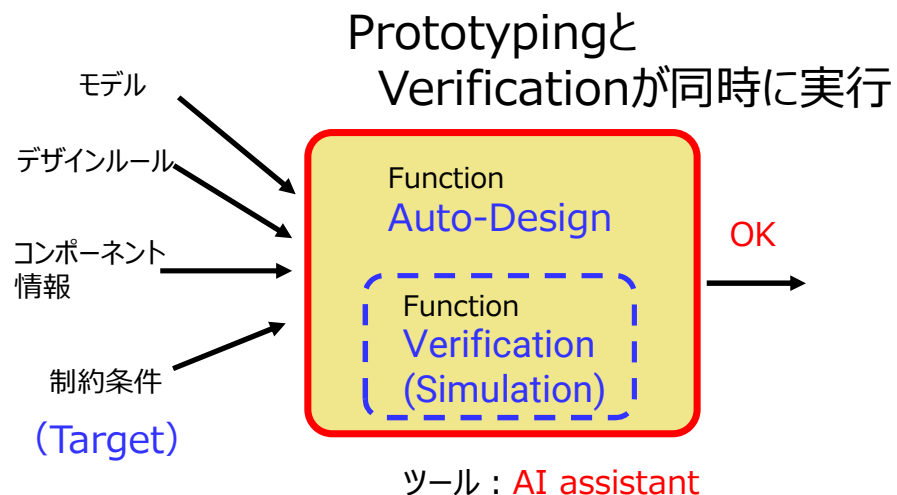
AIによる構想設計

●従来型フロントローディング



形 をつくってみて **特性** 導出

●AI時代のフロントローディング

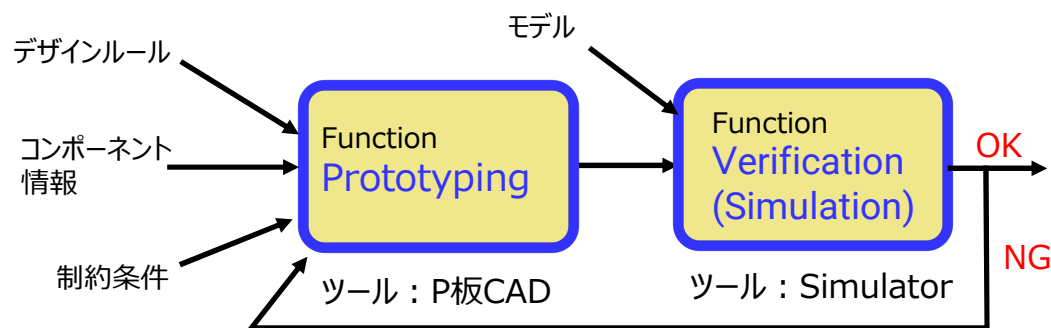


達成したい **特性** を実現する **形** でてくる

AI技術の進化によって、従来の設計の進め方が変わってくる可能性がある

どんな世の中になっているとよいのか

●従来型フロントローディング

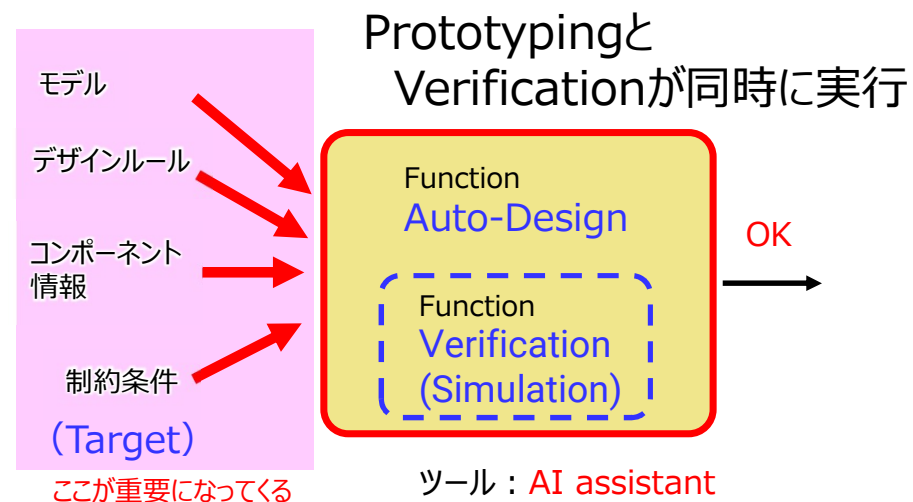


「Prototyping」や「Simulation」など
各Functionを効率化が課題



情報がFunctionの中でつながるように
データフォーマットを標準化 (LPB format)

●AI時代のフロントローディング



各Functionに必要な入力情報の
確度やその効率的な収集が課題

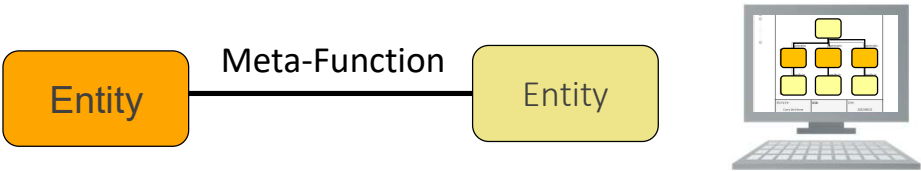


情報の流れ（フロー）をコントロールできていることが重要
（「どんな情報」が「誰から」、「どんなタイミング」で）

情報の流れ（フロー）の構築手法を提案しよう

フローの構築方法

● MBSE的手法（Sys-ML）によってフローを構築



“Entity” : 一般的に「もの」、「存在」と訳される
各種 分析図で、『箱』の中に記載されるもの

“Meta-Function” : 各種 分析図で『箱』を接続する、『線』の意味を表現
“Entity” 間の関係性を定義

● およそ世の中のフローは、“**箱**:Entity” と “**線**:Meta-Function”

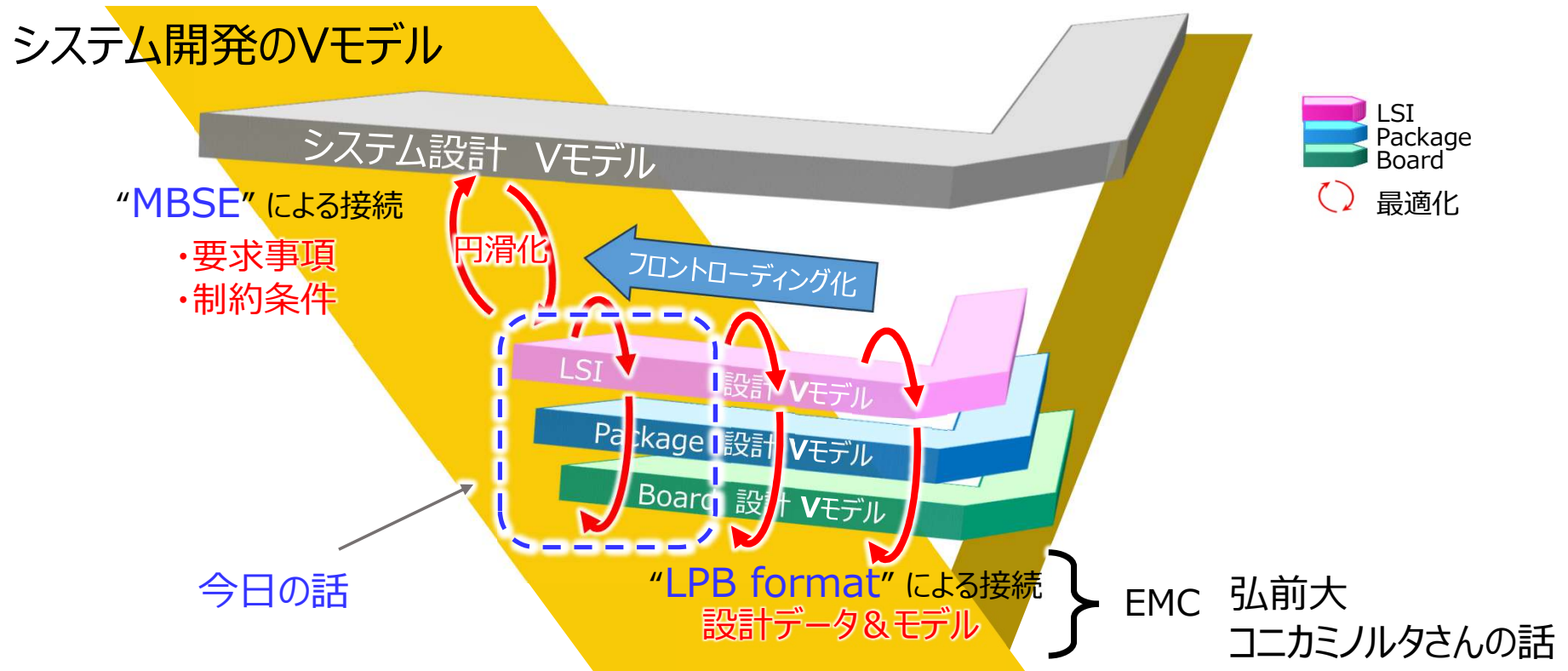
線と箱の意味を書かないので、
他人(組織)が作ったフローは理解不能だった

フローをモデル化し利活用につなげる

代表的 Entity	
Component	構成要素
Concern	心配、懸念
Constraint Definition	制約条件定義
Document	文書
Function	機能、職務
Item	アイテム
Link	繋がり
Requirement	要求事項
Risk	リスク
State	状態
Verification Requirement	検証必須条件

代表的 Meta-Function	
categorized by	..によって分類される
Causes	..を引き起こす
Establishes	..を設立する
Generates	..を生成する
grouped by	..によってグループ化される
impacted by	..によって影響を受けた
refined by	もっとfineにすると
result in	..という結果になる
Specifies	..を指定する
Uses	..を使って
verified by	..によって確認された

システム設計とLPB設計の関係

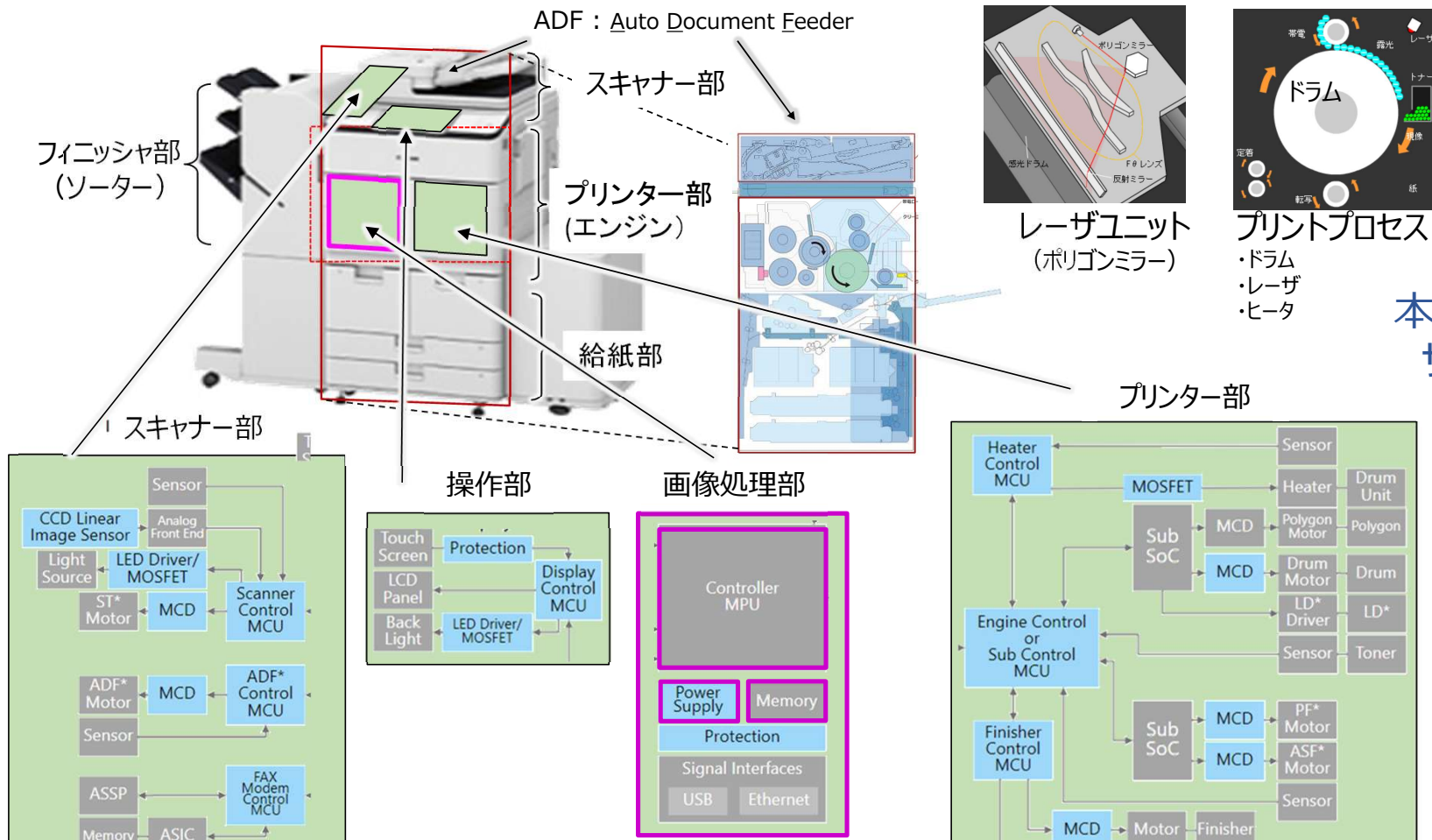


PI設計を題材に、構想設計時にフロントローディング設計フローや分析手法を提案

Power Integrity Frontloading

検討モチーフ

MFP全体 イメージ



本体画像 (Canon HPより)
回路ブロック (東芝 HPより)

本体サイズはおおむね紙の
サイズで決まる

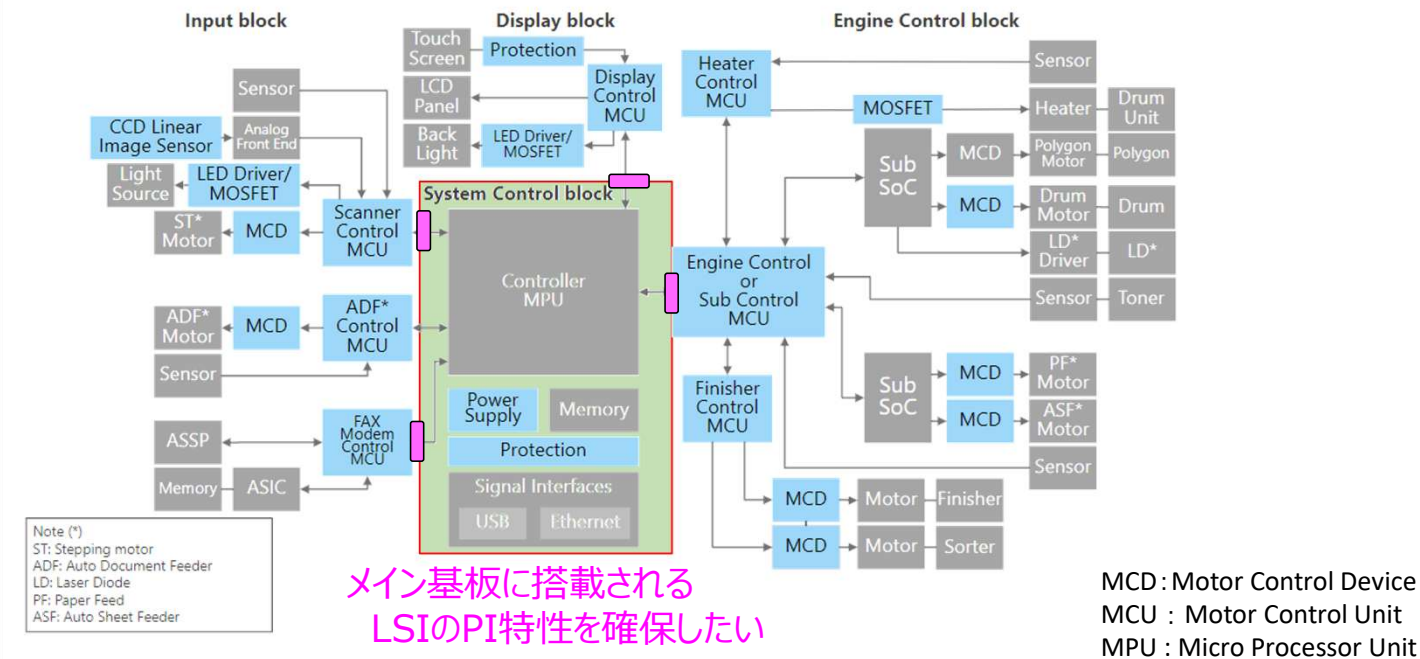
システム要件 (制約事項、要求仕様) との関連を具体的に議論できるようにMFPを題材とした

MFP全体ブロック図

出典：東芝HP

マルチファンクションプリンター

全体ブロック図の中で詳細を確認したいエリアをクリックしてください。当社の提案するサブブロック図へのリンクを表示します。



<https://toshiba.semicon-storage.com/jp/semiconductor/application/industrial/commercial-equipment/detail.multi-function-printer.html>

基板サイズやIO種などPIにかかわる仕様が、システム要件から導出される

画像処理LSIの電源Information（6電圧、15種）

搭載したい回路

- ・□ジック（Core）
- ・DDR
- ・USB
- ・LVDS
- ・IO（LVCMOS）
- ・SSCG
- ・PLL

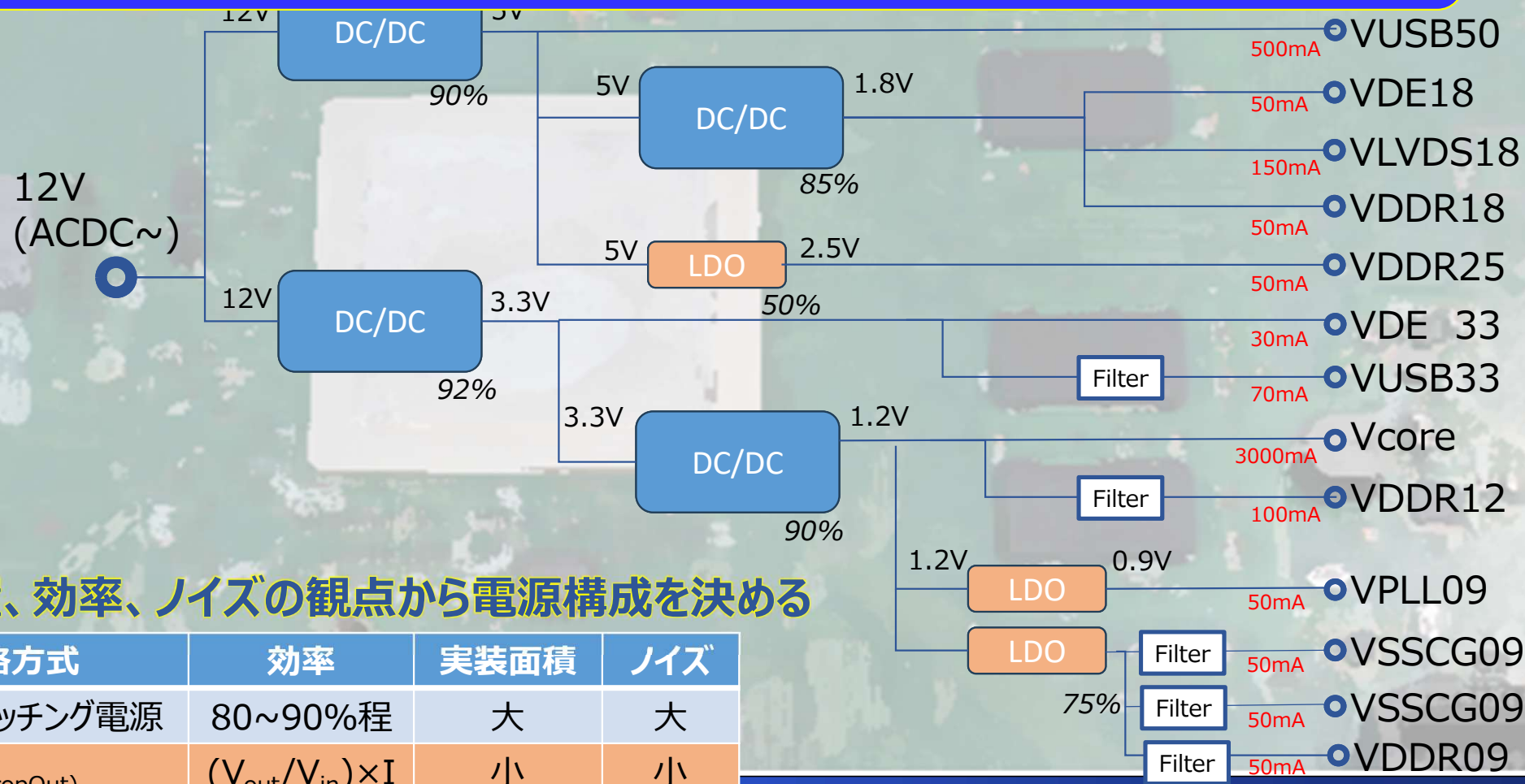
セットメーカーが決める

電圧	電源種	電流	Imp_Target	変動許容値
5V	VUSB50	500mA		±5%
3.3V	VDE33	30mA		±5%
	VUSB33	70mA		±5%
2.5V	VDDR25	50mA		±5%
1.8V	VDE18	50mA		±5%
	VLVDS18	150mA		±5%
	VUSB18	150mA		±5%
	VDDR18	50mA		±5%
1.2V	Vcore	3000mA		±5%
	VDDR12	100mA		±5%
0.9V	VDD09	200mA		±5%
	VPLL	50mA		±5%
	VLVDS09	50mA		±5%
	VDDR09	50mA		±5%

搭載するIO種が決まると、必要な電圧種、消費電力(電流)、許容電圧変動値が決まる

電源構成図

近年、LSIへ供給する電源種が多く、どのように基板上で電源を作るのか重要な課題になっている



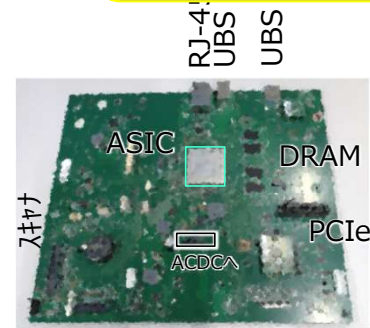
面積・配置、効率、ノイズの観点から電源構成を決める

回路方式	効率	実装面積	ノイズ
DCDCスイッチング電源	80~90%程	大	大
LDO (LowDropOut)	$(V_{out}/V_{in}) \times I$	小	小

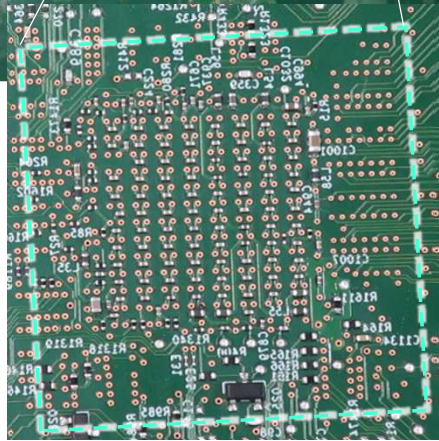
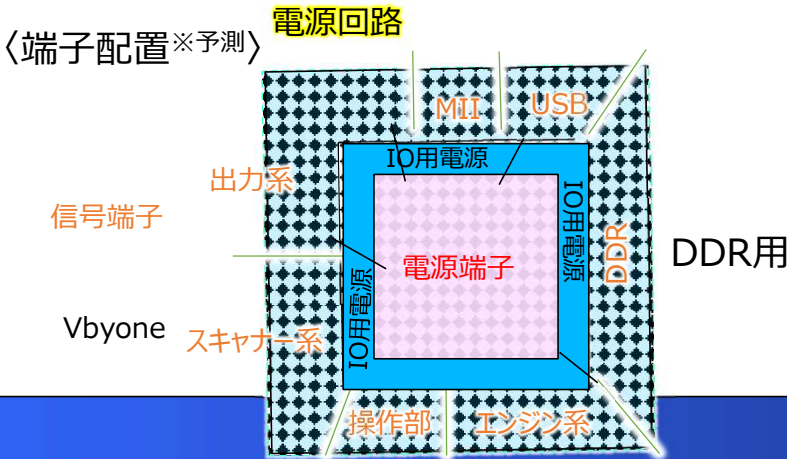
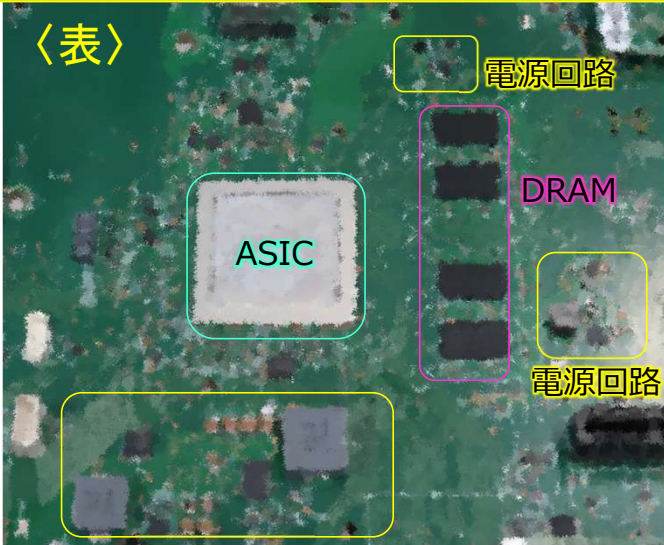


とあるMFPコントローラ基板

中心部『電源配線の低インピーダンス化』／ 周辺部『電源回路の配置』が設計課題



200×200mmぐらい



Power Integrity 設計の課題

設計課題	Q	C	D
1 SoC/Package/PCB仕様 中心・形	製品性能最適化 製品完成度 材料・部品認定	早期コスト見積もり 材料コスト最適化 SoCテクノロジー選定	イタレーション削減 材料手配 ベンダ選定
2 SoC/Interposer/PCB 特性に関するバリエーティング 中心・特性	製品品質 EMC特性	SOC搭載C最適化（ダイサイズ） チップCap数最適化 Interposer/PCB材料、銅厚最適化	イタレーション削減 材料手配
3 電源供給方法 & 配線方法 周辺	SoC端子配置最適化 EMC特性（電流密度） 材料・部品認定	PCB層数削減 搭載部品最適化	PCB設計期間短縮 PCB材料手配 SoC端子配置作業期間

✓相互に相関がある複数の課題をどんな手順で解決するか

委員メンバーで 各課題を解決する手順を抽出しました

ループが小さくなるには、どちらから決めたらよいか



設計課題1 各電源設計から材料・構成ターゲット

形 を決めると ⇒ 特性 が決まる

項目	仕様値	PI特製良くなる仕様	制約事項
基板サイズ	200×200mm	面積大 → 部品配置多	製品サイズ制約、基板ソリ
基板総厚	1.2mm	薄 → Via短 → 低インダクタンス	基板サイズ、基板ソリ、Viaドリル径
基板テクノロジー	8層、貫通Via	多層 → 配線太 → 低インダクタンス	BGA引き出し、電流密度制約
基板銅箔厚	18μm（表層メッキ25μm）	厚銅 → 低抵抗 & 低インダクタンス	Viaドリル径、IRdrop
Viaドリル径	Φ0.125mm	太 → 低インダクタンス / 細 → Via数増	基板総厚、銅箔厚、BGA引き出し
Viaアニュラリング	Φ0.275mm	小 → Via数増	基板歩留まり（ドリル精度）
配線最小L/S	0.08mm/0.1mm	S小 → 配線太 & V/G結合増	BGA引き出し、基板歩留まり
BGA ランドサイズ	Φ0.3mm	Φ小 → Via数増	BGA実装信頼性、BGA引き出し
最小コンデンサ サイズ	0603	小 → ESL,ESR小	部品供給・トレンド、工場実装機制約
DCDC	POL配置、電流・電圧仕様		パッケージサイズ、引き出し領域

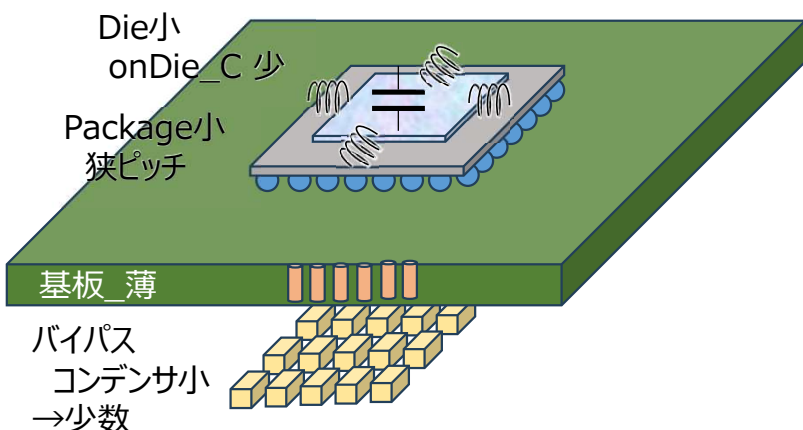
設計課題2 特性バジェットing

トータルバジェットを満たすように、各部位 特性目標値を割り付ける 部分的個別設計に持ち込むための手法

特性 を決めると $\Rightarrow$ **形** が決まる

$$Z_{\text{target}} > Z(C)_{\text{LSI}} + Z(L)_{\text{Package}} + Z(L)_{\text{Board}}$$

小型形態



C_{LSI}

小 > 大

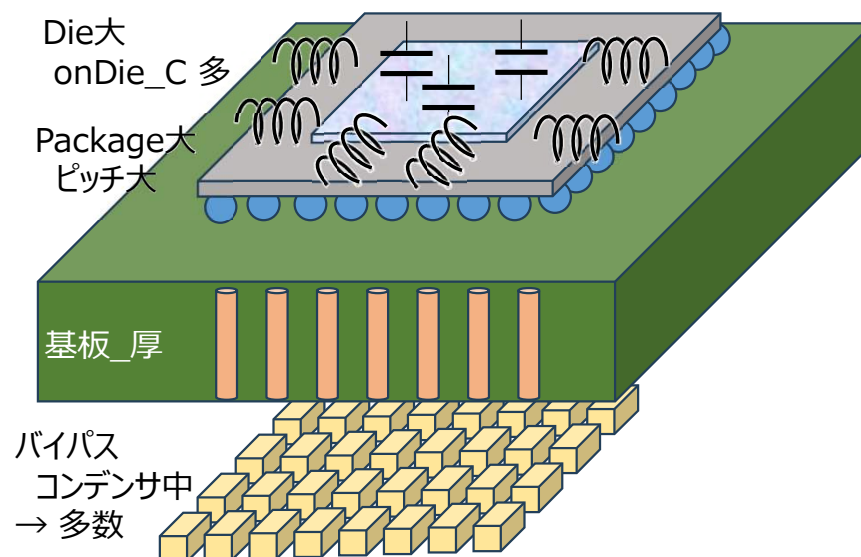
L_{Package}

小 < 大

L_{Board}

中 $\approx$ 中

大型（低コスト）形態



設計課題3：電源供給方法 & 配線方法

•どのようにLSIへ電源を供給するか

周辺

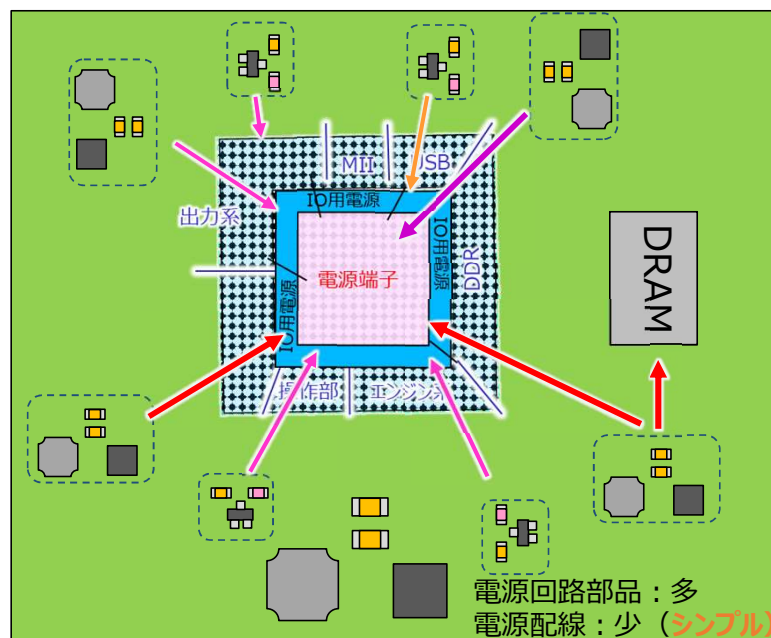


どんなPackageのLSIへ供給するのか

中心

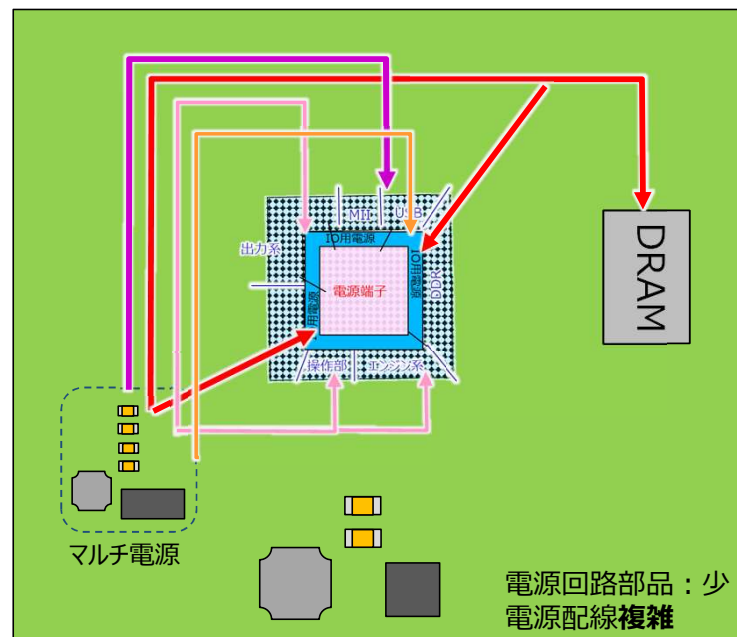
【構想案1】POL、低コスト部品（0.8mmBGA、0603）

基板面積：大 / 基板層数：少



【構想案2】集中給電、小型部品（0.65mmBGA、0402）

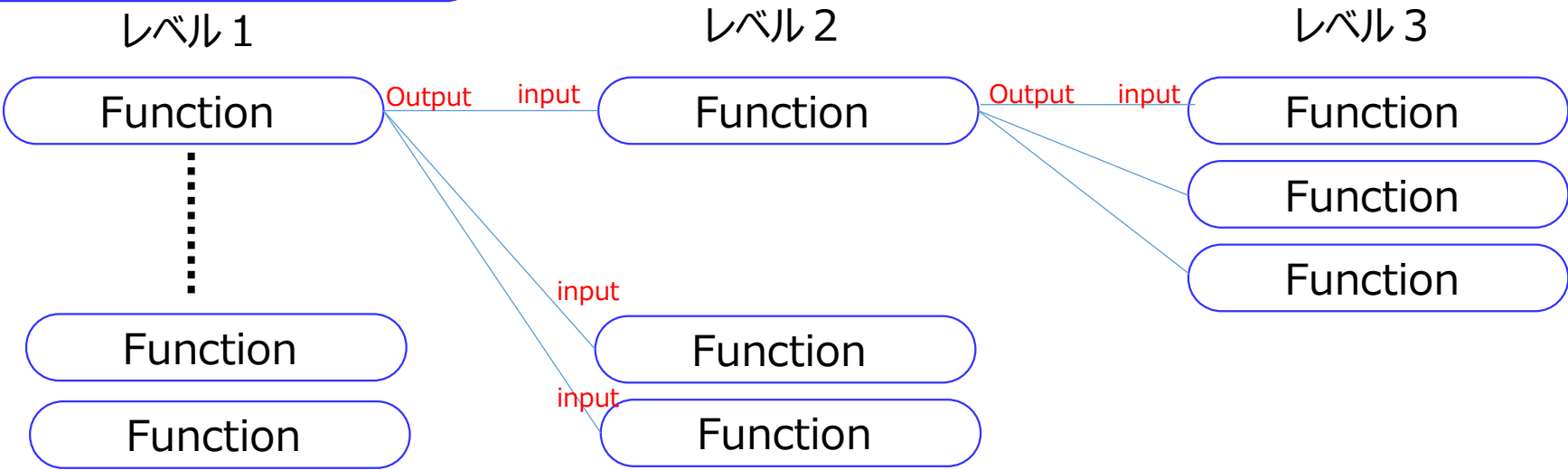
基板面積：小 / 基板層数：多



フロー作成

● JEITAメンバーと分担して作成

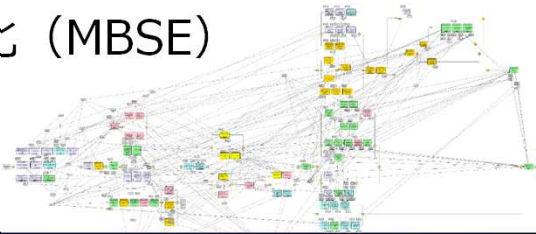
設計課題：SoC/Package/PCB仕様



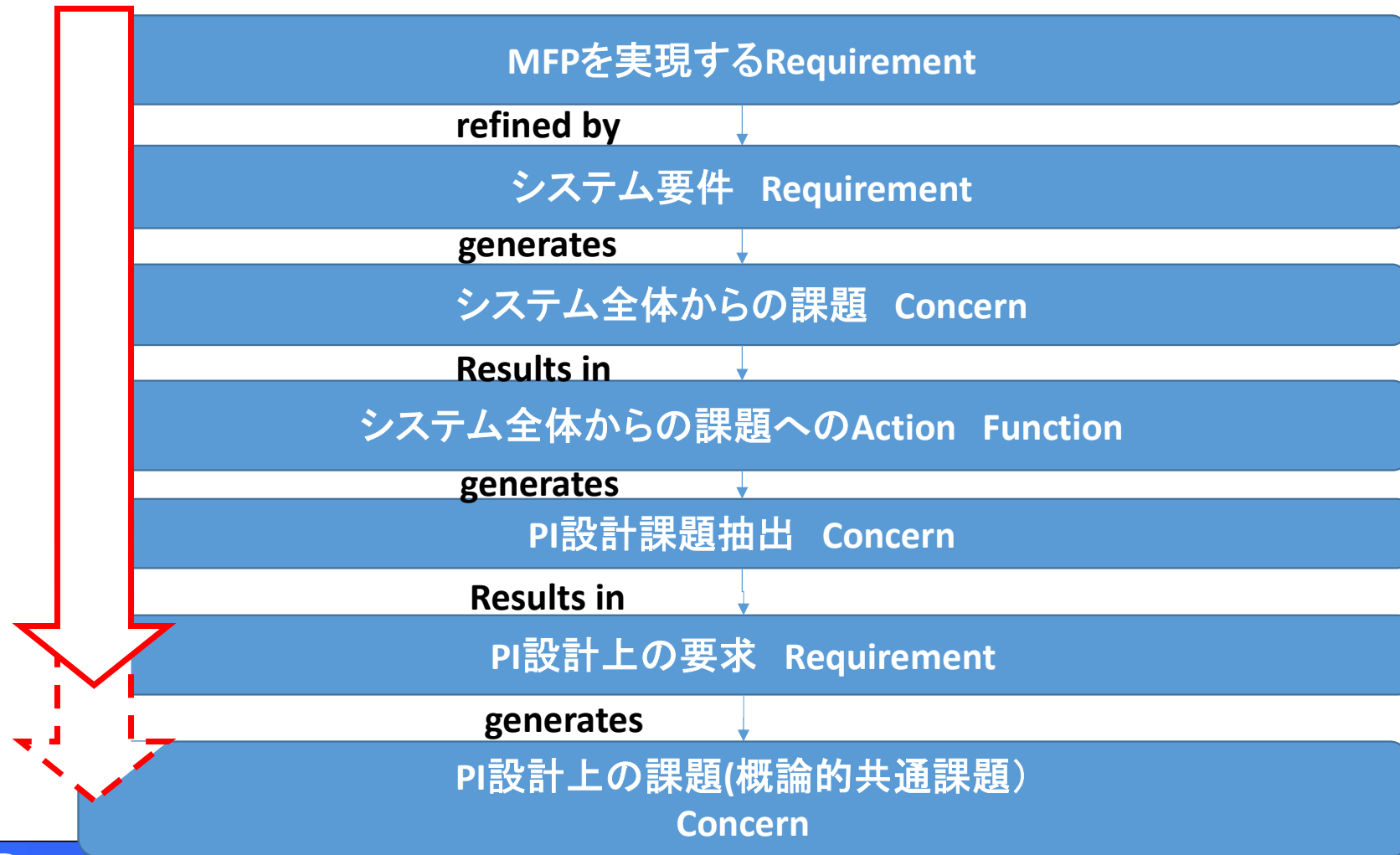
Function、Input・Outputの抽出

Level3	Input Information	Output Information
DDR12に流れる電流を設定	・動作モード？	・電流量 (XXmA)
DDR-IPのオンチップ等価回路も把握する	・ ??? 聞かない ???	・ SPICE Netlist、Sパラモデル
LCのどの部分を変更してノイズ上限値を達成するか見極める	・ L,P,B 外形情報 (概略)	・ インピーダンス目標値 (L、R、バジェット)

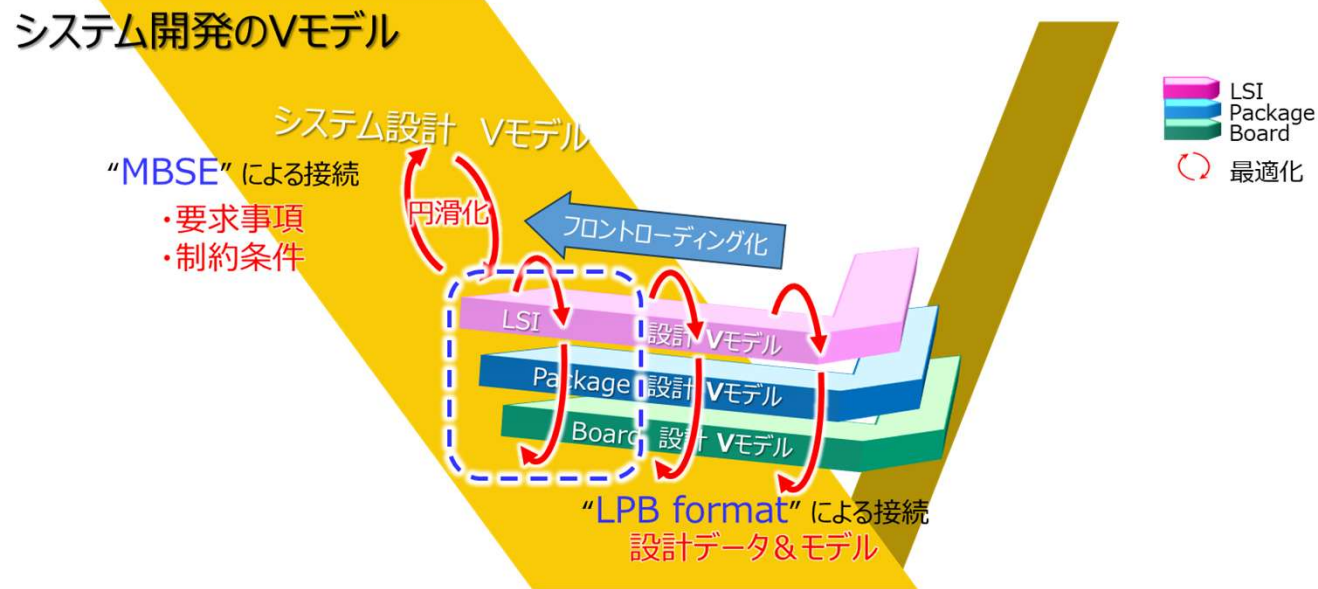
図表化 (MBSE)



フロー作成手順 あらまし



まとめ



『構想設計段階での情報収集プロセス、分担が明らかにする』ための手順を示しました

複雑なチップレットの設計を行うケースでは、より情報のコントロールが必要になり
事前に情報収集プロセス、分担を分析しておくことが重要になる

終わり