

JEITA LPB標準フォーマット

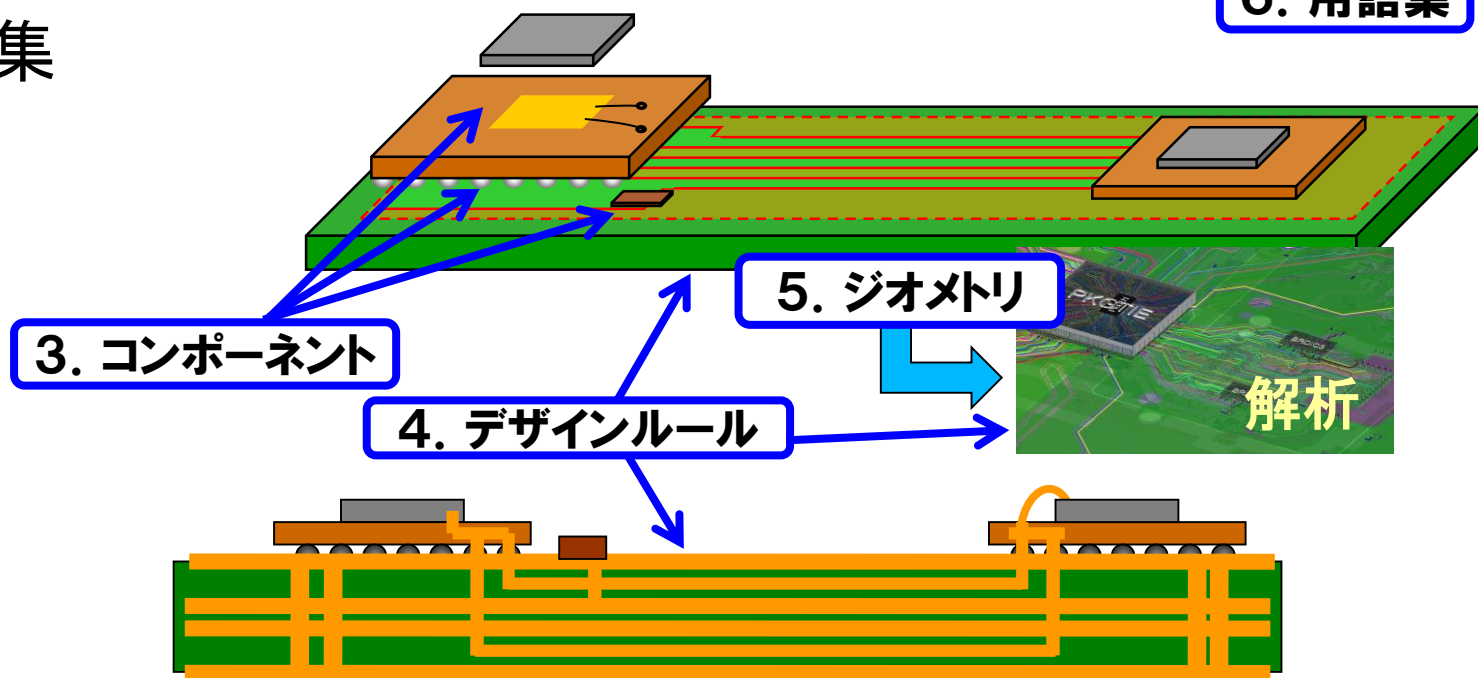
JEITA LPB標準フォーマットとして5つのファイルと用語集

1. プロジェクト管理 (M-Format)
2. ネットリスト (N-Format)
3. コンポーネント (C-Format)
4. デザインルール (R-Format)
5. ジオメトリ (G-Format)
6. 用語集

1. プロジェクト管理

2. ネットリスト

6. 用語集



JEITA LPB標準フォーマット概要

フォーマット名	概要	フォーマットの書式
プロジェクト管理 (M-Format)	・各フォーマットの対応付け ・更新状況の把握 ・関連ファイルとの対応付け	XML(独自) 流通している既存フォーマットを調査した 結果、独自とした
ネットリスト (N-Format)	・接続状況を明確にする ・信号、電源GNDを表現する	Verilog-HDL(既存) 電源GND端子を追加
コンポーネント (C-Format)	・端子情報の定義 ・制約事項の定義 ・設計状況の提示	XML(独自) 流通している既存フォーマットを調査した 結果、独自とした
デザインルール (R-Format)	・テクノロジーの定義 ・製造製ルールの定義 ・解析条件セットアップ	XML(独自) 流通している既存フォーマットを調査した 結果、独自とした
ジオメトリ (G-Format)	・設計結果を解析に渡す 物理情報	アパッチ:XFL Ver1.0(既存) 現時点で公開を認められたフォーマット アパッチ殿からドネーション頂いています。

1. プロジェクト管理ファイル

<目的>

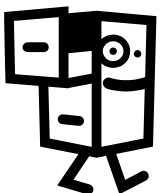
- ・本プロジェクトで使用している各フォーマットファイルの対応付け
- ・各フォーマットファイルの更新状況の把握
- ・参照ファイル(IBISモデル等)との関連付け

<使用メリット>

- ・LSIとPKG等のように階層間で統一された各フォーマットファイルをや取りする場合に、更新履歴の把握ができる。
- ・階層内で設計を進める場合でも、制約内容等の変更履歴を把握できる。

<フォーマット>

- ・XMLベース
- ・独自フォーマット



プロジェクト管理ファイルのサンプル

```
<?xml version="1.0" encoding="Shift_JIS"?>
```

```
<JEITA_LPB_PROJECT version="2.0">
```

```
  <header
```

```
    project="JEITA_LPB_2011"  
    design_revision="0.1"  
    date="20120108"
```

```
  />
```

```
  <CFORMAT
```

```
    file_name="ChipA_PKG_set2_HR_V2.05_Rev.0.1.xml"  
    design_revision="0.1"
```

```
  />
```

```
  <RFORMAT
```

```
    file_name="ChipA_PKG_set2_DC_V2.05_Rev.0.1.xml"  
    design_revision="0.1"
```

```
  />
```

```
  <NFORMAT
```

```
    file_name="ChipA_PKG_set2.v"
```

```
  />
```

```
  <OtherFile
```

```
    file_name="ChipA.ibs "
```

```
  />
```

```
</JEITA_LPB_PROJECT>
```

Header

プロジェクト名の定義、
プロジェクト管理ファイルのリビジョン管理、
プロジェクト管理ファイルの作成日管理

CFORMAT

コンポーネントファイル名の定義、
コンポーネントファイルのリビジョン管理

RFORMAT

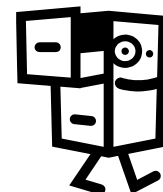
デザインルールファイル名の定義、
デザインルールファイルのリビジョン管理

NFORMAT

ネットリストファイル名の定義

OtherFile

IBISファイル等の関連ファイル名の定義



2. ネットリスト(N-Format)

<目的>

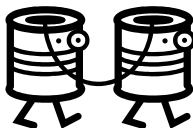
- ・階層内の接続関係を明確にする
- ・LPB全体の接続検証を可能とする
- ・信号だけでなく、電源GND端子の接続関係も明確にする

<使用メリット>

- ・LSI、PKG、PWBの各階層で別々の設計データを持っていると各端子の接続が明確にならないが、ネットリストにて階層間の端子接続関係を明確に定義する。これにより、階層間をまたぐネットに対して、解析ツールで個別に設定していた手間を省く。

<フォーマット>

- ・Verilog-HDLを基本フォーマットとする
- ・電源端子の書式を追加



ネットリストのサンプル

/* DIE */

```
module
DIE(SU,SD,DBUS,DQ,DN,VDDC,VSSC,VDDQ,VSSQ);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC; /* PG_NET VDDC */
inout VSSC; /* PG_NET VSS */
inout VDDQ; /* PG_NET VDDQ */
inout VSSQ; /* PG_NET VSS */
endmodule
```

/* パッケージ */

```
module
PKG(SU,DBUS,DQ,DN,VDDC1,VDDC2,VDDQ1,VDDQ2,VSS1,VSS2);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC1; /* PG_NET VDDC */
inout VDDC2; /* PG_NET VDDC */
inout VDDQ1; /* PG_NET VDDQ */
inout VDDQ2; /* PG_NET VDDQ */
inout VSS1; /* PG_NET VSS */
inout VSS2; /* PG_NET VSS */

wire VSS;
wire VDDC;
wire VDDQ;

assign VDDC1 = VDDC;
assign VDDC2 = VDDC;
assign VDDQ1 = VDDQ;
assign VDDQ2 = VDDQ;
assign VSS1 = VSS;
assign VSS2 = VSS;

DIE X1
(.SU(SU), .SD(VSS), .DBUS(DBUS), .DQ(DQ), .DN(DN),
.VDDC(VDDC), .VSSC(VSS), .VDDQ(VDDQ),
.VSSQ(VSS));
endmodule
```

/* ボード (最上位階層) */

```
module PWB(iVDDC,iVDDQ,iVSS);
inout iVDDC; /* PG_NET VDDC */
inout iVDDQ; /* PG_NET VDDQ */
inout iVSS; /* PG_NET VSS */
```

```
wire [3:0] DBUS;
wire [3:0] IBUS;
wire SU;
wire DQ;
wire DN;
```

```
CF1DM C1 (.A(iVDDQ), .B(iVSS));
CF1DM C2 (.A(iVDDQ), .B(iVSS));
CF1DM C3 (.A(iVDDC), .B(iVSS));
CF1DM C4 (.A(iVDDC), .B(iVSS));
```

```
RF1DM Rp (.A(iVDDC), .B(SU));
RF1DM R0 (.A(DBUS[0]), B(IBUS[0]));
RF1DM R1 (.A(DBUS[1]), B(IBUS[1]));
RF1DM R2 (.A(DBUS[2]), B(IBUS[2]));
RF1DM R3 (.A(DBUS[3]), B(IBUS[3]));
```

```
PKG X1 (.SU(SU), .DBUS(DBUS), .DQ(DQ), .DN(DN),
.VDDC1(iVDDC), .VDDC2(iVDDC),
.VDDQ1(iVDDQ), .VDDQ2(iVDDQ),
.VSS1(iVSS), .VSS2(iVSS));
```

```
BBOX X2
(.IBUS(IBUS), .DQ(DQ), .DN(DN), .VDD(iVDDC), .VSS(iVSS));
endmodule
```

/* 受動部品:コンデンサ */

```
module CF1D(A,B);
inout A;
inout B;
endmodule
```

/* 受動部品:抵抗器 */

```
module RF1D(A,B);
inout A;
inout B;
endmodule
```

/* LSI (Black box) */

```
module
BBOX(IBUS,DQ,DN,VDD,VSS);
inout [3:0] IBUS;
input DQ;
input DN;
inout VDD; /* PG_NET VDDC */
inout VSS; /* PG_NET VSS */
endmodule
```



3. コンポーネント(C-Format)

<目的>

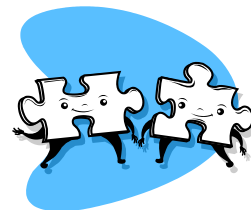
- ・LPBの階層間を接続する端子情報の定義
- ・制約事項(信号遅延の制約など)の定義
- ・設計状況(端子における信号遅延時間など)の提示

<使用メリット>

- ・統一されたフォーマットで階層間接続端子情報をやり取りできるので誤解や確認漏れなどの作業ミスの発生を避けることができる。
- ・設計状況を階層間で共有できるので、LPBのどの段階で調整を行うか事前検討を行うことが可能となる。

<フォーマット>

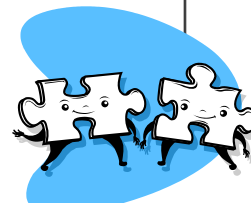
- ・XMLベース
- ・独自フォーマット



•
•
•

説明

•



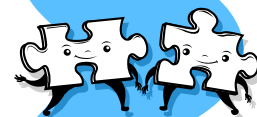
コンポーネントファイルのサンプル

XMLベースの予約語

unit type

説明

<module			モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション(<socket>)と、機能ブロックの仕様を定義する仕様セクション(<specification>)と、上位階層と下位階層の接続手続きを定義する参照セクション(<reference>)で構成される。
name="機能ブロック名" type="機能ブロック属性"			
<module			
shape x="x座標" angle="回転角度" thickness="厚み" >			モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション(<socket>)と、機能ブロックの仕様を定義する仕様セクション(<specification>)と、上位階層と下位階層の接続手続きを定義する参照セクション(<reference>)で構成される。
name="機能ブロック名"			上位階層は、ここで定義した機能ブロック名で、この機能ブロックを参照する。
type="機能ブロック属性"			機能ブロックの属性。LSI,PKG,PWBのキーワードで属性を区別する
<socket			
shape_id="参照shape識別番号"			機能ブロックの外郭形状。参照shapeの原点と機能ブロックの原点を一致させる。
x="x座標" y="y座標"			機能ブロックのshapeの配置座標を指定する。shapeの原点を、ここで指定した座標に配置する。省略時は(0, 0)に配置する。
angle="回転角度"			回転角度。機能ブロックの原点を中心とした反時計回りでの回転角度。
thickness="厚み"			機能ブロックの厚み。
>			
id="端子番号"	N/A	string	端子番号。<socket>内の個々の端子番号はユニークであること。一般的にはJEDECのネーミングルールに従って番号を与える。
padstack_id="参照padstack識別番号"	N/A	string	端子形状。未定義の場合は、<default>で定義されているデフォルト形状が使用される。デフォルト形状も定義されていない場合は形状未定義(点)を意味する。端子形状は、端子番号と共に定義すること。単独では定義できない。



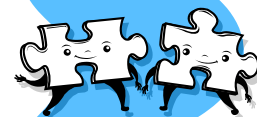
コンポーネントファイルのサンプル

XMLベースの予約語

unit type

説明

<pre><module</pre>			モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション(<socket>)と、機能ブロックの仕様を定義する仕様セクション(<specification>)と、上位階層と下位階層の接続手続を定義する参照セクション(<reference>)で構成される。
<pre> name="機能" type="機能"</pre>			機能ブロック名で、この機能ブロックを参照する。 キーワードで属性を区別する
<pre> <module> name="ChipA_PKG_set2" type="PKG" shape_id="PKG_FRAME" x="0" y="0" thickness="NA" <socket inst="ChipA_PKG_set2_PORTS"> <default> <port_shape padstack_id="BALL_PAD" /> </default> <port id="A1" x="-5500" y="-5500" /> <port id="A2" x="-5500" y="-5000" /> <port id="A3" x="-5500" y="-4500" /> <port id="A4" x="-5500" y="-4000" /> <port id="A5" x="-5500" y="-3500" /> <port id="A6" x="-5500" y="-3000" /> <port id="A7" x="-5500" y="-2500" /> <port id="A8" x="-5500" y="-2000" /> <port id="A9" x="-5500" y="-1500" /> <port id="A10" x="-5500" y="-1000" /> <port id="A11" x="-5500" y="-500" /> <port id="A12" x="-5500" y="0" /> <port id="A13" x="-5500" y="500" /> <port id="A14" x="-5500" y="1000" /> <port id="A15" x="-5500" y="1500" /> <port id="A16" x="-5500" y="2000" /> <port id="A17" x="-5500" y="2500" /> </socket> </module></pre>			機能ブロックの原点を一致させる。 原点となる。 反時計回りでの回転角度。
			ソケットは信号の入出力端子の集合である。 することもできる。個々のソケットは、其々に与えたインスタンス名でソケットを参照する。
			フォルト値を設定する
			は、<port>定義内の padstack_id を使用する
			を、ここで吸収する。 座標を持たない言語の端子に座標を与える。
			端子名)を定義すること。idとnameの両方を定義しても良 はユニークであること。 って番号を与える。
			にしているデフォルト形状が使用される 場合は形状未定義(点)を意味する。 すること。単独では定義できない。



4. デザインルール(R-Format)

<目的>

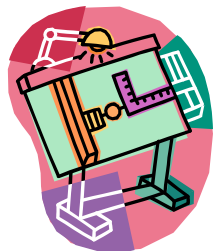
- ・LSI-PKG-PWB全体のテクノロジ(層構成、ライン/スペース等)の定義
- ・製造性のルールの定義
- ・解析セットアップ情報(物性値、詳細断面構造)の定義

<使用メリット>

- ・解析条件などをLPB間で事前検討を行うことが可能となる。
- ・デザインルールの条件緩和検討など、LPB間で制約事項の必要性和緩和によるメリットとのトレードオフを事前検討することが可能となる。

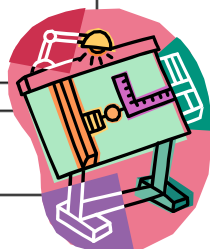
<フォーマット>

- ・XMLベース
- ・独自フォーマット



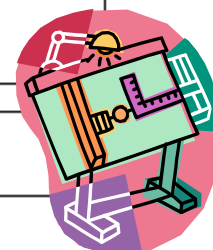
デザインルールのサンプル

XMLベースの予約語	unit	type	説明
<Physicaldesign name="デザインルール名">			Physicaldesign name セクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ビアピッチ(<pitch_def>)、ボンディングワイヤー(<bondingwire_def>)、ボール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。
<material_def>			材料定義 本デザインで使われる材料を定義する。
<conductor material ="材料名" volume_resistivity ="体積抵抗率" temperature ="抵抗値想定温度" />	N/A	string resis double temp double	導体 材料名: Copperなどの導体名 体積抵抗率。Volume_resistivity="1.68e-8" 抵抗値想定温度。temperature="20"
<insulator material ="材料名" permittivity ="誘電率" tan_delta ="誘電正接" frequency ="想定周波数" />	N/A N/A N/A frequ	string double double double	絶縁体 材料名: FR-4などの絶縁体名 誘電率。Permittivity="4.2" 誘電正接。Tan_delta="0.016" 想定周波数。frequency="1G"
</material_def>			
<layer_def>			レイヤ定義、レイヤは上層から下層に向かって定義する。 一番最初に定義された層はTOP、一番最後がBOTTOM
<layer name ="配線層名" type ="dielectric もしくは conductor" thickness ="厚み" plate_thickness="メッキ膜厚" conductor_material="導体材料" dielectric_material="絶縁材料" >	N/A N/A dist dist N/A N/A	string string double double string string	このTypeで絶縁層が導体層かを識別する conductorの場合は導体箔厚み。Dielectricの場合は層間厚 conductorの場合はメッキ膜厚。Dielectricの場合は定義しない 導体材料名 絶縁材料名
<line_width min ="最小配線幅" max ="最大配線幅" />	dist dist	double double	配線幅に関する制限 最大幅は定義しなくてもよい
<area_limit min ="最小面積" />	area	double	面積に関する制限、これ以下の面積のshapeは作れない



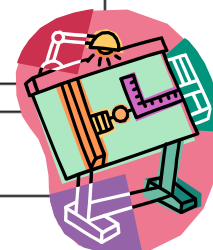
デザインルールのサンプル

XMLベースの予約語	unit	type	説明
<Physicaldesign name="デザインルール名">			Physicaldesign name セクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ビアピッチ(<pitch_def>)、ボンディングワイヤー(<bondingwire_def>)、ボール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。
<material_def>			
<Physicaldesign="デザインルール名">			Physicaldesign セクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ビアピッチ(<pitch_def>)、ボンディングワイヤー(<bondingwire_def>)、ボール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。
<default/>			<default> キーワードが定義されると、このルールはエリア全体に及ぶ
<material_def>			材料定義 本デザインで使われる材料を定義する。
<conductor material="材料名" volume_resistivity="体積抵抗率" temperature="抵抗値想定温度" </>			導体 材料名: COPPERなどの導体名
<line_width min="最小配線幅" max="最大配線幅" </>	distar	double	配線幅に関する制限 最大幅は定義しなくてもよい
<area_limit min="最小面積" </>	area	double	面積に関する制限、これ以下の面積のshapeは作れない



デザインルールのサンプル

XMLベースの予約語	unit	type	説明
<Physicaldesign name="デザインルール名">			Physicaldesign name セクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ビアピッチ(<pitch_def>)、ボンディングワイヤー(<bondingwire_def>)、ボール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。
<pre> <material_def> <Physicaldesign="Designrule1"> <default/> <material_def> <conductor material="COPPER" volume_resistivity="1.68e-8" temperature="20" /> <conductor material="GOLD" volume_resistivity="2.33e-8" temperature="20" /> <conductor material="SOLDER" volume_resistivity="2.17e-7" temperature="20" /> <dielectric material="FR-4" permittivity="4.5" tan_delta="0.035" frequency="1 G" /> <dielectric material="RESISTOR_INK" permittivity="4.5" tan_delta="0.035" frequency="1 G" /> <dielectric material="REGIN" permittivity="4.5" tan_delta="0.035" frequency="1 G" /> </material_def> </Physicaldesign> </pre>			
<pre> <line_width min="最小配線幅" max="最大配線幅" /> </pre>	dist	double	配線幅に関する制限 最大幅は定義しなくてもよい
<pre> <area_limit min="最小面積" /> </pre>	area	double	面積に関する制限、これ以下の面積のshapeは作れない



5. ジオメトリ(G-Format)

<目的>

- ・設計結果を解析環境に渡す際の書式を定義
- ・物理情報
 - 各層ごとの2次元図形
 - VIA, Bump, Bond Wire 3次元的信息
 - 層構造

<使用メリット>

- ・LPBの階層、ツールに依存しない。
- ・形状データの共有化が可能となる。

<フォーマット>

- ・PCB / Package Data Exchange File (XFL) Format を使用



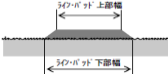
JEITA LPB標準フォーマット 6:用語集

用語集

- LPBで使用する用語が各部で異なる場合がある。
- LPB間で誤解を生んだり、意思を伝えるのに時間がかかることがある。
- 共通の用語を定義する。

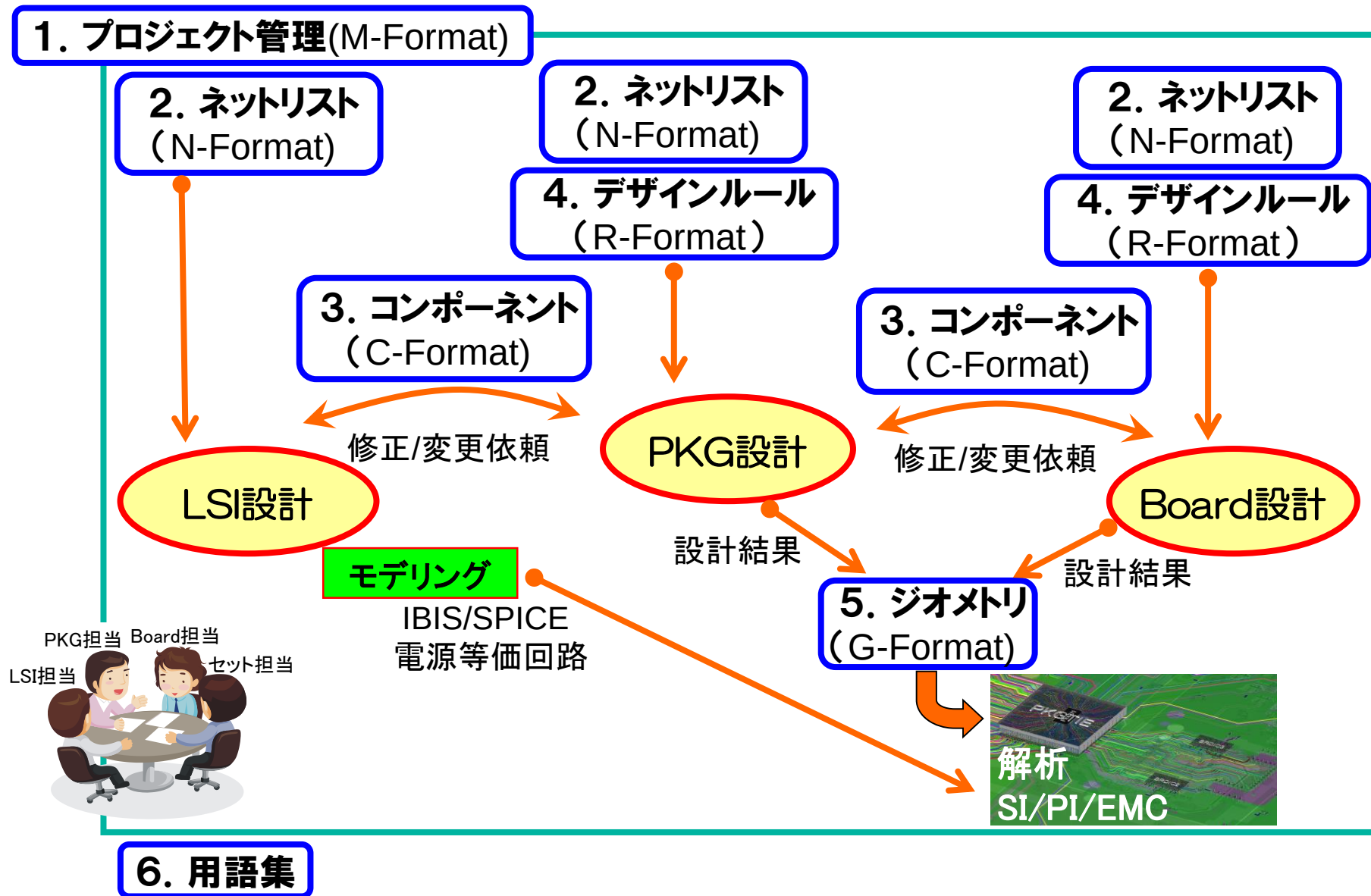
用語集

Rev.1.0

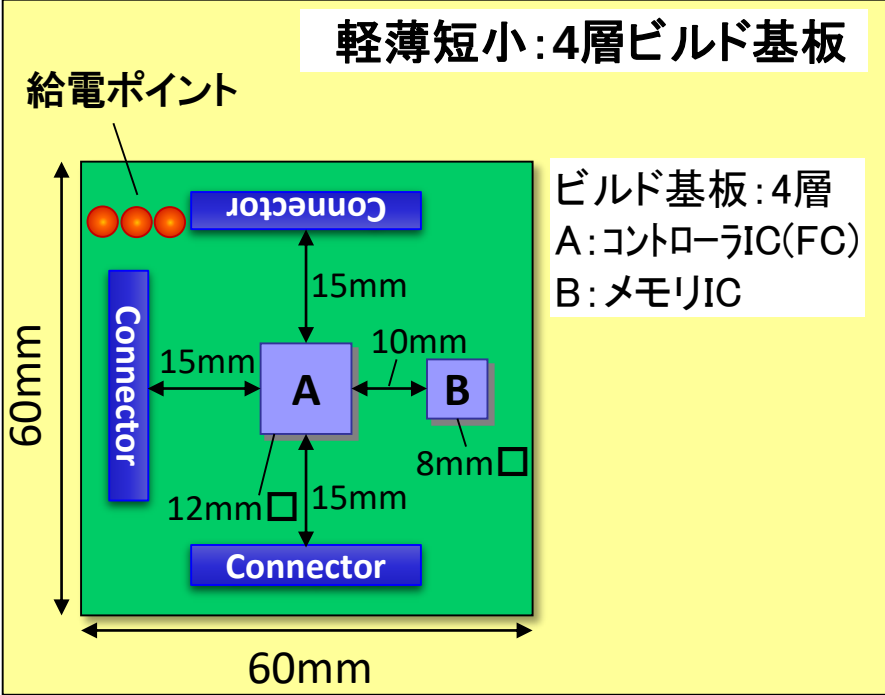
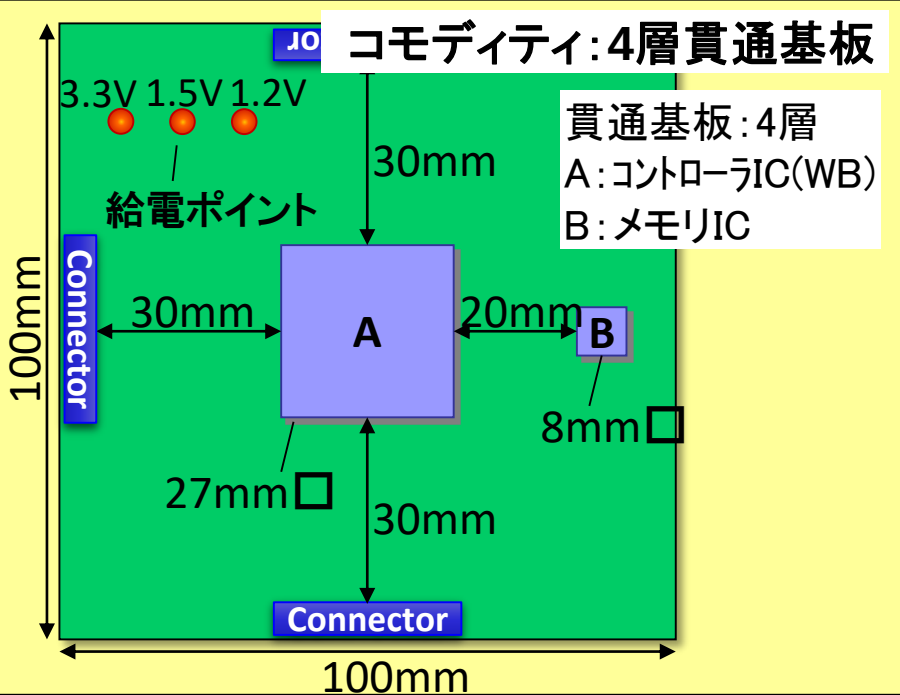
No.	分類	用語・名称	定義・意味	ラベル	LSI例	PKG例	PWB例	関連語
1	ネットリスト	ポート(名)	外部とのインターフェースとなる入出力端子 同一階層では全てユニークな名前にする		ポート	ピン名 ボール BGA リード	ピン名	
2	ネットリスト	リファレンス(名)	機能ブロックの定義名 階層にかかわらず全てユニークな名前にする		リファレンス セル名			
3	ネットリスト	インスタンス(名)	機能ブロックを配置する際に付ける名前 同一階層では全てユニークな名前にする		インスタンス	RefDes	リファレンス	
4	ネットリスト	ネット(名)	端子間の接続につけるラベル 基本的には同一階層内での定義だが、階層に関係なく接続を表す場合もある(グローバルネット・定義)	ネット	ネット	ネット	ネット	
5	ネットリスト	バス	複数の信号を束ねた配線のこと 信号名＋数字で表す(数字の省略で全信号を表す場合もある)	バス	バス	バス	バス	
6	形状データ	DIE	SoCやメモリなどシリコンチップのこと	-		部品 コンポーネント LSI チップ	部品 コンポーネント	
7	形状データ	PKG	パッケージのこと					
8	形状データ	PWB	プリント基板のこと(PCBとも呼ばれるが有害物質「ポリ塩化ビフェニル」と区別するため避けられる傾向がある)					
9	形状データ	ボンディング	ボンディングワイヤの基板側の着地点の図形	-		リード 2nd/パッド ワイヤボンディング パッド ボンディング パッド	-	
10	解析条件	表面粗さ	導体と絶縁体の密着性を上げるために 導体表面を化学処理により粗した状態 サブラクティブ工法(銅箔の不要部分を 削除する工法)では、配線の上部和 下部では導体の幅が異なる。 このような配線の構造を表す。				アンカー スパイク	
11	解析条件	配線断面構造						



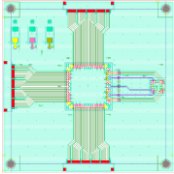
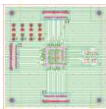
LPB標準フォーマットの位置づけ



適用事例(EDSF2011)



■ 事例の設計担当

	A: Controller		B: Memory		Board
	LSI	Package	LSI	Package	
コモディティ (100×100mm) 	SONY	リコー	東芝	図研	パナソニック
軽薄短小 (60×60mm) 		富士通			TNCSI

軽薄短小セット2のプロジェクト管理ファイルのサンプル

```
<JEITA_LPB_PROJECT version="2.0">
```

```
<header
```

```
  project="JEITA_LPB_2012_SET2"
```

```
  design_revision="1.0"
```

```
  date="20120214"
```



```
<CFORMAT
```

```
  file_name="ChipA_DIE_C_Rev1_0.xml"
```

```
  design_revision="1.0"
```



```
<CFORMAT
```

```
  file_name="ChipA_PKG_set2_C_Rev1_0.xml"
```

```
  design_revision="1.0"
```



```
<CFORMAT
```

```
  file_name="ChipB_DIE_C_Rev1_0.xml"
```

```
  design_revision="1.0"
```



```
<CFORMAT
```

```
  file_name="ChipB_PKG_C_Rev1_0.xml"
```

```
  design_revision="1.0"
```



```
<CFORMAT
```

```
  file_name="PWB_set2_C_Rev1_0.xml"
```

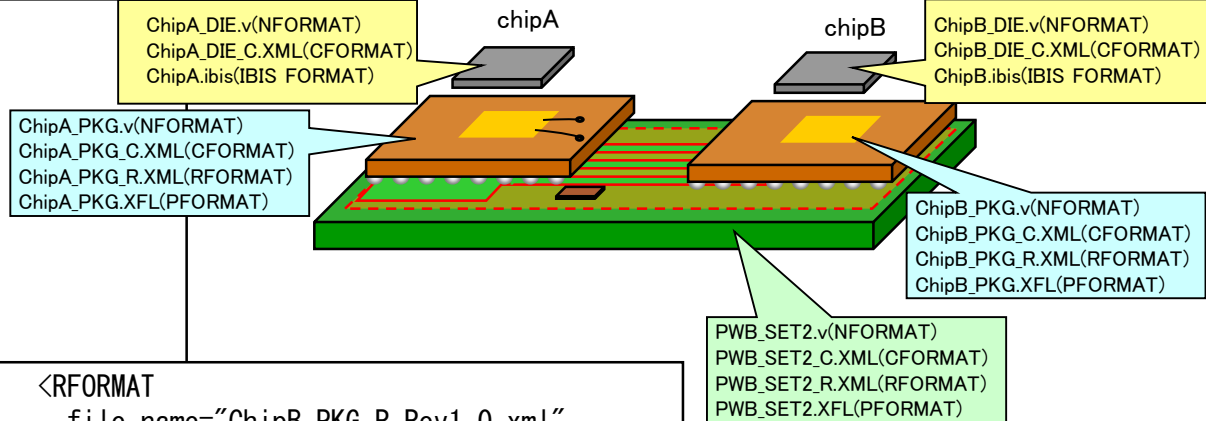
```
  design_revision="1.0"
```



```
<RFORMAT
```

```
  file_name="ChipA_PKG_set2_R_Rev1_0.xml"
```

```
  design_revision="1.0"
```



```
<RFORMAT
```

```
  file_name="ChipB_PKG_R_Rev1_0.xml"
```

```
  design_revision="1.0"
```



```
<RFORMAT
```

```
  file_name="PWB_set2_R_Rev1_0.xml"
```

```
  design_revision="1.0"
```



```
<NFORMAT
```

```
  file_name="ChipA_DIE.v"
```



```
<NFORMAT
```

```
  file_name="ChipA_PKG.v"
```



```
<NFORMAT
```

```
  file_name="ChipB_DIE.v"
```



```
<NFORMAT
```

```
  file_name="ChipB_PKG.v"
```



```
<NFORMAT
```

```
  file_name="PWB_set2.v"
```



```
<PFORMAT
```

```
  file_name="ChipA_PKG_set2_Rev1_0.xfl"
```

```
  design_revision="1.0"
```



```
<PFORMAT
```

```
  file_name="ChipB_PKG_Rev1_0.xfl"
```

```
  design_revision="1.0"
```



```
<PFORMAT
```

```
  file_name="PWB_SET2_Rev1_0.xfl"
```

```
  design_revision="1.0"
```



```
<OtherFile
```

```
  file_name="ChipA.ibs"
```



```
<OtherFile
```

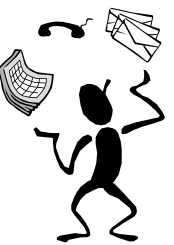
```
  file_name="ChipB.ibs"
```



```
</JEITA_LPB_PROJECT>
```

まとめ

フォーマット名	メリット	
	設計	解析
プロジェクト管理 (M-Format)	・制約ルールの履歴管理が容易 ・検証状況の把握が容易	・最新の解析条件の把握が容易
ネットリスト (N-Format)	・統一フォーマットなので、漏れ防止・ミス低減	・LSI-PKG-Boardの接続設定が省ける
コンポーネント (C-Format)	・LSI-PKG-Boardの検討がスムーズに行える	・制約条件が明確になる ・最適化検証が容易に行える
デザインルール (R-Format)	・事前に設計ルールを明確にし、効率的な設計が行える	・解析条件が明確になる ・解析設定の効率がUPする
ジオメトリ (G-Format)	・設計資産の活用 ・リファレンス設計の流用が可能	・データ変換作業の効率化・簡素化 ・ツール評価の効率化がはかれる



LSI-PKG-Boardで共通に使える統一されたフォーマット
→設計・解析の効率化(特に、お互いの意思疎通ミスの防止)
→階層内の最適化だけではなく、階層間の最適化が可能



是非、LPB標準フォーマットを御活用ください。

- ・統一フォーマットによる作業ミスの低減が期待できます。
- ・LSI-PKG-Board間の最適化作業が可能になります。

御社のツールが対応できたら、JEITA LPB-WGまで御連絡をお願い致します。

- ・CADツールはC-Formatからの適用に、
解析ツールはG-Formatからの適用に期待します!!

