

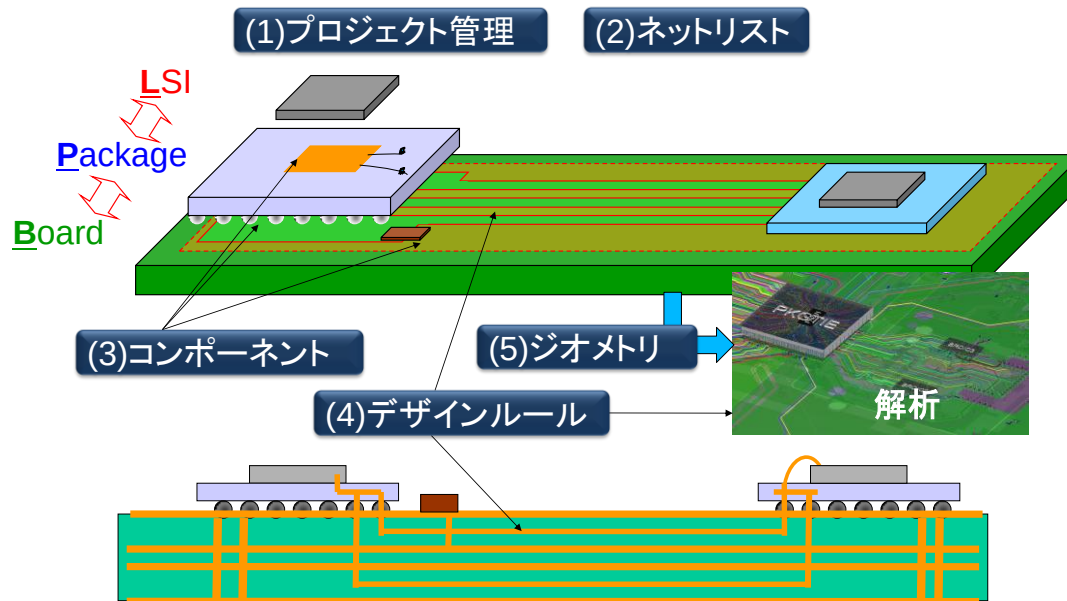
LPB標準フォーマットの紹介

LPB標準フォーマットとは

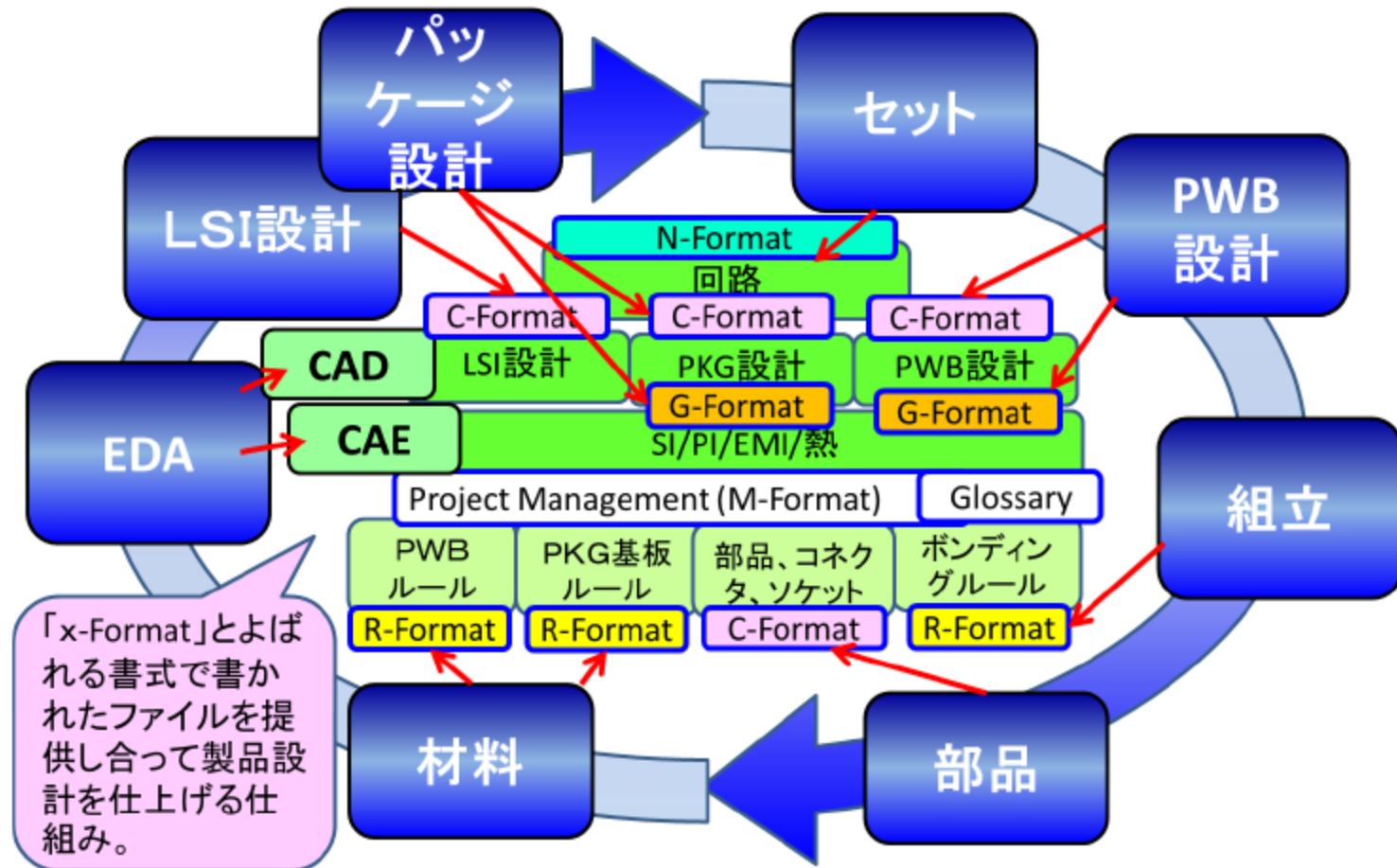
LPB標準フォーマットの構成

LPB標準フォーマットは、下記5種類のファイルで構成（リリース版:Ver.2.1）

フォーマット種別		概要	フォーマット書式
(1)プロジェクト管理	M-Format	LPB全体のファイル管理	XML（独自）
(2)ネットリスト	N-Format	ネット接続記述	Verilog-HDL（既存）※電源・GNDはコメントで注記
(3)コンポーネント	C-Format	部品・制約・端子情報	XML（独自）
(4)デザインルール	R-Format	設計ルール・材料特性情報	XML（独自）
(5)ジオメトリ	G-Format	解析用形状データ	XFL Ver.1.0（アパッチ殿からドネーション頂いている）



LPB標準フォーマットを使った情報共有



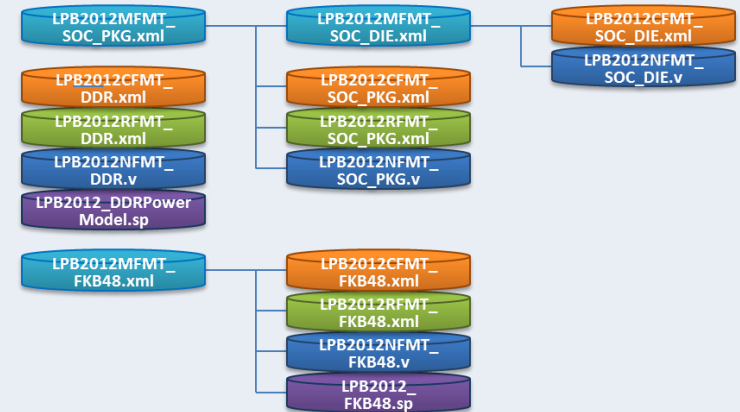
LPB標準フォーマットの概要

プロジェクト管理（M-Format）

概要

LPB(LSI、パッケージ、ボード)全体のファイルを管理

- 各ファイルの組合せを定義
(最新の設計・解析状態を把握)
- 別のM-Formatを参照可能
(階層構造でハンドリングが容易)
- XMLによるJEITAオリジナル記述



記述例

```
<include MFORMAT="MFMT_FKB48.xml" />
<include MFORMAT="MFMT_SOC_PKG.xml" />

<class comment="DDR MEMORY" >
  <CFORMAT file_name="CFMT_DDR.xml" />
  <RFORMAT file_name="RFMT_DDR.xml" />
  <NFORMAT file_name="NFMT_DDR.v" />
  <OtherFile file_name="DDRPowerModel.sp" />
</class>
```

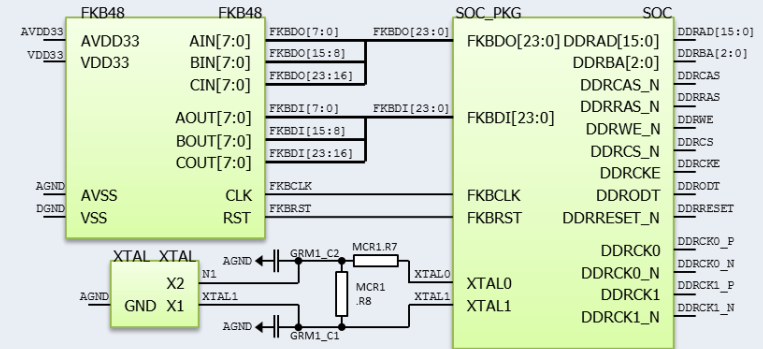
LPB標準フォーマットの概要

ネットリスト (N-Format)

概要

部品間、端子間の接続情報を定義

- LSI、パッケージ、ボード全体のネットリストを記述可能
- Verilog HDL記述を使用
(電源・GNDはコメントで注記)



記述例

```
module JEITA_SAMPLE ( );  
  wire [23:0] FKBDO ;  
  wire [23:0] FKBDI ;  
  wire VDD33 ; /* PG_NET */  
  wire DGND ; /* PG_NET */  
  
  FKB48 FKB48 ( .AIN(FKBDO), .AOUT(FKBDI) ) ;  
  SOC_PKG SOC ( .FKBDO(FKBDO), .FKBDI(FKBDI) ) ;  
  
endmodule
```

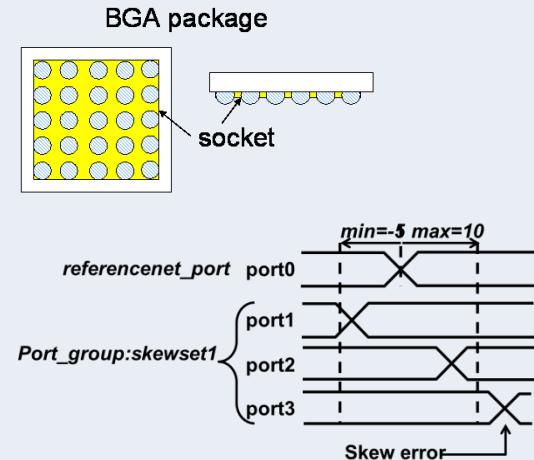
LPB標準フォーマットの概要

コンポーネント (C-Format)

概要

部品の端子情報、制約を定義

- 外部端子の物理情報を定義し、端子名や設計制約を関連付ける
- 更に、SPICEやDXFなど、他フォーマットで記述されたモデルの関連付けも可能
- 設計の段階ごとに成長するファイル (追記・修正で意思を伝達)
- XMLによるJEITAオリジナル記述



記述例

```
<module name="SOC_PKG" type="PKG" shape_id="PKG_BODY" >
  <socket name="SOC_PKG" >
    <port id="A5" x="-8500" y="12500" angle="0" name="FKBDO[5]" />
    <port id="A6" x="-7500" y="12500" angle="0" name="FKBDO[2]" />
    <constraint>
      <impedance group_name="FKB_DIN" type="single" min="40" typ="50" max="60"/>
      <delay group_name="FKB_DIN" min="100" typ="150" max="200" />
    </constraint>
  </socket>
</module>
```

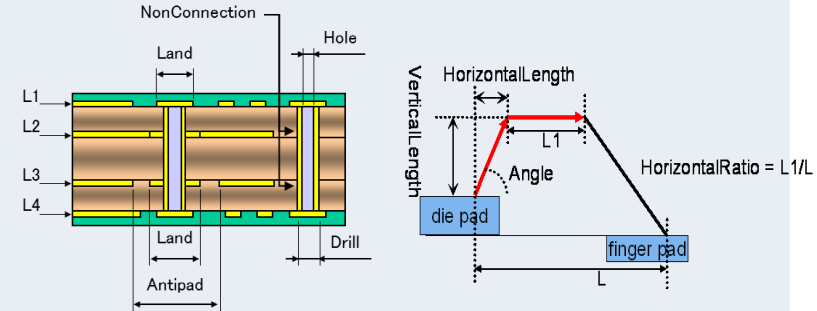
LPB標準フォーマットの概要

デザインルール (R-Format)

概要

設計・解析に必要なデザインルール、材料特性情報を定義

- デザインルール、層構成、ボンディングワイヤの形状などを定義
- 素材の物性値を定義
- XMLによるJEITAオリジナル記述



記述例

```
<material_def>
  <conductor material="COPPER" volume_resistivity="1.68e-8" />
  <dielectric material="FR-4" permittivity="4.5" tan_delta="0.035" />
</material_def>
<layer_def>
  <layer name="TOP_COND" type="conductor" thickness="0.030"
        conductor_material="COPPER" />
  <layer name="DIELECTRIC12" type="dielectric" thickness="0.100"
        dielectric_material="FR-4" />
</layer_def>
<spacing_def>
  <layer name="TOP_COND">
    <line_to_line space="0.050" />
  </layer>
</spacing_def>
```

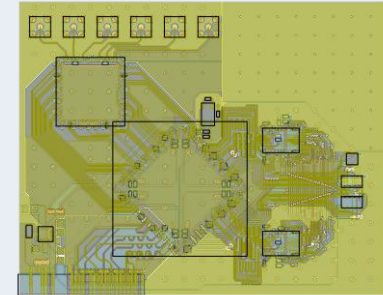

LPB標準フォーマットの概要

ジオメトリ (G-Format)

概要

パッケージ、ボードの形状データを定義

- 解析用の形状データ
- XFL記述を使用

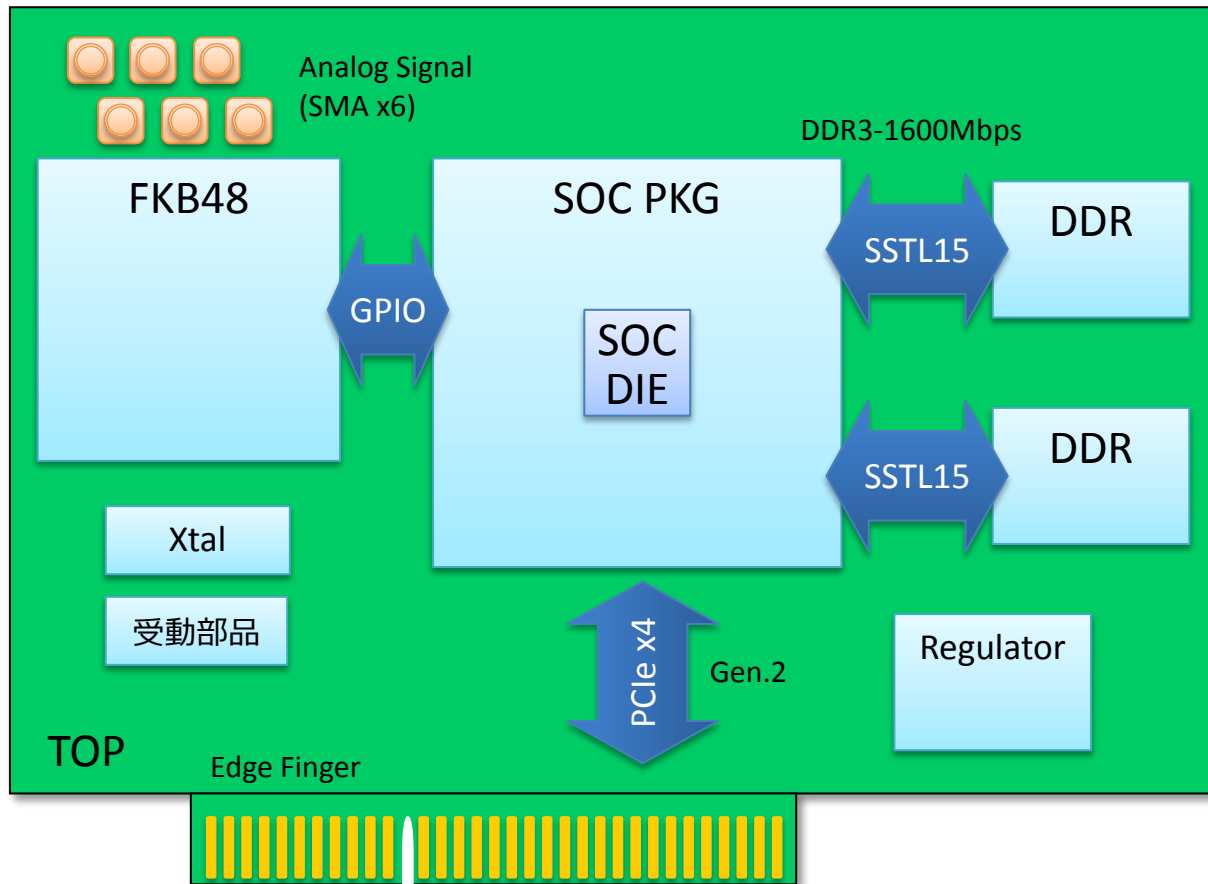


記述例

```
shape 1 4 53.2 26.8 90 N
via 1 4 V020C060C085 54.55 20 0 N
via 2 3 B010C050C075C23 41 24.25 0 N
shape 1 11 35.5 29 0 N
via 1 2 B010C030C12 35.5 29 0 N
path 2 0.1 {
    41 24.25
    41.000000 24.750000
}
```

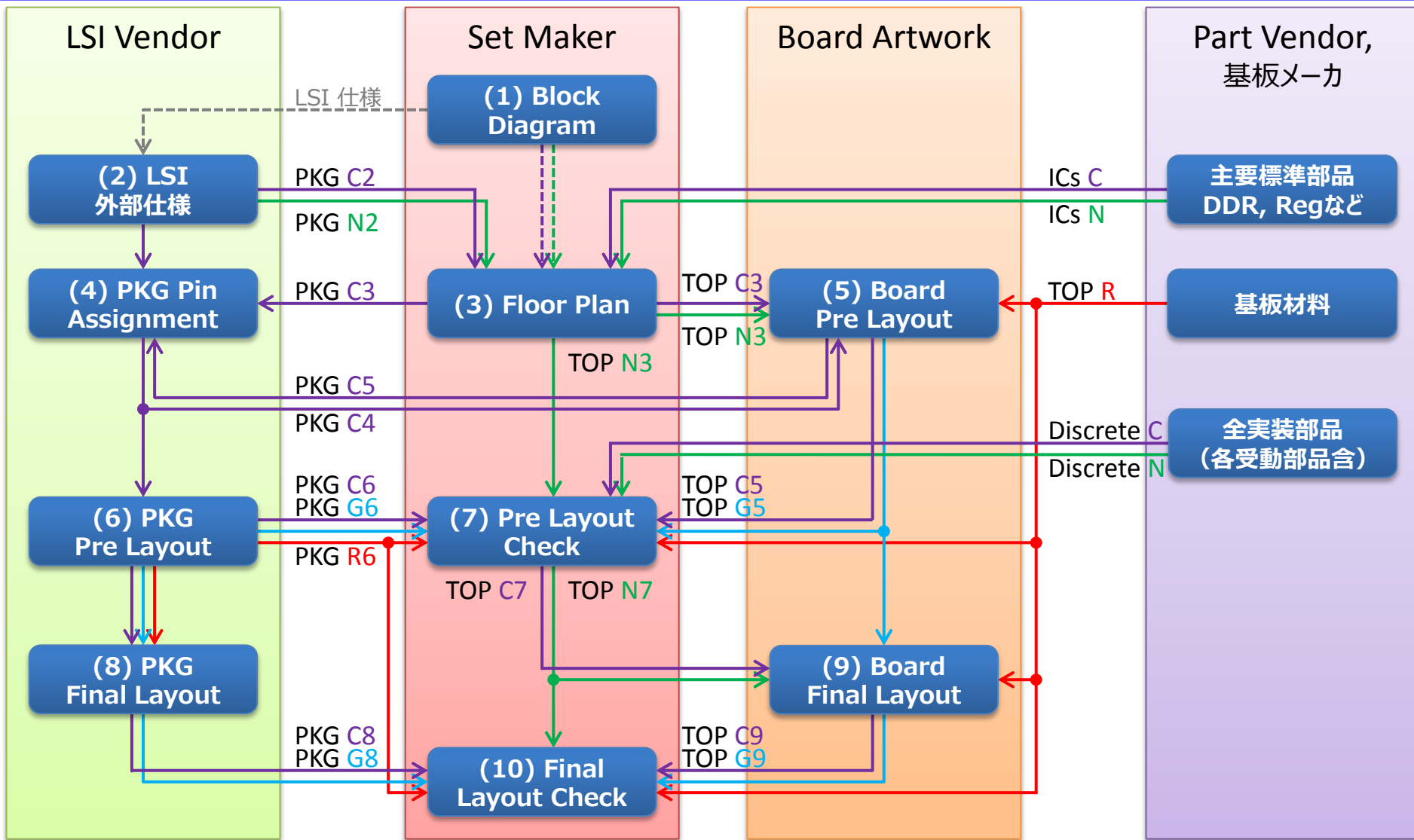
Golden Sampleの提供

EDA開発にも使用可能なテスト用データとして「Golden Sample」を用意
(LPB標準フォーマットに準拠した各種ファイルを準備)



搭載部品	補足説明
SOC	DIE, PKGとも新規設計
DDR	既成品 (PKG品)
FKB48	既成品 (PKG品)
Regulator	既成品 (PKG品)
Xtal	既成品
受動部品	既成品

リファレンス・フローを定義



育てるファイル、LPB

Flow		SoC Package				Top (Board)			
		C		N		C		N	
1	Block Diagram	C1	紙ベース	N1	紙ベース	C1	紙ベース	N1	紙ベース
2	LSI 外部仕様	C2	Pin座標あり 信号アサイン未	N2	信号電源含む ほぼ完成形				
3	Floor Plan	C3	Pinアサインの リクエスト			C3	主要部品のみ 仮置き	N3	部品は全部入っ ている
4	PKG Pin Assignment	C4	リクエスト対応 制約入る						
5	Board Pre Layout	C5	Pinアサインの 修正リクエスト			C5	Placementが 変わる		
6	PKG Pre Layout	C6	Artwork反映し た制約入る						
7	Pre Layout Check					C7	Decap、抵抗の 変更/追加	N7	部品の変更/追 加
8	PKG Final Layout	C8	最終版						
9	Board Final Layout					C9	Decap、抵抗の 調整等		
10	Final Layout Check								

C-Formatの成長例

端子座標のみ

PKG-C2

```
<port id="A3" x="-10500" y="12500" angle="0" />
<port id="A4" x="-9500" y="12500" angle="0" />
<port id="A5" x="-8500" y="12500" angle="0" />
<port id="A6" x="-7500" y="12500" angle="0" />
<port id="A7" x="-6500" y="12500" angle="0" />
<port id="A8" x="-5500" y="12500" angle="0" />
<port id="A9" x="-4500" y="12500" angle="0" />
```

ボード設計から端子名をアサイン

PKG-C3

```
<port id="A3" x="-10500" y="12500" angle="0" />
<port id="A4" x="-9500" y="12500" angle="0" />
<port id="A5" x="-8500" y="12500" angle="0" name="FKBDO[3]" direction="out" type="signal" />
<port id="A6" x="-7500" y="12500" angle="0" name="FKBDO[0]" direction="out" type="signal" />
<port id="A7" x="-6500" y="12500" angle="0" />
<port id="A8" x="-5500" y="12500" angle="0" />
<port id="A9" x="-4500" y="12500" angle="0" name="XTAL1" direction="inout" type="signal" />
```

パッケージ設計からアサイン見直し

PKG-C4

```
<port id="A3" x="-10500" y="12500" angle="0" />
<port id="A4" x="-9500" y="12500" angle="0" />
<port id="A5" x="-8500" y="12500" angle="0" name="FKBDO[5]" direction="out" type="signal" />
<port id="A6" x="-7500" y="12500" angle="0" name="FKBDO[2]" direction="out" type="signal" />
<port id="A7" x="-6500" y="12500" angle="0" />
<port id="A8" x="-5500" y="12500" angle="0" name="VDD_PLL" direction="inout" type="power" />
<port id="A9" x="-4500" y="12500" angle="0" name="XTAL1" direction="inout" type="signal" />
```

LPB標準フォーマットは設計のやり取りで成長、情報を共有する

C-Formatの成長例

```
<!-- Swappable Group -->
```

```
<!-- Swappable Port -->
```

PKG-C3

端子のスイッチ情報なし

```
<!-- Swappable Group -->
```

```
<swappable_group>
```

```
<ref_portgroup name="FKB_DIN_BYTE0" />
```

```
<ref_portgroup name="FKB_DIN_BYTE1" />
```

```
<ref_portgroup name="FKB_DIN_BYTE2" />
```

```
</swappable_group>
```

```
<!-- Swappable Port -->
```

```
<swappable_port>
```

```
<ref_port name="FKBDO[0]" />
```

```
<ref_port name="FKBDO[1]" />
```

```
<ref_port name="FKBDO[2]" />
```

```
<ref_port name="FKBDO[3]" />
```

```
<ref_port name="FKBDO[4]" />
```

```
<ref_port name="FKBDO[5]" />
```

```
<ref_port name="FKBDO[6]" />
```

```
<ref_port name="FKBDO[7]" />
```

```
</swappable_port>
```

PKG-C4

端子のスイッチ可能情報を追加

パッケージ設計からスイッチ可能な
端子の情報が追加される

LPB標準フォーマットは制約をより自由に共有する

⇒ 設計のやり方を変えることができる

LPB標準フォーマット活用のメリット

フォーマット名	メリット	
	設計	解析
(1)プロジェクト管理 (M-Format)	・制約ルールの履歴管理が容易 ・検証状況の把握が容易	・最新の解析条件の把握が容易
(2)ネットリスト (N-Format)	・統一フォーマットなので、漏れ防止・ミス低減	・LSI-PKG-Boardの接続設定が省ける
(3)コンポーネント (C-Format)	・LSI-PKG-Boardの検討がスムーズに行える	・制約条件が明確になる ・最適化検証が容易に行える
デザインルール (R-Format)	・事前に設計ルールを明確にし、効率的な設計が行える	・解析条件が明確になる ・解析設定の効率がUPする
ジオメトリ (G-Format)	・設計資産の活用 ・リファレンス設計の流用が可能	・データ変換作業の効率化・簡素化 ・ツール評価の効率化がはかれる

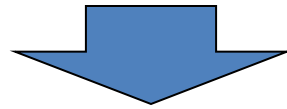
LSI-PKG-Boardで共通に使える統一されたフォーマット
→設計・解析の効率化（特に、お互いの意思疎通ミスの防止）
→階層内の最適化だけではなく、階層間の最適化が可能

IEEE標準化への取組み

いわゆる標準化とは

標準化として定義されている役割

公平な市場競争の提供と企業の知的財産の
保護を同時に成立させるもの



- JEITA LPB標準フォーマットは、
 - ・設計現場における共通言語
 - ・サプライチェーンにおける情報伝達のための媒体
- として使われ、業界全体の力を集結し、ベクトルを合わせ、
その結果としてQ C Dの達成に至らせることを目的としている

標準化の意義

LPB標準フォーマットは策定されるだけでは意味が無く、現場設計者、EDAベンダーにおいて普及しなければ目的を達しない

普及にあたり、現場設計者、EDAベンダーの導入側立場としての

- 現場設計者のフォーマット使用にあたっての信頼性
- EDAツールへの導入理由

のことを考えると、標準化というのは大きな意味を持つものであると考え、LPB-WGにおける標準化に向けての活動は必要と判断



2012年度にLPB-WG内に標準化準備SWGが新設され活動を開始

IEEE標準化に向けての活動ステップ

CY2013	CY2014	CY2015
Jun. ◆ Contact to IEEE Aug. ◆ PAR Creation (Project Authorization Request) ↓ ◆ DASC approval Dec. ◆ NesCom approval (New Standard Committee)	Jan. ◆ Prepare to develop Draft Sep. ◆ 1st Draft Development Review & Comment Dec. ◆ 2nd Draft Development	Review & Comment Mar. ◆ 3rd Draft Development Apr. ◆ Final Draft Development/WG Vote May ◆ DASC Vote ↓ ◆ Sponsor Ballot ◆ Recirculation Ballot ↓ Dec. ◆ RevCom approval (Review committee) IEEE Standard !

- 標準化提案 (PAR)
- IEEE内におけるWG発足 (P2401-WG)

- Draft作成準備 (IEEE Style)
- Draft作成 (1st/2nd Draft)
- Review & Comment

- Draft作成 (3rd/Final Draft)
- Review & Comment
- IEEE上位組織での投票
- 最終承認 (RevCom)

Final Draftに向けた、IEEE標準化提案版のVer.2.2を作成

最新Ver.2.2ダウンロード

Item	概要	Status
LPB標準フォーマット	LSI-Package-Board インターフェース・フォーマット	Ver.2.1公開中 (2013年3月～) IEEE P2401として国際標準化がスタート IEEE標準化対応版として、Ver.2.2を 本日LPBフォーラム終了後にリリース
Golden Sample	EDA開発にも使用可能な テスト用データ	公開中 (2013年3月～) Ver.2.2対応版を 本日LPBフォーラム終了後にリリース
リファレンス・フロー	LSI-Package-Board 相互設計フロー	公開中 (2013年3月～)

LPB Foramt Ver.2.2, GoldenSample Ver.2.2 のダウンロードは
下記LPBフォーラムのHPから

<http://www.lpb-forum.com/download/>