

LPB標準フォーマット

概要説明

アジェンダ

背景

設計現場における課題

LPB相互設計WG設立の目的・ゴール

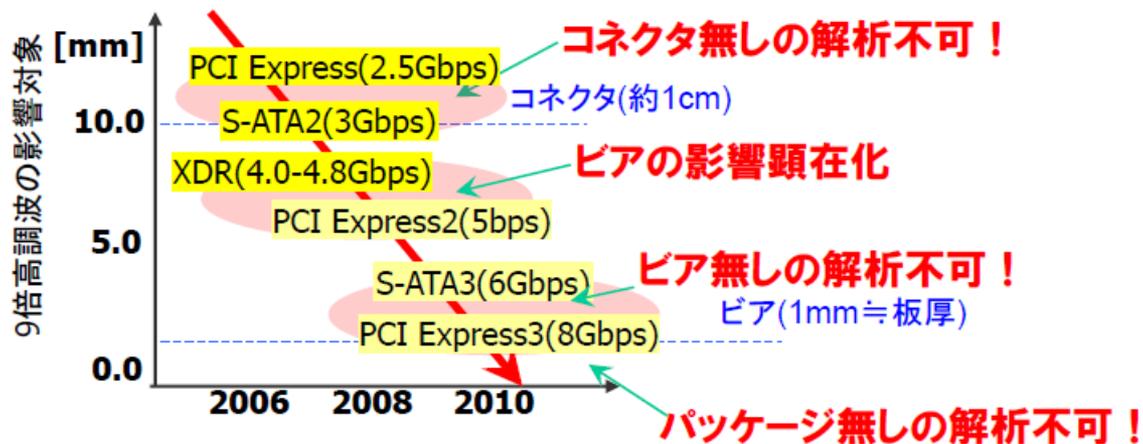
LPB標準フォーマット

まとめ



背景

回路の高速化に伴い、設計マージンが厳しくなっている。

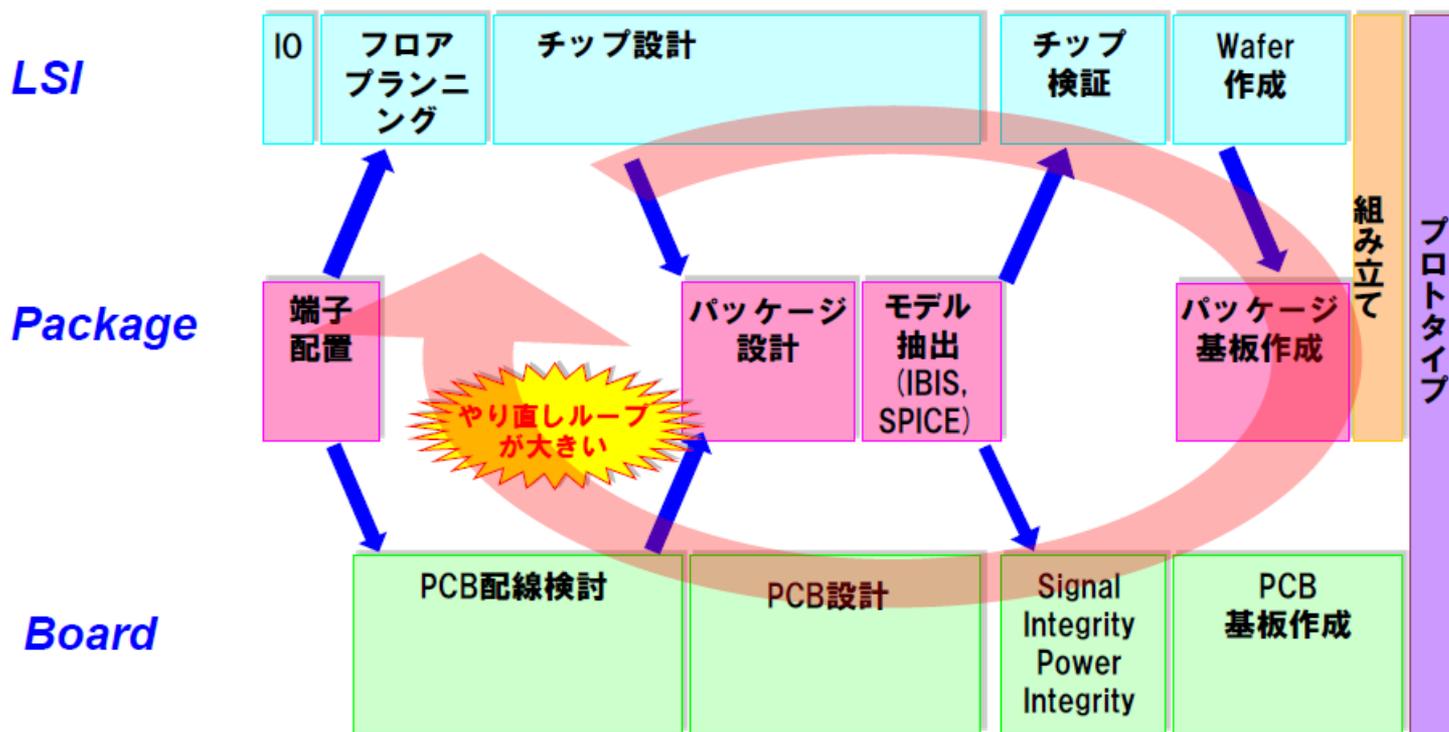


LSI、Package、Board全てを考慮した設計が必要となってきた。

背景

■ 現在の主な設計手法:

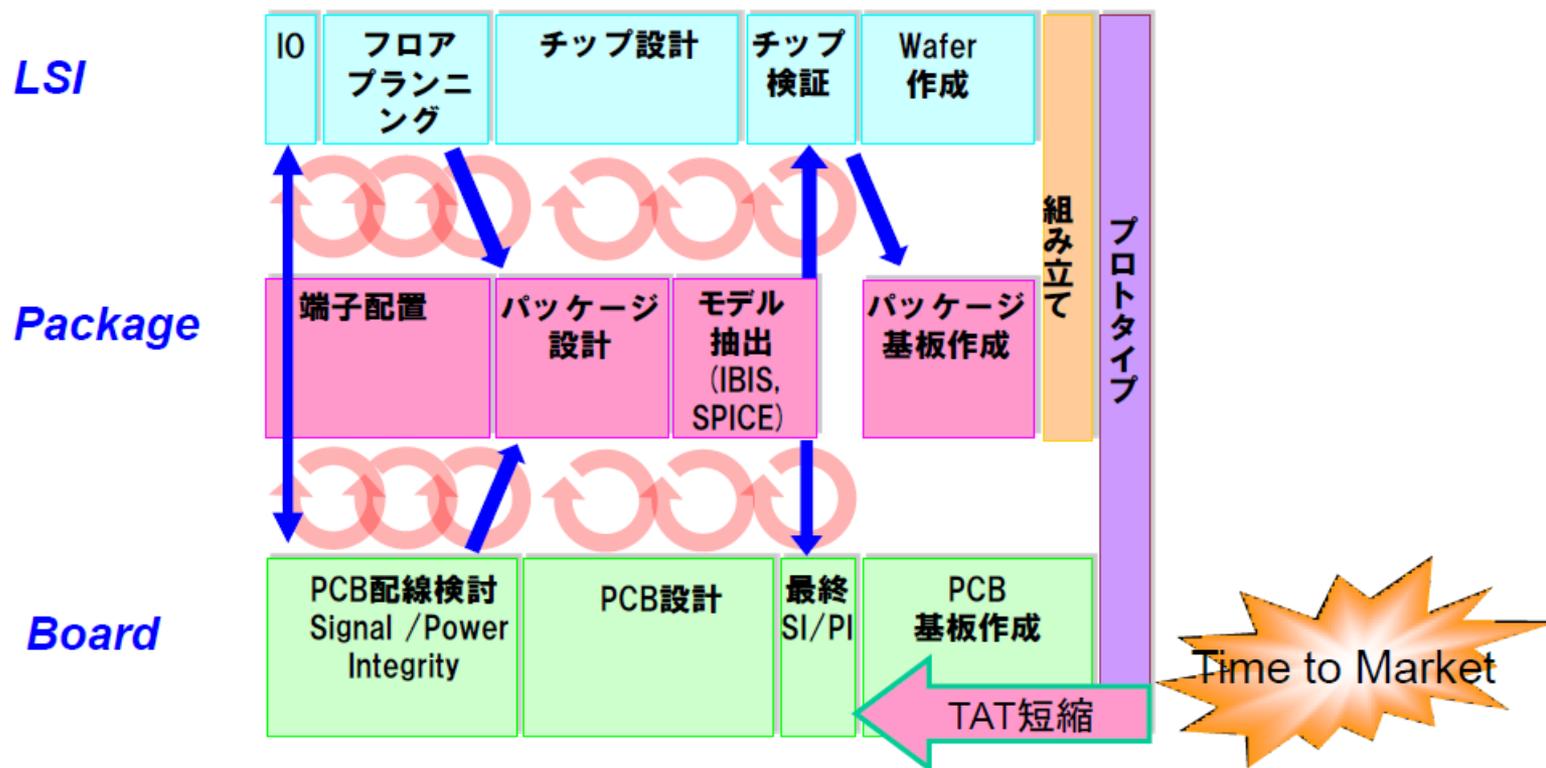
LSI、Package、Boardが別々に設計されて最後に全体の検証を行う。



背景

■ LPBコンカレント協調設計:

開発の初期段階からコンカレントに協調しあって最適化設計と検証を進める。



設計現場における課題

■ 設計現場における課題



LPB協調設計における課題

- ① 設計者の主観による認識ずれ
- ② 全体最適に必要な情報の不明確さ
- ③ 本来、設計に費やされるべき時間の浪費

設計現場では、ユーザーがツール間のデータフォーマット調整に対応。作業に時間がかかり本来の設計に使うべき時間のロスが発生。

設計現場における課題

■ LPB相互設計WG設立の背景

電子機器産業界(設計現場)の現状と課題

現状

- ・LSI・パッケージ・ボード各分野での連携がとれておらず、全体としての最適化が進まない
- ・フォーマットがばらばらでEDA技術活用の効率化が進まない

設計現場の課題

- ・ツールユーザーがツール間のデータフォーマット調整に対応
- ・作業に時間がかかり本来の設計に使うべき時間のロスが発生
- ・**苦勞が大きい割にはそこから生じる恩恵は小さい**



そのような現場の声をを受けて2010年4月にLPB-WGが正式に発足

LPB相互設計WG設立の目的・ゴール

■LPB相互設計WG設立の目的

【ソリューション】

設計情報を統一した、LPB標準フォーマットを提案
LPB M/N/C/G/R-Format、用語集

- ・提案内容は公開し普及を図る。
- ・これにより日本のエレクトロニクス製品の国際的競争力を高めることを目標とする。

■議論内容・ゴール

変革ポイント：設計・検証の情報流通改善、時間の有効活用：

	ユーザー側のメリット	EDAベンダー側のメリット
Q	解析精度、品質向上	ツール本来の効果を発揮
C	コスト対性能の最適化	保守費低減、工数削減
D	準備、設計期間を短縮	標準利用による設計短縮

ユーザー、ベンダーの相互作用によるEDA業界の活性化

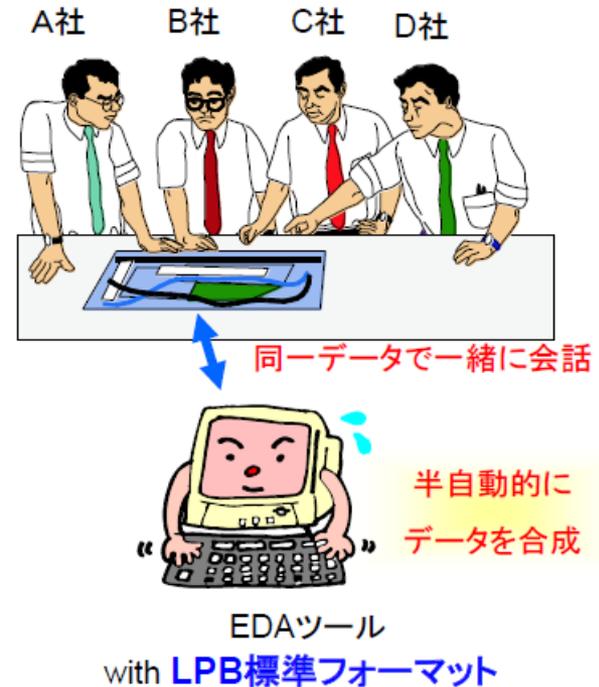
従来方式とLPB方式

従来方式



仕様策定・調整 : 認識ズレ発生
シミュレーション : 活用しきれない

LPB方式

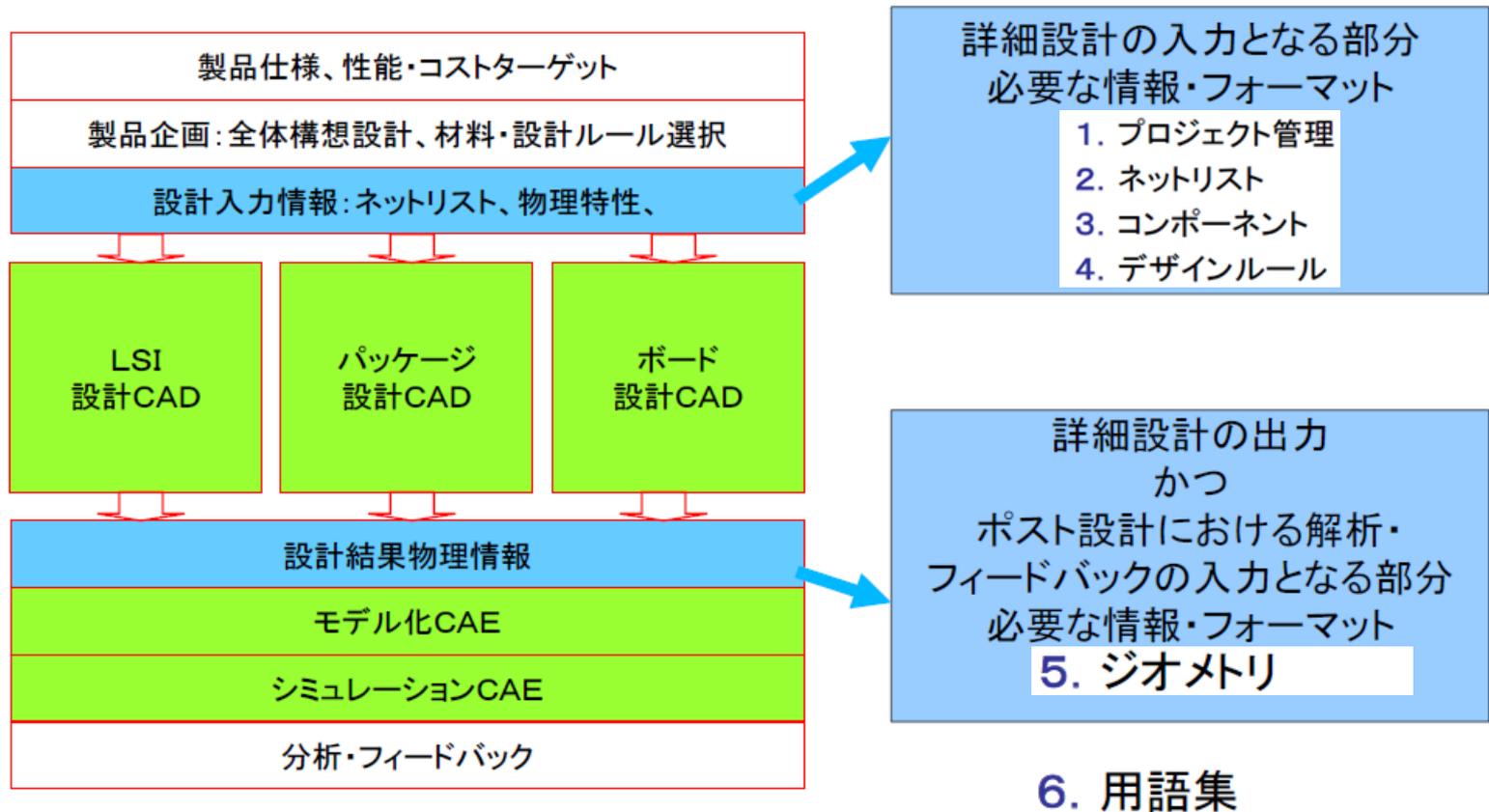


従来方式 : 認識ズレが発生しやすい上、シミュレーションに手がまわらない

LPB方式 : 各社が同一データで会話でき、本来の設計業務に専念できる

LPB標準フォーマットの提案

共通部分の標準フォーマット化の提案

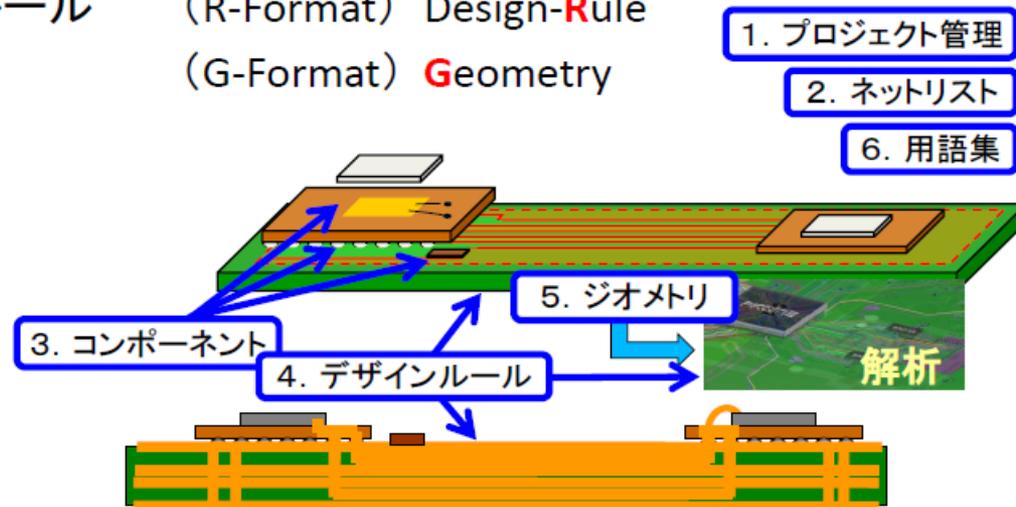


JEITA LPB標準フォーマット

JEITA LPB標準フォーマット

そのような現場課題への対応として、JEITA LPB-WGにてLPB標準フォーマットとして5つのファイルと用語集を策定

- | | |
|-------------|---------------------------------|
| 1. プロジェクト管理 | (M-Format) M anagement |
| 2. ネットリスト | (N-Format) N etlist |
| 3. コンポーネント | (C-Format) C omponent |
| 4. デザインルール | (R-Format) Design- R ule |
| 5. ジオメトリ | (G-Format) G eometry |
| 6. 用語集 | |



JEITA LPB標準フォーマット

フォーマット名	概要	フォーマットの書式
プロジェクト管理 (M-Format)	<ul style="list-style-type: none">・各フォーマットの対応付け・更新状況の把握・関連ファイルとの対応付け	XML(独自) 流通している既存フォーマットを調査した結果、独自とした
ネットリスト (N-Format)	<ul style="list-style-type: none">・接続状況を明確にする・信号、電源GNDを表現する	Verilog-HDL(既存) 電源GND端子を追加
コンポーネント (C-Format)	<ul style="list-style-type: none">・端子情報の定義・制約事項の定義・設計状況の提示	XML(独自) 流通している既存フォーマットを調査した結果、独自とした
デザインルール (R-Format)	<ul style="list-style-type: none">・テクノロジーの定義・製造製ルールの定義・解析条件セットアップ	XML(独自) 流通している既存フォーマットを調査した結果、独自とした
ジオメトリ (G-Format)	<ul style="list-style-type: none">・設計結果を解析に渡す 物理情報	アパッチ: XFL Ver1.0(既存) 現時点で公開を認められたフォーマット アパッチ殿からドネーション頂いています。

JEITA LPB標準フォーマット ～設計事例～

■ EDSフェア (2011年11月17日)で発表

LPBメンバーによる設計事例

従来方式とLPBフォーマット方式、それぞれで実際に設計することで比較

■従来方式担当

キヤノン

■LPB方式担当

・Chip A

LSI : ソニー
パッケージ : 富士通
リコー

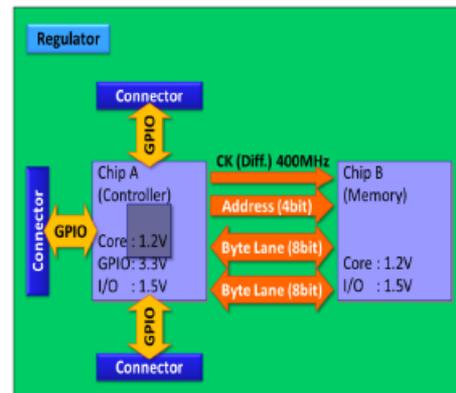
・Chip B

LSI : 東芝
パッケージ : 図研

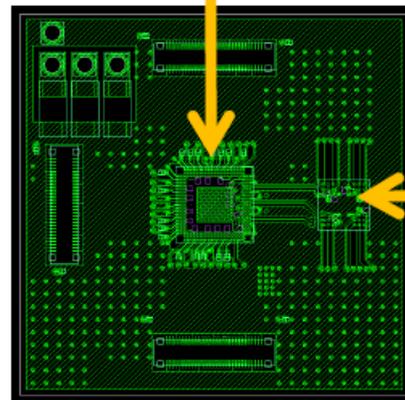
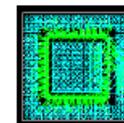
・ボード : トッパンNEC
パナソニック

・検証 : デンソー

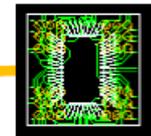
DDRをモチーフとして設計



Chip A



Chip B



LPBフォーマットで仕様書やり取り

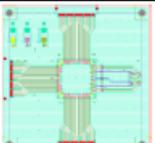


LPB標準フォーマットを適用することのメリットを確認。

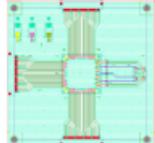
JEITA LPB標準フォーマット ~設計事例~

活用コスト - 適用事例(EDSFair2011)

■従来方式

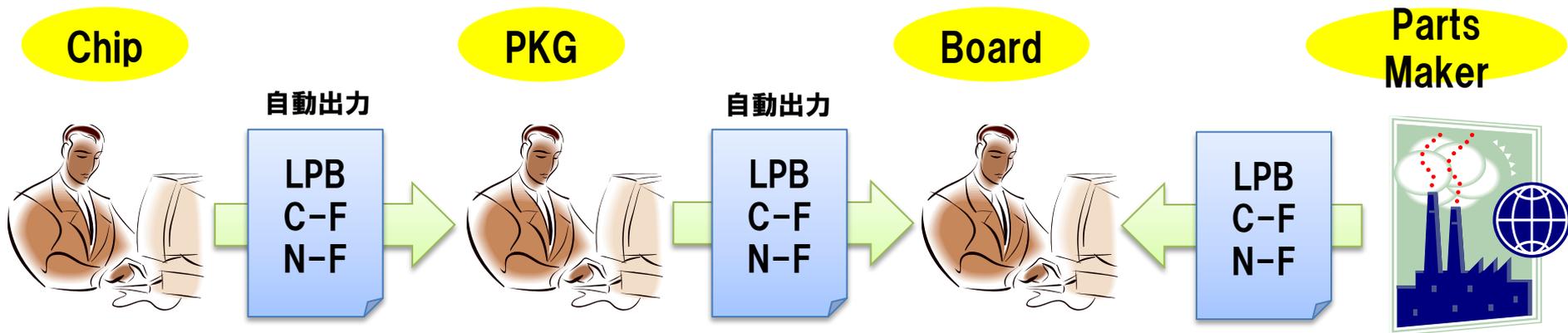
	Controller		Board	Memory		検証
	LSI	Package		Package	LSI	
コモディティ (100×100mm) 			Canon			
軽薄短小 (60×60mm) 			Canon			

■LPB方式

	Controller		Board	Memory		検証
	LSI	Package		Package	LSI	
コモディティ (100×100mm) 		RICOH	Panasonic			DENSO
軽薄短小 (60×60mm) 	SONY make.believe			ZUKEN The Partner for Success	TOSHIBA	

JEITA LPB標準フォーマット ～設計事例～

LPB方式 (EDAがLPB-Fに対応した場合を想定)



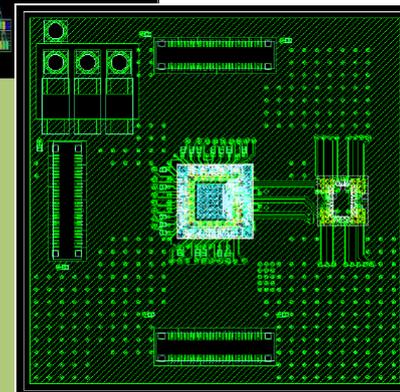
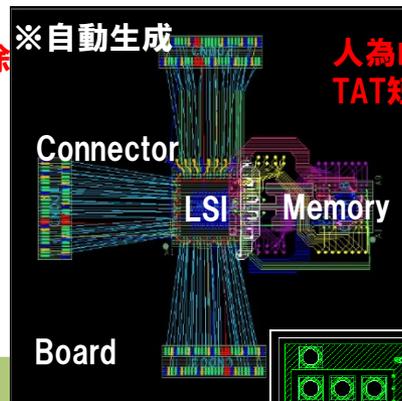
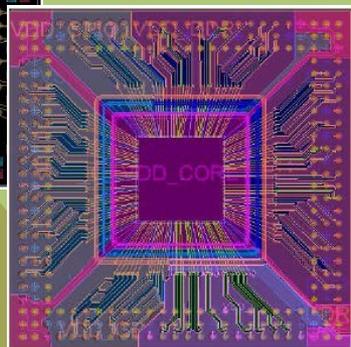
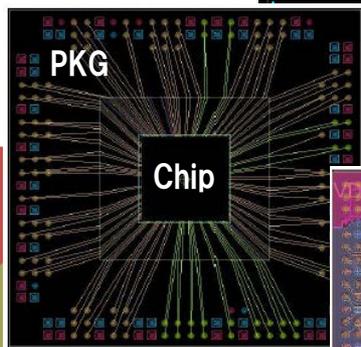
人為的ミスの排除
TAT短縮

※自動生成

人為的ミスの排除
TAT短縮

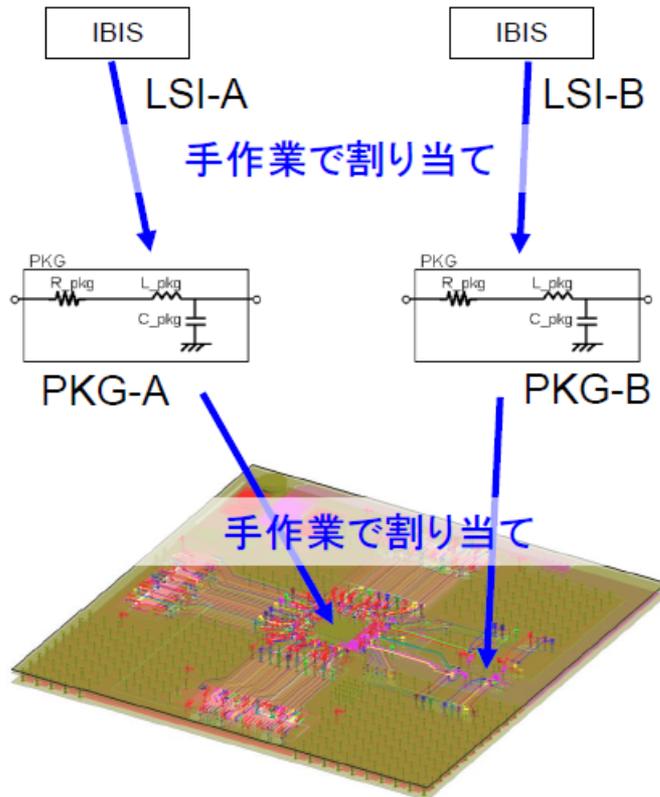
※自動生成

人為的ミスの排除
TAT短縮



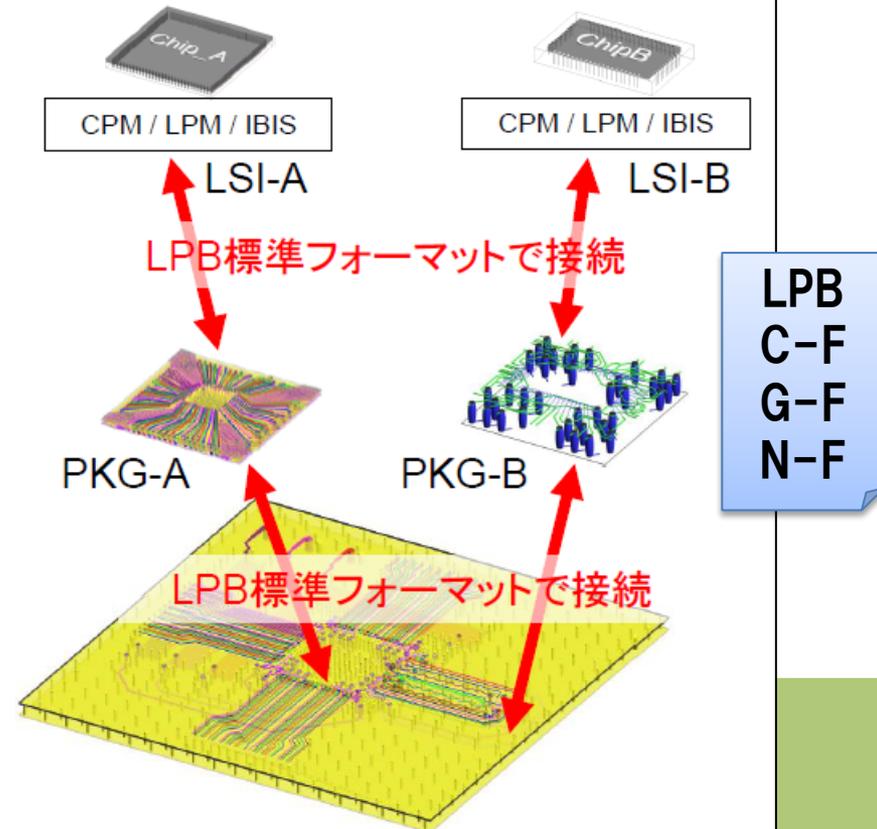
JEITA LPB標準フォーマット ~設計事例~

従来方式



PKGのモデルはIBIS付属データ(IO系)のみ

LPB方式



※PKG-Bは別シミュレータでモデル化して利用

JEITA LPB標準フォーマット ～設計事例～

設計コスト 比較

	従来方式	LPB方式(推定)
1. 仕様説明資料作成	2.0h	
2. 設計者への説明	0.5h	0.5h
3. 基板デザインルール決定	3.5h	
4. 新規ネットリスト作成	5.0h	5.0h
5. フロアプラン(CAD作業)	7.5h	7.5h
<ul style="list-style-type: none"> ✓ ・部品マクロ登録 ✓ ・部品収集 ✓ ・配置配線 		
6. 修正デバッグ	作業時間7.5h (修正3回、3日)	作業時間2.0h (修正1回、半日)
合計	26 H、停滞3日	15H、停滞半日

▼ 工数42%低減 停滞 1/3以下

JEITA LPB標準フォーマット ~設計事例~

シミュレーションコスト 比較

■:待ち ■:手作業 ■:自動作業

従来方式

データ入手・問い合わせ: Min 1週間

加工・ポート割り当て作業: 2H

データ入手・問い合わせ: Min 1週間

PKG形状調査 / データ作成: 10H

加工・ポート割り当て作業: 1H

基板のインポート/修正: 2H

※各社固有のCADデータを想定

作業: **15H** 停滞: **1週間以上**

LPB方式

CPM / LPM / IBIS

CPM / LPM / IBIS

割り当て: 3min

割り当て: 3min

基板のインポート / 設計条件入力 修正: 0.5H

ほぼ自動化 → 手作業ミスの低減

作業: **1H未満** 停滞: **ゼロ**

▼ 工数95%低減 停滞ゼロ化

JEITA LPB標準フォーマット ～検証結果～

✓その結果、従来型は

- ・人為的ミスの発生リスクが高い(あいまいさが原因)
- ・資料作成に時間を要する
- ・設計前の全体最適化が困難
- ・解析までに時間がかかる(LPBの接続確認が困難)

ことが改めて確認された。

一方、LPB型は

- ・フォーマットに記載する為、定義の「あいまいさ」が排除
- ・EDAツールが対応すればフォーマット出力が容易
- ・EDAツールが対応すれば構想設計検証が容易になり、設計前に全体最適しやすい
- ・EDAツールが対応すればLPBモデルの作成が容易

になることが検証できた。

まとめ

- 開発の設計初期から、LPBがコンカレントに協調し合い最適化できるように、LPB相互WGを発足させた。
- その手段として、LBP標準フォーマットを作成した。
- 従来方式とLBP方式とで実際に設計を行い、QCDで、LBP標準フォーマットが有効であることを確認した。
※今回の設計事例ではユーザー側のメリット

	ユーザー側のメリット	EDAベンダー側のメリット
Q	解析精度、品質向上	ツール本来の効果を発揮
C	コスト対性能の最適化	保守費低減、工数削減
D	準備、設計期間を短縮	標準利用による設計短縮

ユーザー、ベンダーの相互作用によるEDA業界の活性化

今後の課題

IEEE SA P2401 国際標準に決定！！

- LPB標準フォーマットの普及

ユーザー、EDAベンダーへの啓蒙活動

- ✓ EDAベンダーのLPB採用の促進
- ✓ 設計現場でのLPBの定着化