

IBIS-LPB Design Kit

LPBフォーマットを活用した構想設計自動化

(株)東芝

青木 孝哲

(株)東芝

岡野 資睦

メンターグラフィックス・ジャパン(株)

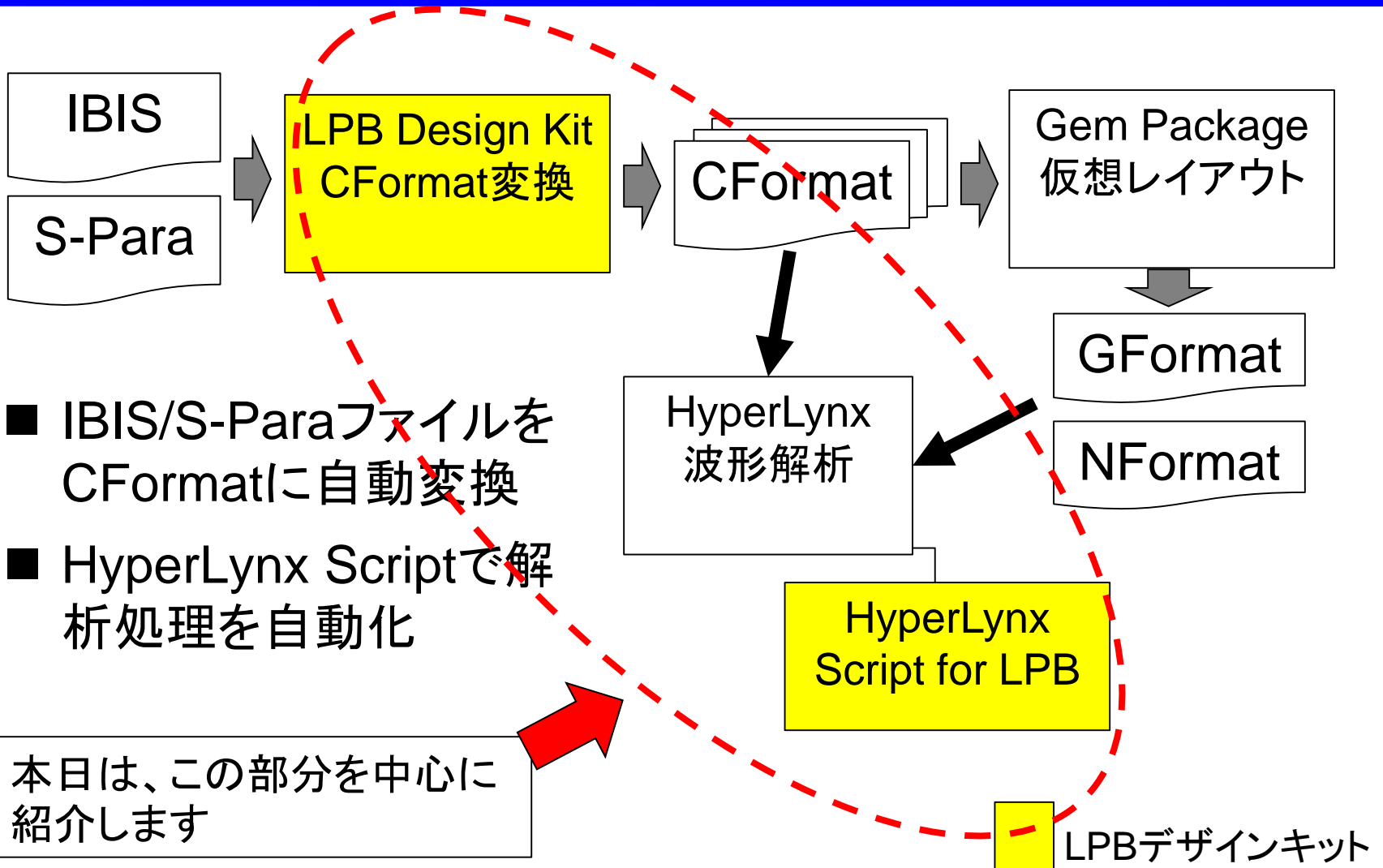
門田 和博



概要

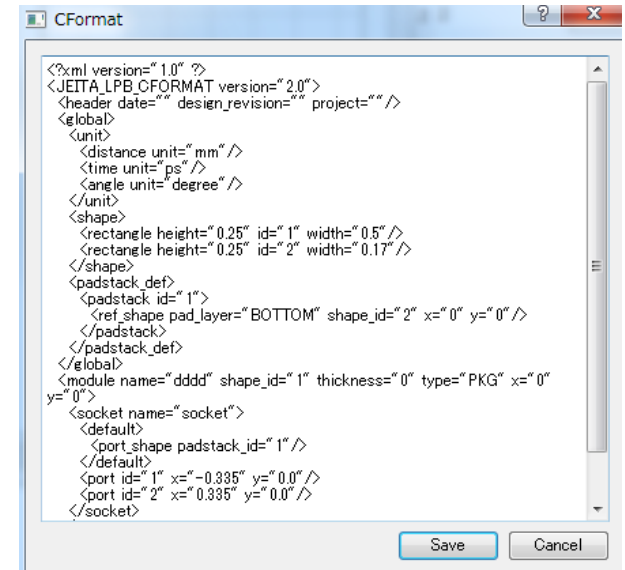
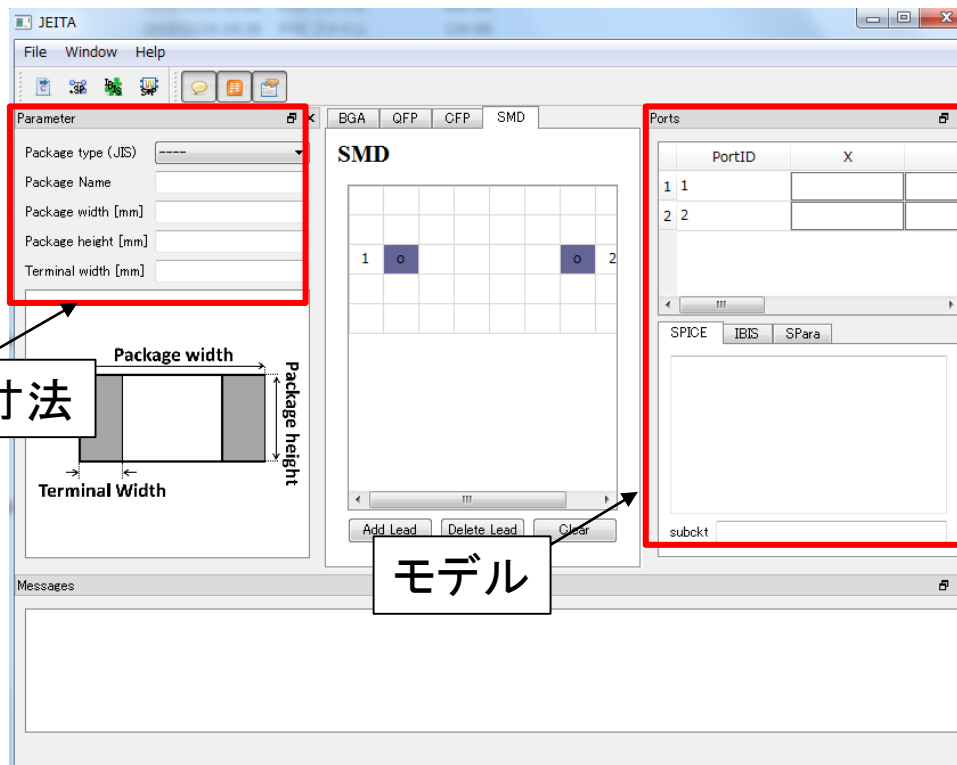
- LPBフォーマットとLPB Design Kitを用いてPCB構想設計を行う
- HyperLynx SIを用いてIBISモデル、コンデンサSPICEモデルをImportして伝送線路モデルを使って波形解析をScriptにより実行
- この結果から実際の配線を作成
- 配線されたLayoutをLPBフォーマットでHyperLynx Full-wave SolverにImportしてS-parameterを抽出
- 抽出されたS-parameterをHyperLynx SIにImportして波形解析

全体フロー



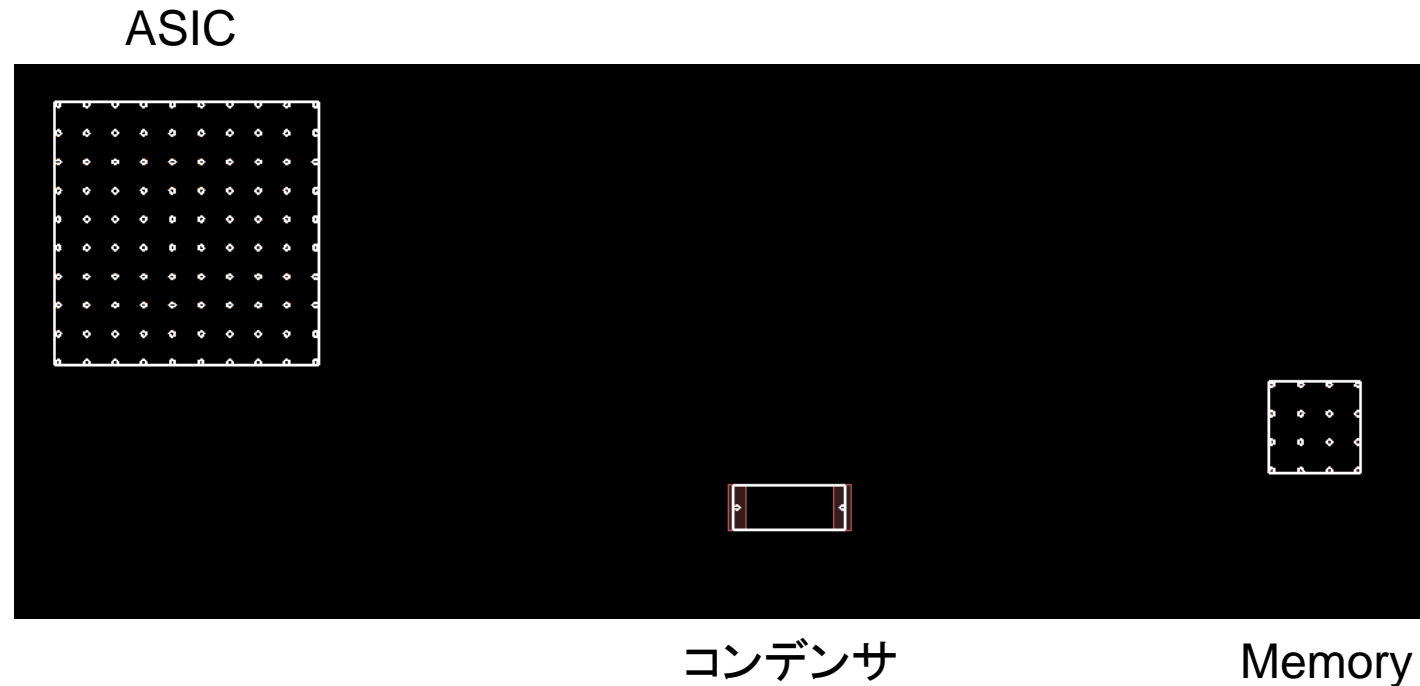
CFormat変換

- 部品寸法とモデル (IBIS/Spara/SPICE)を入力すると、それに対応するCFormatに変換する
- 2端子表面実装部品、BGA, QFPに対応



構想設計(部品レイアウト)

- GemPackageを使って、ASIC、コンデンサ、Memoryを以下のように配置
 - LPBフォーマットを出力



本日は、この部分の詳細は省略します

HyperLynxSIでの波形解析

- VBScriptでLPBフォーマットを読み込んで解析
 - LineSim回路の自動作成
 - 回路図作成
 - IBISモデル、コンデンサSPICEモデルのアサイン
 - 配線幅を変えて自動解析
 - 解析結果出力
- LPB フォーマット
 - LPB_Sample_N.v
 - LPB_Sample_C.xml
 - LPB_Sample_G_aaa.xfl
 - LPB_Sample_IBIS_C.xml
 - LPB_Sample_parts_C.xml
 - LPB_Sample_R.xml
- 今回使用するフォーマットはN、C、Gフォーマット

HyperLynx SI (LineSim) で回路作成

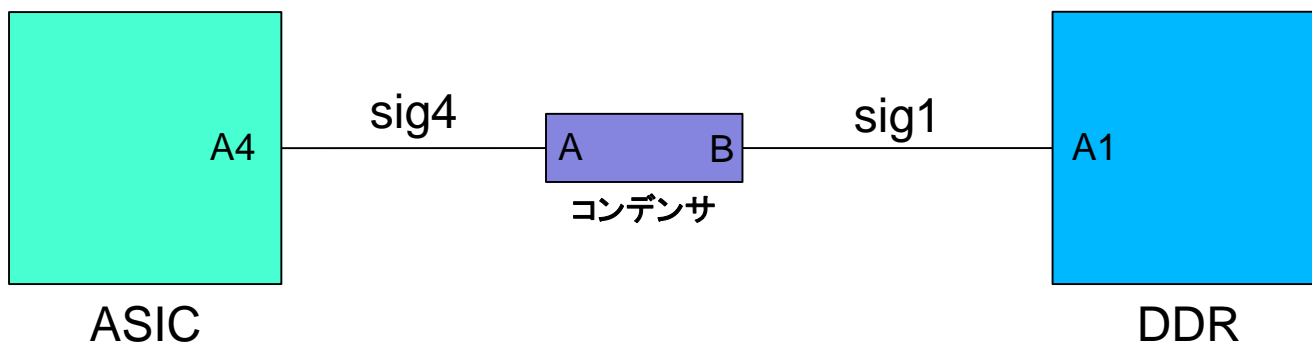
■ NFormat (Net情報) から部品 (Net) 接続情報を読む

- DDR ._A1 (sig1),
- PCK ._A4 (sig4),
- RG .A (sig4), .B (sig1),

■ DDRのA1ピンがsig1ネットに接続

■ PCK(ASIC)のA4ピンがsig4ネットに接続

■ RGのAピンがsig4、Bピンがsig1に接続



IBISモデルの設定

■ IBISモデルを部品CFormatから設定

– PCKのIBIS

```
reffile="IBIS_20080218.ibs"
```

```
format="IBIS">
```

```
<connection socket_name="socket" port_id="D10">
```

```
<ibis:ref_port component="TC74VHC00F_K" signal_name="1Y"/>
```

– DDRのIBIS

```
reffile="IBIS_7404.ibs"
```

```
format="IBIS">
```

```
<connection socket_name="socket" port_id="A1">
```

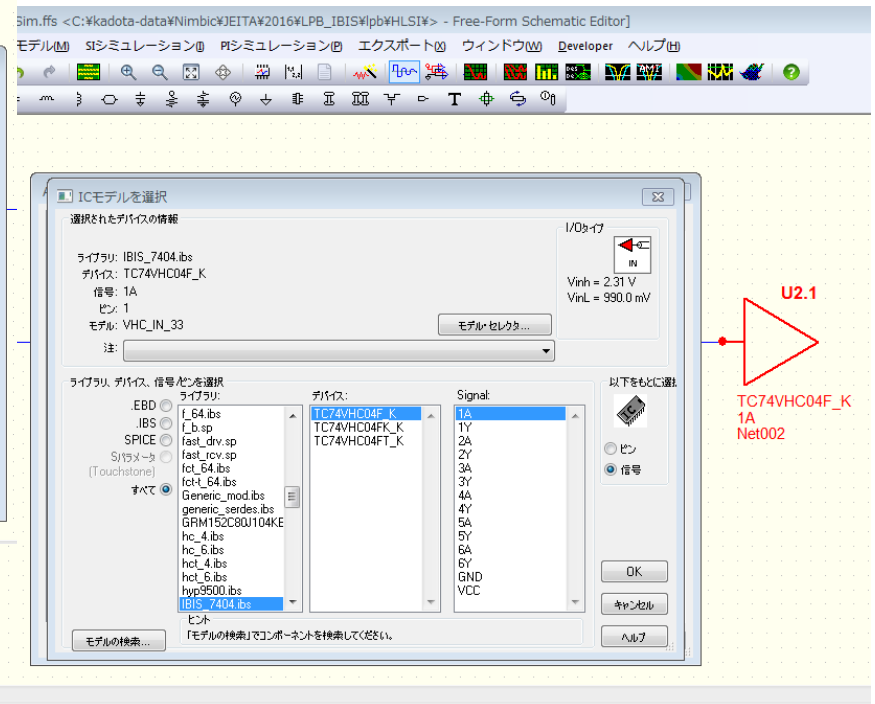
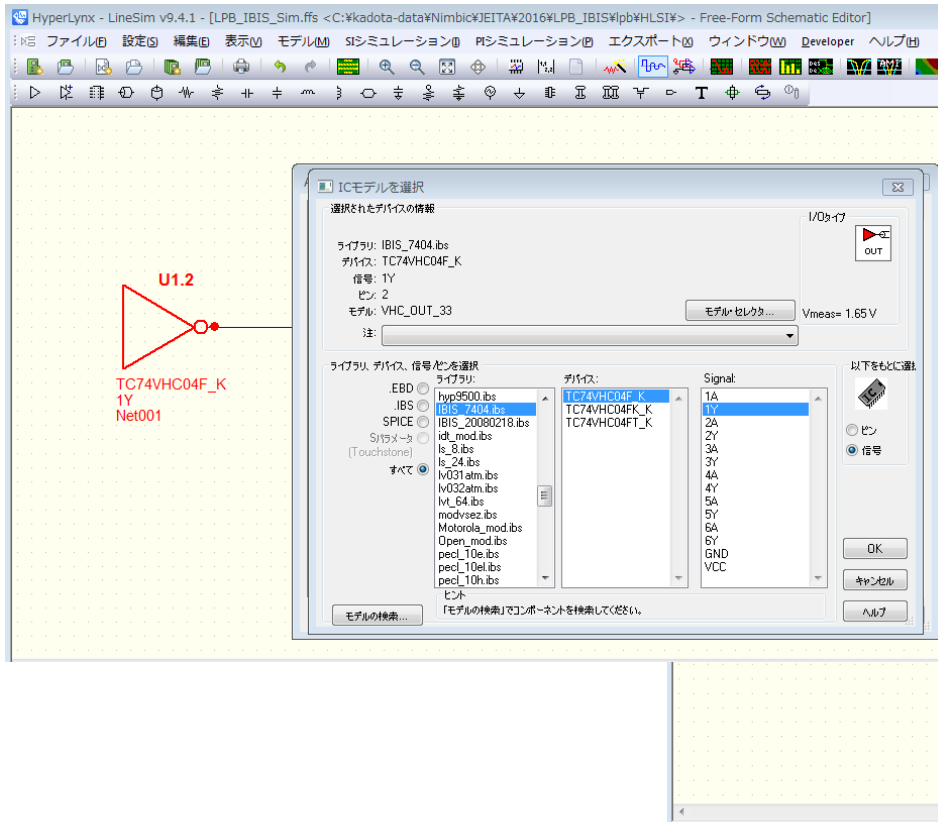
```
<ibis:ref_port component="TC74VHC04F_K" signal_name="1A"/>
```

■ PCKのD10ピンにIBIS_20080218.ibsの1Yを設定

■ DDRのA1ピンにIBIS_7404.ibsの1Aを設定

CFormatからIBISモデルを読み込む

- LPB_Sample_IBIS_C.xml からアサインするIBISモデル情報を読み込む
- 指定フォルダ内のIBISモデルをアサインする



コンデンサモデルの設定

■ コンデンサのSPICEモデルをC-Formatから設定

```
<module name="RG" shape_id="1" thickness="0" type="other" x="0" y="0">
  <socket name="socket">
    <default>
      <port_shape padstack_id="1"/>
    </default>
    <port id="1" x="-0.9275" y="0.0"/>
    <port id="2" x="0.9275" y="0.0"/>
  </socket>
  <reference xmlns:spice="http://www.jeita.or.jp/LPB/spice"
    reffile="GRM152C80J104KE19.sp"
    format="SPICE" >
    <connection socket_name="socket" port_id="1"> <spice:ref_port subckt="GRM152C80J104KE19" portid="1"/>
  </connection>
    <connection socket_name="socket" port_id="2"> <spice:ref_port subckt="GRM152C80J104KE19" portid="2"/>
  </connection>
  </reference>
```

■ RGの1ピン-2ピン間にGRM152C80J104KE19.spを設定

コンデンサ SPICEモデルを設定

- LPB_Sample_parts_C.xml からアサインするコンデンサSPICEモデル情報を読み込む
- 指定フォルダ内のSPICEモデルをアサインする

GRM152C80J10...
GRM152C80J10...

J1
Port1 Port2

Sパラメータ/SPICEモデルの割り当て

モデルタイプ
All models

ライブラリ:
example.s4p
f_b.sp
fast_drv.sp
fast_rcv.sp
GRM152C80J104KE19.sp
pkg_model.s4p
R_short.sp
simple_diff.sp

デバイス:
GRM152C80J104KE19

ポート:

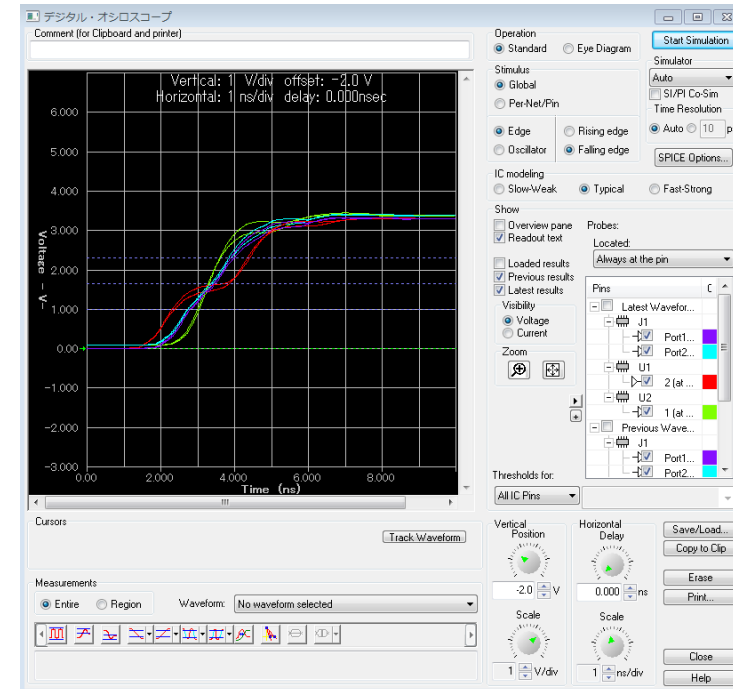
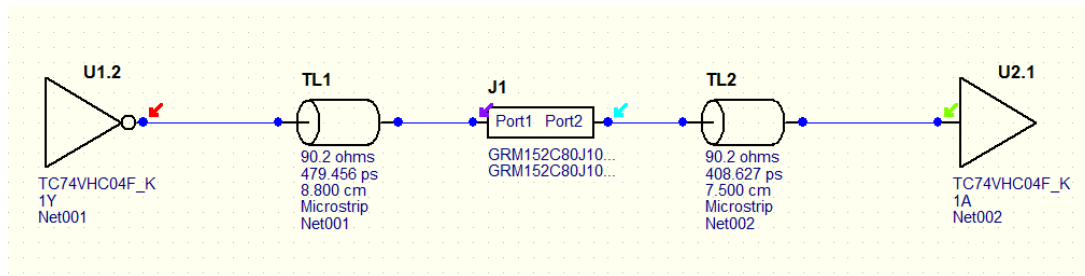
	Visible	Name	Side	Circuit Connection
1	<input checked="" type="checkbox"/>	Port1	left	<schematic>
2	<input checked="" type="checkbox"/>	Port2	right	<schematic>

ポートの自動配置:

Edit Model File... パラメータの編集 (F)...

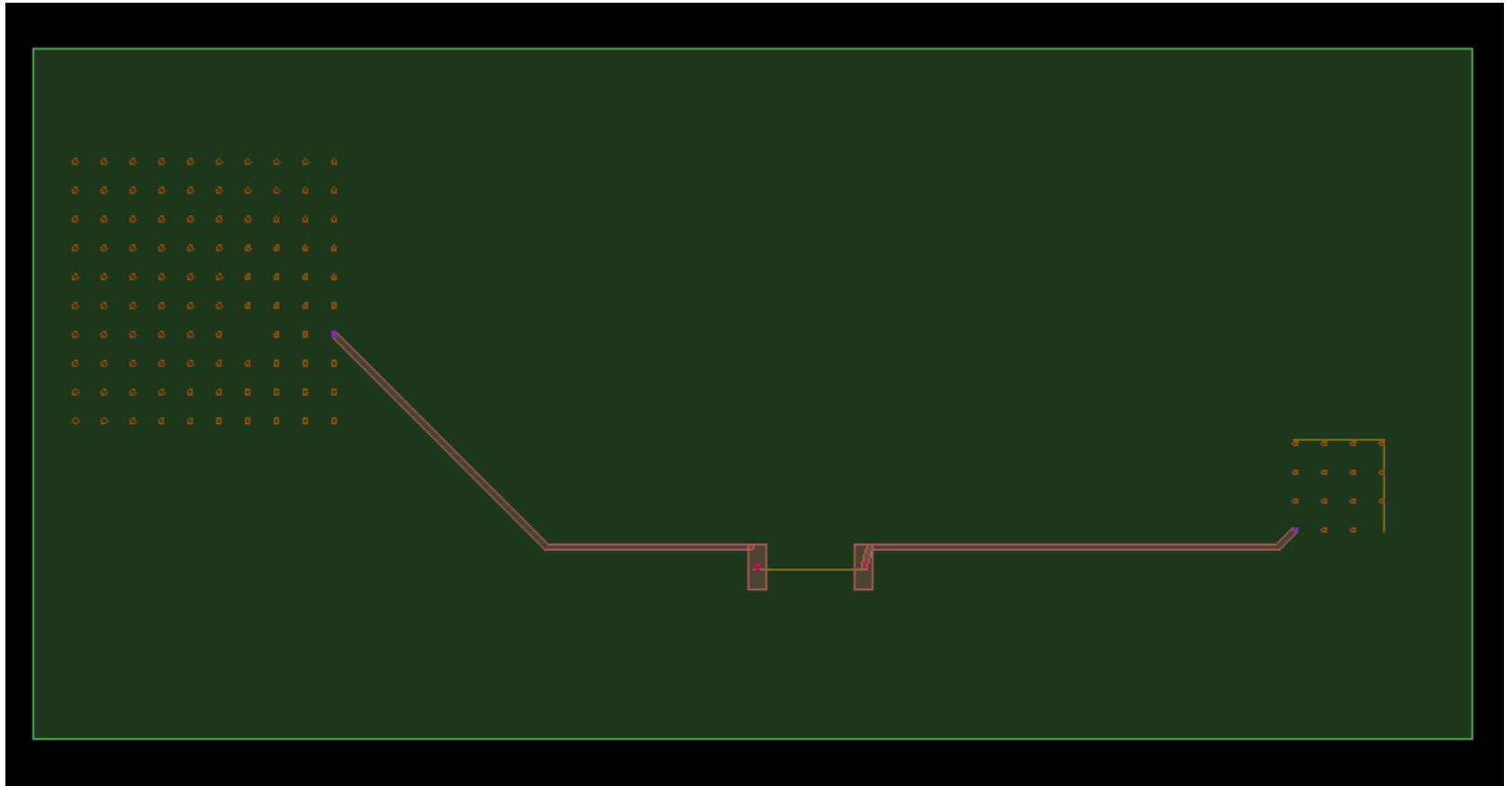
HyperLynx SI (LineSim)で波形解析

- N-Formatから接続を読んで回路を作成
- 部品間に伝送線路モデルを入れて解析
- 伝送線路のライン幅を変えて解析
 - $W=0.12\text{mm}$, $W=0.3\text{mm}$



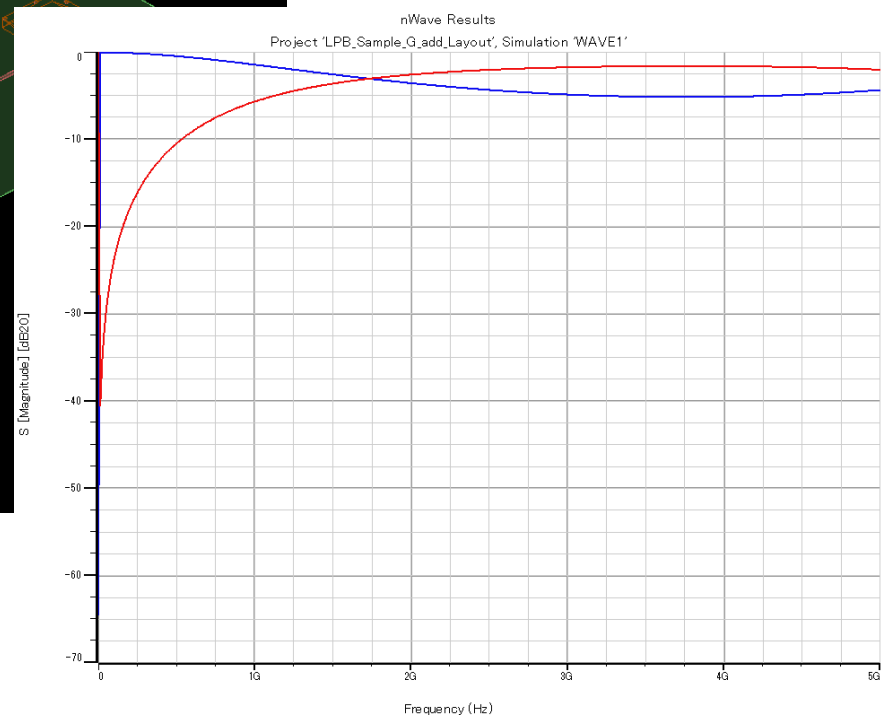
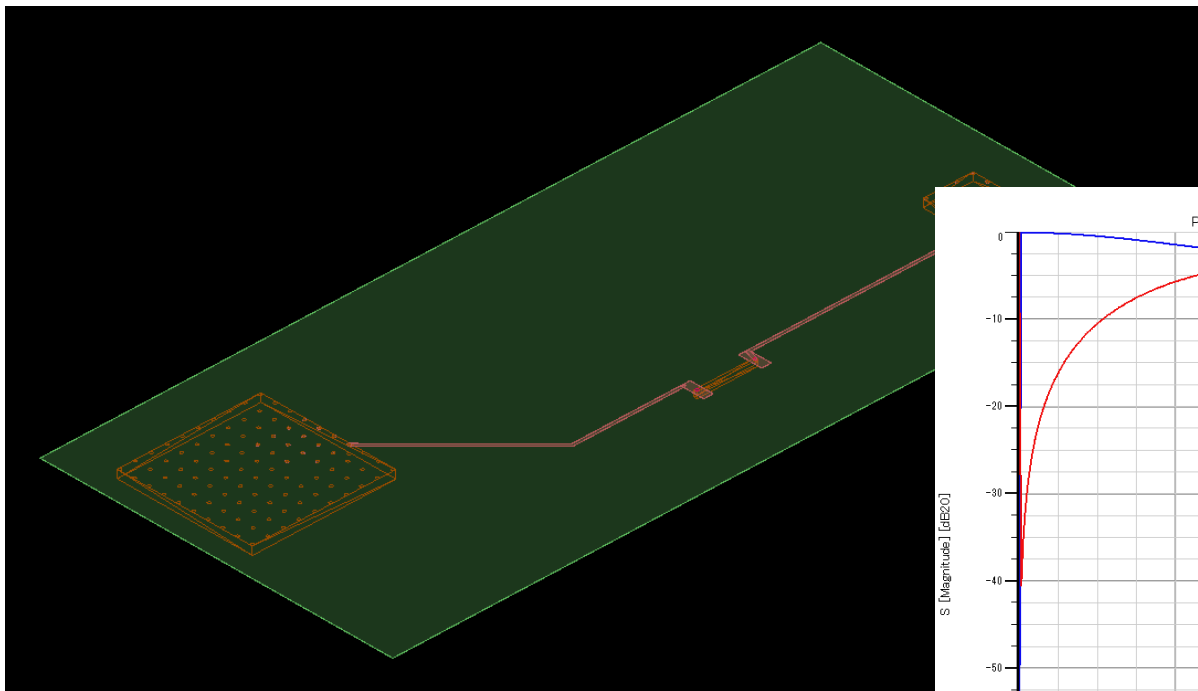
解析結果を元に配線

- GemPackageで解析結果を元に配線を作成



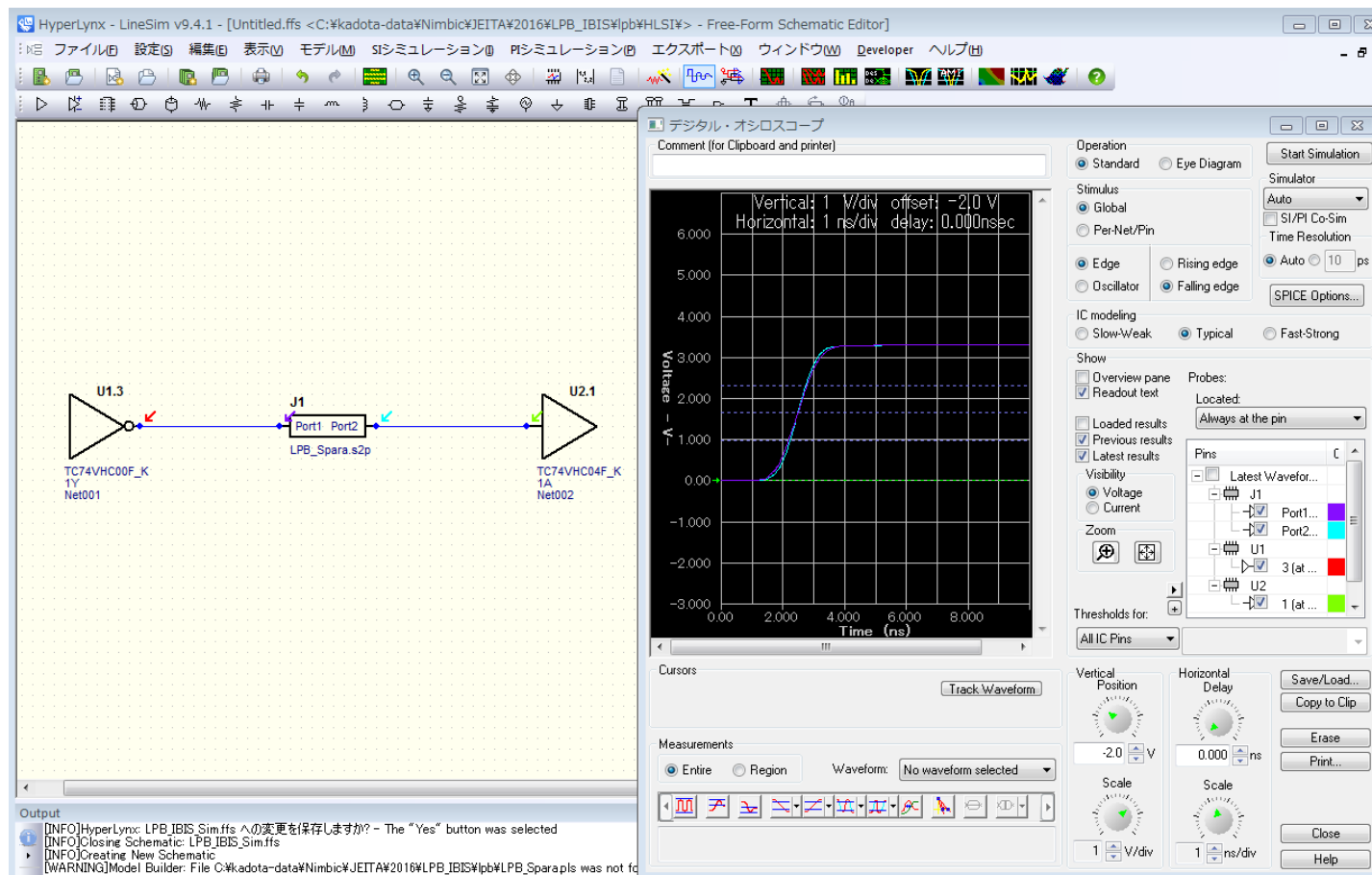
HyperLynx Full-wave SolverでS-parameterを抽出

■ 電磁界解析で実際の配線のS-parameterを抽出



HyperLynx SI (LineSim) で波形解析

- 電磁界で得られたS-parameterを使って波形解析



第9回LPBフォーラム

2017/3/10

LPB デザインキット

LPBフォーラム

青木 孝哲

どうしてデザインキットを作るのか？

- LPBフォーマットに触れる機会を増やす
 - 実際に、動く・何か を提供したい
 - しかし、社内で使っている環境を公開することは難しい、
 - 独立したサンプル・事例を作ろう
 - デザインキット

デザインキットの目的

1. 教育

LPBフォーマットを作ってみる

..... フォーマットのサンプル

LPBフォーマットを扱うプログラムの例

..... 開発のサンプル

2. 発想の種

LPBフォーマットを使った応用例

..... 何が出来そうかイメージしてもらおう

デザインキットの内容

デザインキットはpythonスクリプトで作った簡易ツールです

【配布形式】

- すぐに使える実行形式ファイル
→ とにかく使ってみたい
- Pythonスクリプト（pythonの実行環境が必要）
→ 自分でも何か作ってみたいので、
参考になるコードが欲しい

寸法を入力するとCFormatを作る

パッケージの寸法

それに対応する
CFormat

The screenshot shows the JEITA software interface. On the left, the 'Parameter' window is open, displaying the following values:

Package Name	KKK
Outline width [mm]	10
Outline height [mm]	20
Ball pitch [mm]	30
Ball diameter [mm]	20
Number of Ball Columns	10
Number of Ball Rows	10

Below the parameters is a diagram of a Ball Grid Array (BGA) package with labels for Outline width, Outline height, Ball Pitch, and Ball Diameter. To the right, the 'Ball Grid Array' window shows a 10x10 grid of balls. The 'CFormat' window on the right displays the generated XML code, which is highlighted with a red box. The XML code includes parameters for distance, time, angle, shape, padstack, and port locations.

```
<?xml version="1.0" ?>
<JEITA_LPB_CFORMAT version="2.0">
  <header date="" design_revision="" project="" />
  <global>
    <unit>
      <distance unit=" mm" />
      <time unit=" ps" />
      <angle unit=" degree" />
    </unit>
    <shape>
      <rectangle height="20.0" id="1" width="10.0" />
      <circle diameter="20.0" id="2" />
    </shape>
    <padstack_def>
      <padstack id="1">
        <ref_shape pad_layer="BOTTOM" shape_id="2" x="0" y="0" />
      </padstack>
    </padstack_def>
    <global>
      <module name="KKK" shape_id="1" thickness="0" type="PK" x="0" y="0" />
      <socket name="socket">
        <default>
          <port_shape padstack_id="1" />
        </default>
        <port id="A1" x="-135.0" y="-135.0" />
        <port id="A2" x="-105.0" y="-135.0" />
        <port id="A3" x="-75.0" y="-135.0" />
        <port id="A4" x="-45.0" y="-135.0" />
        <port id="A5" x="-15.0" y="-135.0" />
        <port id="A6" x="15.0" y="-135.0" />
        <port id="A7" x="45.0" y="-135.0" />
        <port id="A8" x="75.0" y="-135.0" />
        <port id="A9" x="105.0" y="-135.0" />
        <port id="A10" x="135.0" y="-135.0" />
        <port id="B1" x="-135.0" y="-105.0" />
        <port id="B2" x="-105.0" y="-105.0" />
        <port id="B3" x="-75.0" y="-105.0" />
        <port id="B4" x="-45.0" y="-105.0" />
        <port id="B5" x="-15.0" y="-105.0" />
        <port id="B6" x="15.0" y="-105.0" />
        <port id="B7" x="45.0" y="-105.0" />
        <port id="B8" x="75.0" y="-105.0" />
        <port id="B9" x="105.0" y="-105.0" />
        <port id="B10" x="135.0" y="-105.0" />
      </socket>
    </global>
  </global>
</JEITA_LPB_CFORMAT>
```

図形を描いてGFormatを作る

簡単な図形

それに対応する
GFormat

The image shows a software interface for JEITA. On the left, a PCB layout is displayed with a red box highlighting a specific area. On the right, a window titled 'GFormat' shows the corresponding G-code for that area. The G-code includes commands for defining a padstack, via, bondwire, and routing, along with specific coordinates for vias and rectangles.

```
3 l
  1 1 0 0 0
  2 1 0 0 0
  3 1 0 0 0
  4 1 0 0 0
}
end padstack
via
  VIA1 3 0 2 0
end via
bondwire
end bondwire
route
"VSS" {
  via 1 4 VIA1 16855.0 34570.0 0 N
  via 1 4 VIA1 31140.0 35145.0 0 N
  via 1 4 VIA1 23140.0 34000.0 0 N
  via 1 4 VIA1 38000.0 32860.0 0 N
  via 1 4 VIA1 26285.0 38000.0 0 N
  via 1 4 VIA1 -37430.0 7145.0 0 N
  via 1 4 VIA1 -31430.0 8285.0 0 N
  via 1 4 VIA1 -29145.0 8570.0 0 N
  via 1 4 VIA1 -34570.0 9145.0 0 N
  via 1 4 VIA1 -30860.0 7430.0 0 N
  rectangle 1 84860.0 13145.0 1570.0 35717.5
  rectangle 3 32575.0 37715.0 26857.5 24002.5
  rectangle 2 85140.0 7425.0 570.0 8857.5
  rectangle 3 15145.0 45140.0 -34427.5 -10570.0
  rectangle 3 86000.0 21430.0 1285.0 -29285.0
}
```

2端子部品のモデルをCFormatに変換する

Spara/SPICE
モデル

JEITA

Window Help

	SizeCode	L	W	T	e
1	0201	0.25	0.125	0.125	0.1
2	0402	0.4	0.2	0.2	0.14
3	05025	0.5	0.25	0.25	0.17
4	0603	0.6	0.3	0.3	0.2
5	1005	1.0	0.5	0.5	0.25
6	1608	1.6	0.8	0.8	0.32
7	1810	1.8	0.9	0.9	0.36
8	2012	2.0	1.25	0.6	0.7
9	3216	3.2	1.6	1.6	0.8
10	3225	3.2	2.5	1.0	0.8
11	4520	4.5	2.0	1.0	0.8

変換ツール

Messages

CFormat

2端子部品のExcel表をCformatに変換する

	A	B	C
1	# 2017/03/04 17:05:13		
2	#PartNumber	#SizeCode	#SPara
3	GRM011R60J102KE01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST\C:\U
4	GRM011R60J102ME01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
5	GRM011R60J103KE01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
6	GRM011R60J103ME01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
7	GRM011R60J152KE01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
8	GRM011R60J152ME01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
9	GRM011R60J222KE01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
10	GRM011R60J222ME01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
11	GRM011R60J332KE01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
12	GRM011R60J332ME01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
13	GRM011R60J472KE01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
14	GRM011R60J472ME01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
15	GRM011R60J682KE01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
16	GRM011R60J682ME01	0201	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\
17	GRM022B1A101KA01	0402	C:\Users\takahiro\Development\JeitaOP\JTEST DIR\

Excel

変換ツール

Part	SizeCode	SPara
1	GRM011R60J10...	0201
2	GRM011R60J10...	0201
3	GRM011R60J10...	0201
4	GRM011R60J10...	0201
5	GRM011R60J15...	0201
6	GRM011R60J15...	0201
7	GRM011R60J22...	0201
8	GRM011R60J22...	0201

```
<!--
=====
GRM011R60J102ME01
=====
-->
<?xml version="1.0" ?>
<JEITA_LPB_CFORMAT version="2.0">
  <header date="" design_revision="" project="" />
  <global>
    <unit>
      <ref_shape pad_layers="BOTTOM" shape_id="2" x="0" y="0" />
      <padstack>
        </padstack_def>
      </global>
      <module name="GRM011R60J102ME01" shape_id="1" thickness="0" type="PKG" x="0"
y="0">
        <socket name="socket">
          <default>
            <port_shape padstack_id="1" />
          </default>
          <port id="p1" x="0.075" y="0" />
          <port id="p2" x="-0.075" y="0" />
        </socket>
      </module>
    </unit>
  </global>
</JEITA_LPB_CFORMAT>
```

CFormat

デザインキットの配布形態

- ライセンス

GNU Lesser General Public License (LGPL)

<https://www.gnu.org/licenses/lgpl-3.0.html>

- デザインキットは自由に利用可能です
- ただし、無保証です。デザインキットの利用により生じた不利益や損害などに対して、一切の責任を負いません

(参考) LGPLとは

- 私的組織や個人で利用する場合のデザインキットの改変には制限がない
- デザインキットをライブラリとしてリンクするプログラムのソースコードのライセンスはLGPLである必要はなく、その配布にも制限がない。
- 再頒布する際には、デザインキットのソースコードを公開する必要がある。(独自開発の部分の、公開義務はない)
- 改変したデザインキットのソースコードを再頒布する場合、ライセンスはLGPLまたはGPLである必要がある

デザインキットのダウンロード

- ダウンロードは、こちらから

<http://www.lpb-forum.com/lpb-open-source-project/download/>

- ユーザ登録後、ダウンロード用のURLを折り返し連絡します。

デザインキット開発に参加したい

- デザインキットのコードは `gitlab.com` のプライベートレポジトリで 管理しています



- プロジェクトの参加方法
 - `Gitlab.com` のユーザ名一をメールでご連絡ください
designkit@lpb-forum.com
 - 折り返しレポジトリをご連絡します

END