

より高速なチャネルシミュレーション で使用する電磁界ソルバー用 3Dパッケージモデル

切中将樹 (Kirinaka Masaki)

mkirinaka@fict-g.com

FICT株式会社(エフアイシーティー)

2022年3月4日



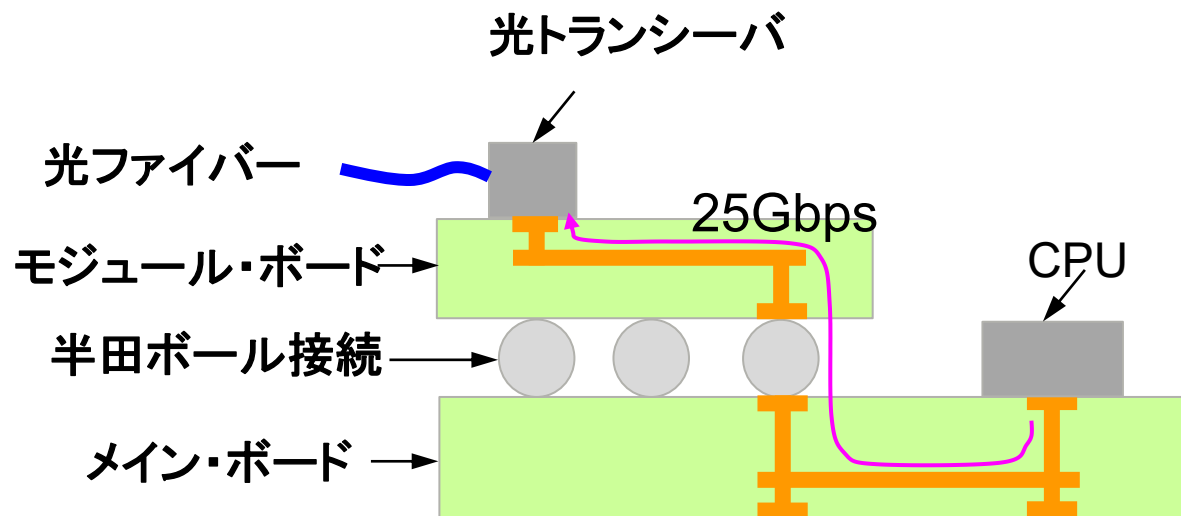
The Future is Interconnected

発表項目

- 背景
- 3Dパッケージモデル優位性の検証
- 3Dパッケージモデルの課題
- まとめ

光伝送システムボードの開発

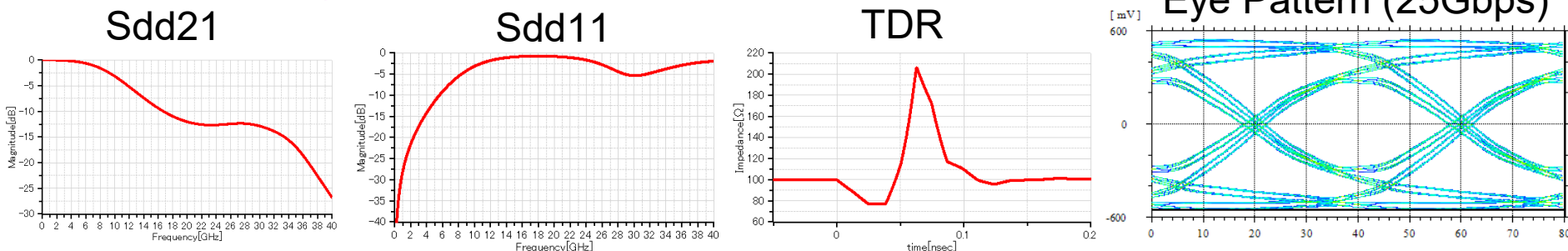
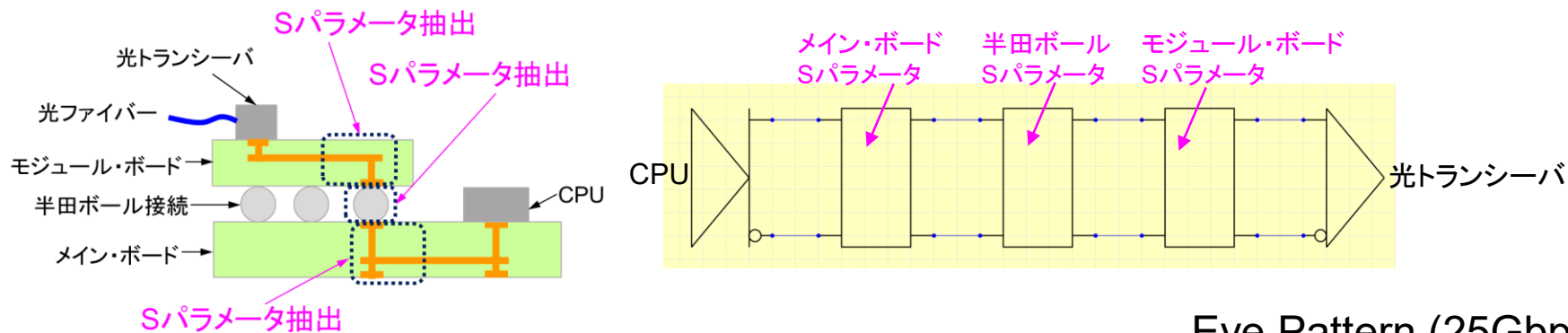
ボード構成



光伝送システムボードの開発

25Gbps伝送ラインのチャネルシミュレーション

1st Simulation アナログチャネルモデル

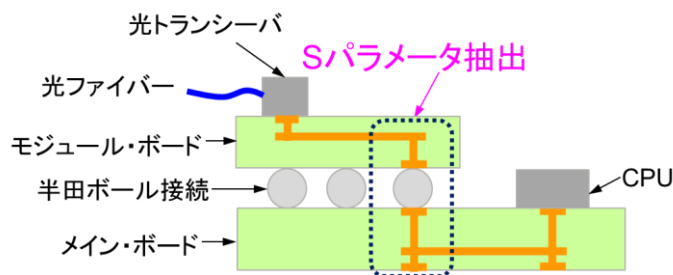


- 期待に反して、悪いシミュレーション結果になった
- アナログチャネルモデルを見直す
Sパラ抽出方法を変更する

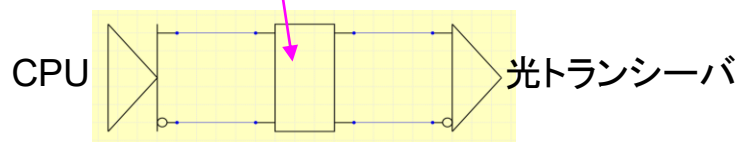
光伝送システムボードの開発

25Gbps伝送ラインのチャネルシミュレーション

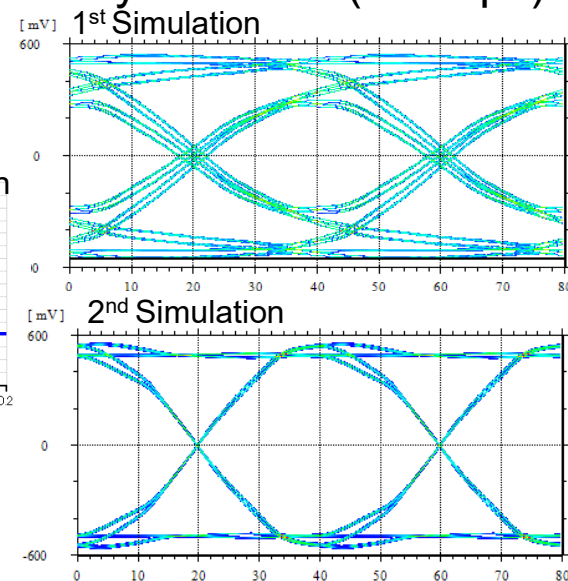
2nd Simulation アナログチャネルモデル



メイン・ボード、半田ボール、モジュール・ボード一体でSパラ抽出



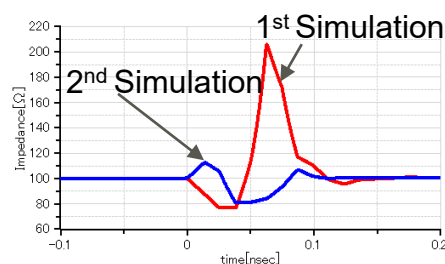
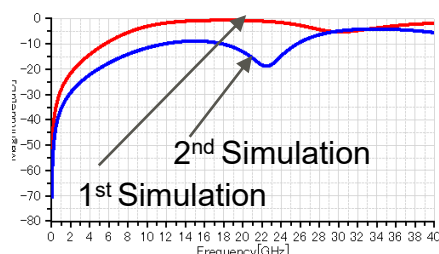
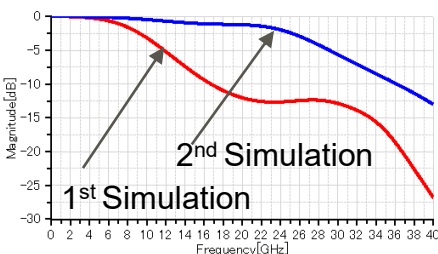
Eye Pattern (25Gbps)



Sdd21

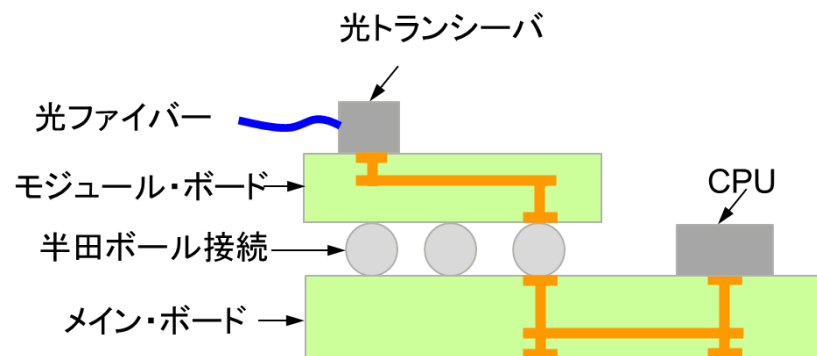
Sdd11

TDR

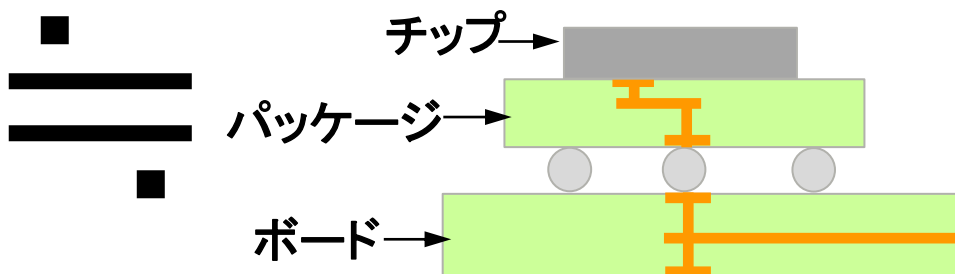


- Sパラ抽出方法の見直しにより、期待通りの良好なシミュレーション結果が得られた

光伝送システムボード構成



チップ・パッケージ・ボード構成

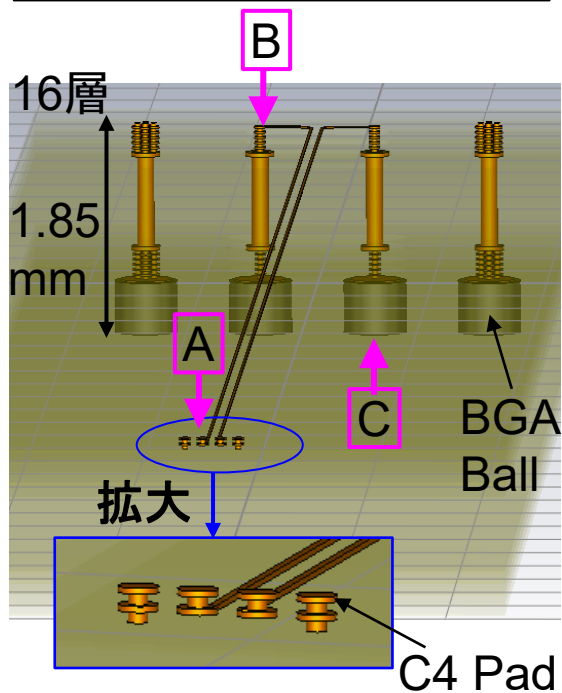


- ・開発した光伝送システムボードの伝送路はチップ、パッケージ、ボードの構成に似ている。
- ・そのことから、パッケージもボードと一体で解析した方が正確な解析結果が得られるのではないかと。
- ・それには、パッケージもSパラではなく電磁界解析用の3Dモデルが必要となる。
- ・そこで、今回、あらためて、パッケージ、ボードの簡易3Dモデルを用いたシミュレーションにより、パッケージに3Dモデルを使う優位性について検証した。また、3Dモデルの課題についても検討した。

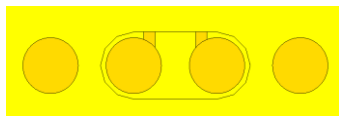
3Dパッケージモデルの優位性の検証

検証用パッケージ、ボードの3Dモデル

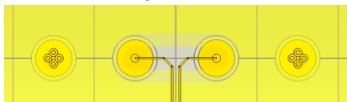
パッケージのみの3Dモデル



Aから見た図



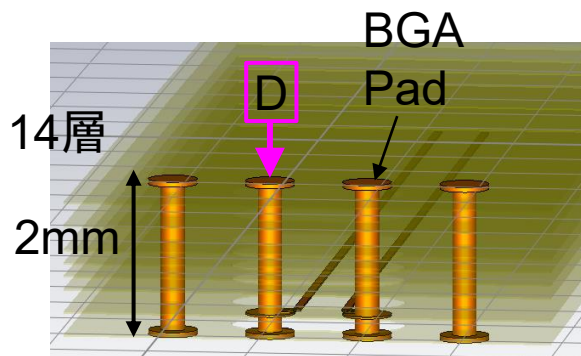
Bから見た図



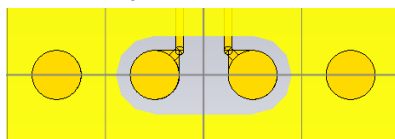
Cから見た図



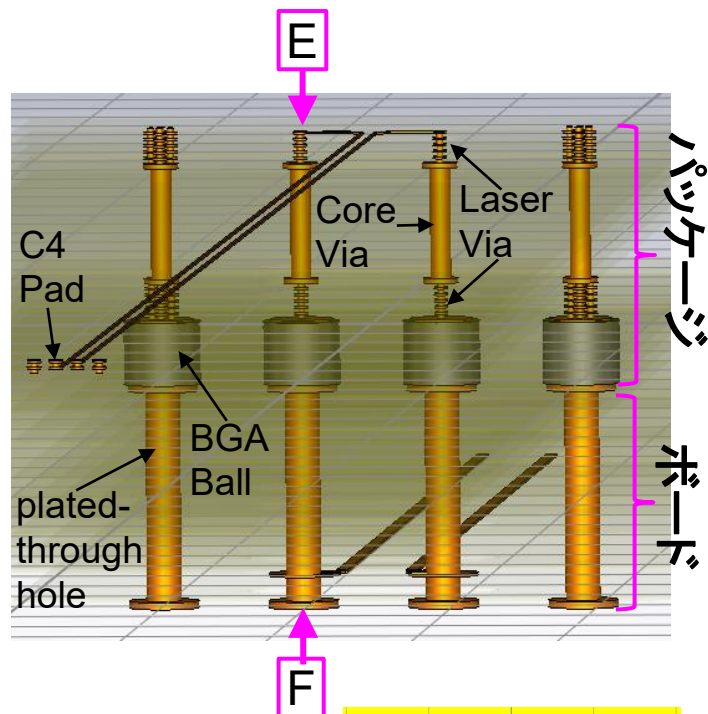
ボードのみの3Dモデル



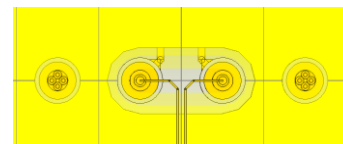
Dから見た図



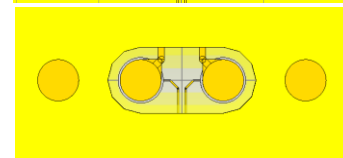
パッケージ、ボード一体の3Dモデル



Eから見た図



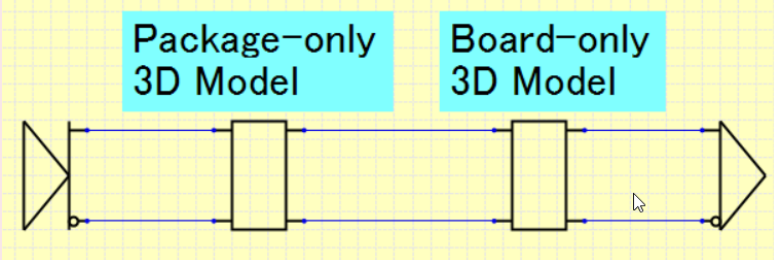
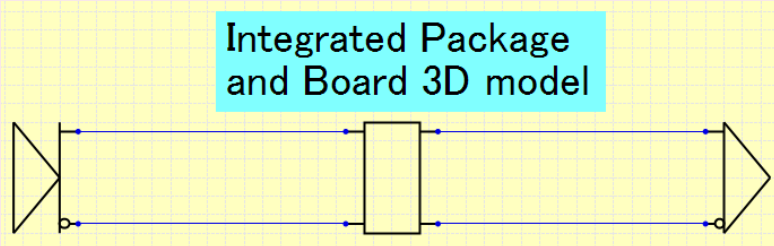
Fから見た図



3Dパッケージモデルの優位性の検証

検証ケース

- Case2(より正確なシミュレーション結果) vs. Case1(従来のトポロジによるシミュレーション結果)
- case1とcase2の差は？

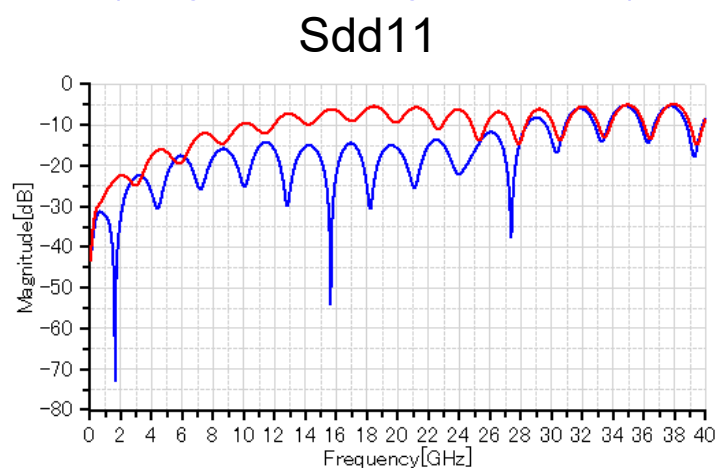
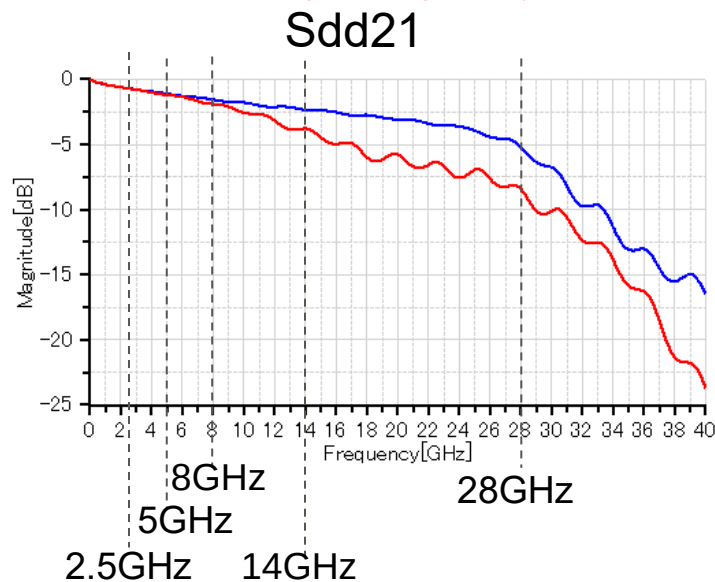
Case	Analog Channel Model Configuration	Verification Items		
		Insertion Loss Return Loss	Zdiff	Eye Pattern
1	 従来のシミュレーショントポロジ構成	SDD21 SDD11	TDR	5Gbps NRZ
				10Gbps NRZ
				16Gbps NRZ
				28Gbps NRZ
				56Gbps NRZ
				56Gbps PAM4
2	 より正確なシミュレーション結果が得られるトポロジ	SDD21 SDD11	TDR	5Gbps NRZ
				10Gbps NRZ
				16Gbps NRZ
				28Gbps NRZ
				56Gbps NRZ
				56Gbps PAM4

3Dパッケージモデルの優位性の検証

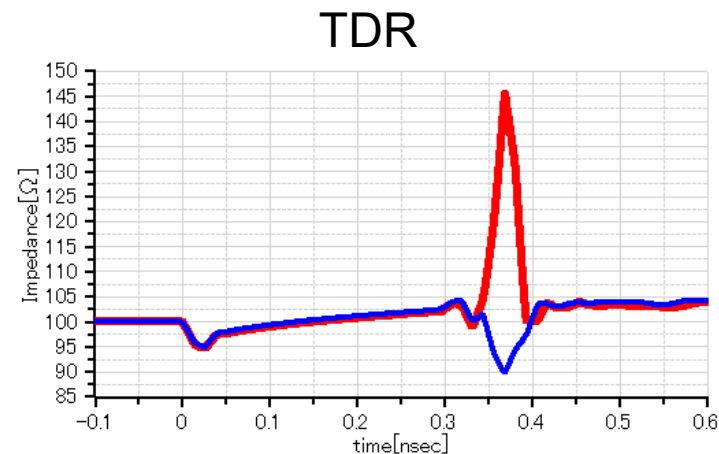
シミュレーション結果

Red: Case1 (Package-only + Board-only)

Blue: Case2 (Integrated Package and Board)



Data Rate	f Nyquist
5Gbps NRZ	2.5GHz
10Gbps NRZ	5GHz
16Gbps NRZ	8GHz
28Gbps NRZ	14GHz
56Gbps NRZ	28GHz
56Gbps PAM4	14GHz

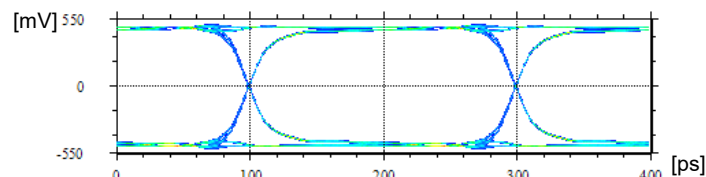


3Dパッケージモデルの優位性の検証

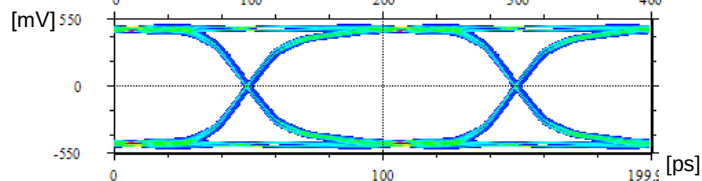
シミュレーション結果

[Case1] Package-only + Board-only

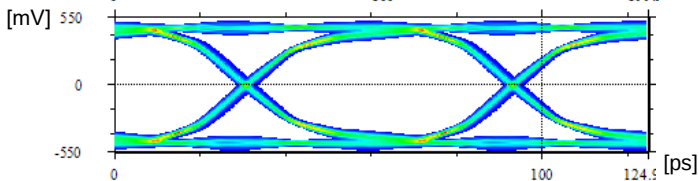
5Gbps NRZ



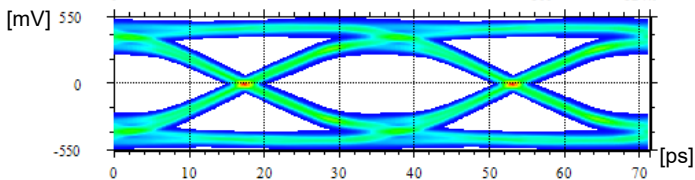
10Gbps NRZ



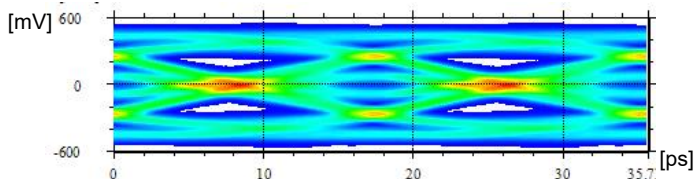
16Gbps NRZ



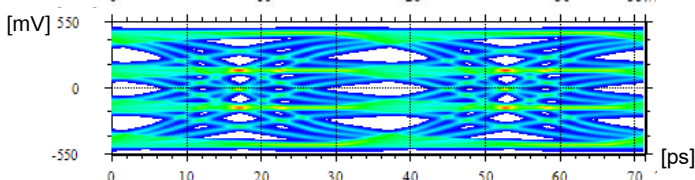
28Gbps NRZ



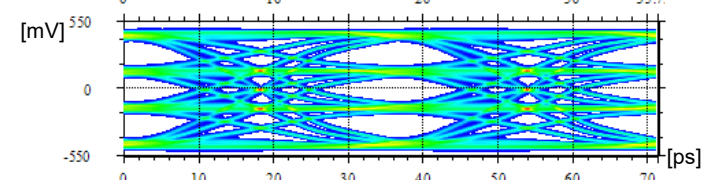
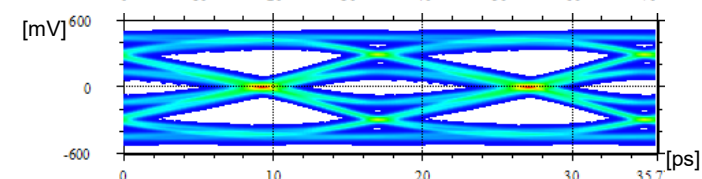
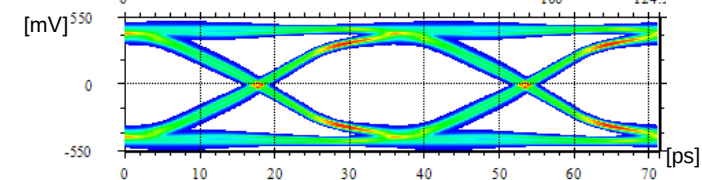
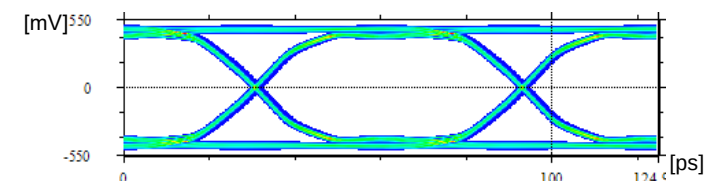
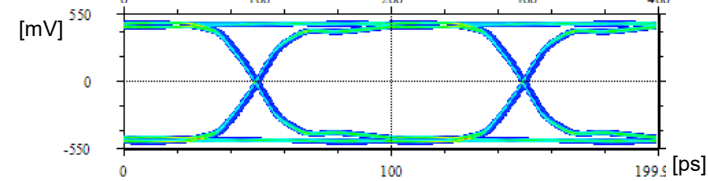
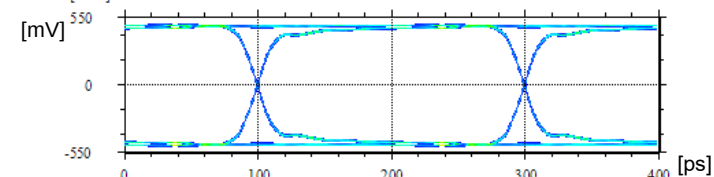
56Gbps NRZ



56Gbps PAM4



[Case2] Integrated Package and Board



3Dパッケージモデルの優位性の検証

- Case1は、パッケージとボードの接続部において、インピーダンス不整合がCase2よりも大きい。
- そのため、Case1の方がCase2よりも、挿入損失、反射損失も悪い。
- また、データレートが高くなるほど、Case1の方が、Case2よりもアイの開口も小さくなる。
- 今後、より伝送レートが高くなると($f_{nyquist} \geq 28\text{GHz}$ 例えば112G、224G)、解析精度向上のために、一体にしたPKGとPCBにより、抽出したSパラでシミュレーションする必要がでてくるかもしれない。
- そのため、将来的に、IBIS規格において、パッケージモデルの3つ目の形態として、3Dモデルの規格が必要になるのではないだろうか。

3Dパッケージモデルの優位性の検証

今後、新しいサブパラメータ”FILE_3D”が必要になるかもしれない

IBIS

(I/O Buffer Information Specification)

Version 7.0

Ratified March 15, 2019

© IBIS Open Forum 2019

Table 46 – Interconnect Modeling Keywords and Subparameters

Keyword or Subparameter	Notes
[Interconnect Model Set]	
[Manufacturer]	(note 1)
[Description]	(note 1)
[Interconnect Model]	(note 2)
Param	

296

File_3D

Keyword or Subparameter	Notes
File_TS	} 既存のモデルフォーマット
File_IBIS-ISS	
Unused_port_termination	(note 4)
Number_of_terminals	(note 5)
<terminal line>	(note 6)
[End Interconnect Model]	(note 7)
[End Interconnect Model Set]	(note 8)
Notes: 1) [Manufacturer] and [Description] are each optional keywords within any [Interconnect Model Set]. 2) At least one [Interconnect Model] is required for each [Interconnect Model Set]. 3) One of either the File_TS or File_IBIS-ISS subparameters is required.	

3Dパッケージモデルの課題

- パッケージデザイン、材料物性値などの機密事項が漏れる。
- 3D電磁界解析シミュレータが必要
- 電磁界シミュレータの設定（Mesh数、解析周波数範囲、境界条件、ポート設定）によって、解析結果が異なる。
- シミュレーション時間がS-パラメータ・モデルより長い。

等々

実現のための課題は多そう。

まとめ

- 3Dパッケージモデルの優位性について調査した。
- より高いデータレート(112G、224G)において、3Dパッケージモデルは解析精度向上に役立つ。
- 一方、3DパッケージモデルのIBIS規格化や運用において、多くの課題がある。

References

- “IBIS (I/O Buffer Information Specification) Version 7.0”,
IBIS Open Forum 2019
<http://www.ibis.org/ver7.0/>



The Future is Interconnected

補足資料

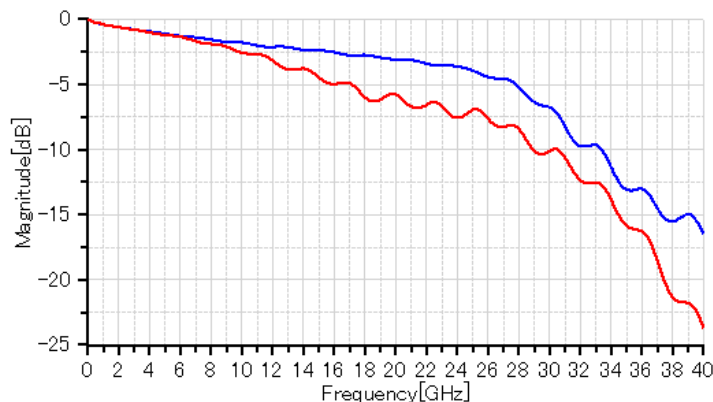
Case1とCase2のSim結果の差について

シミュレーション結果(P9)の差の発生原因は？

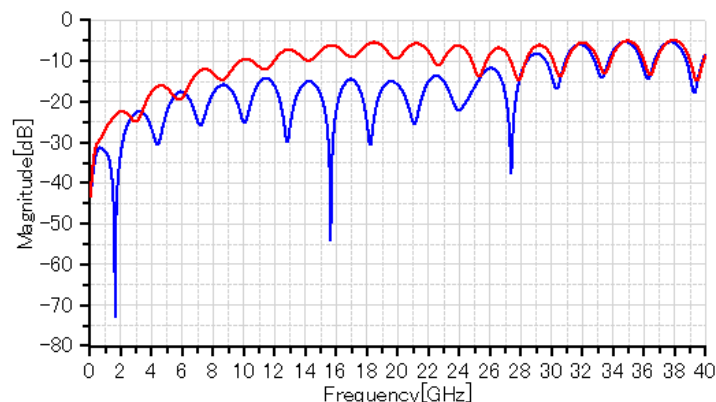
Red: Case1 (Package-only + Board-only)

Blue: Case2 (Integrated Package and Board)

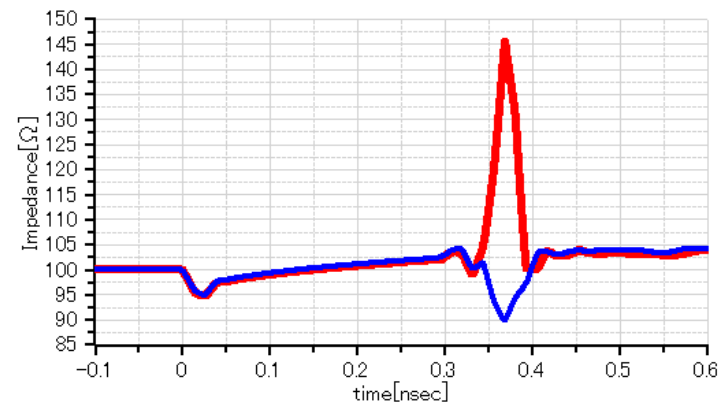
Sdd21



Sdd11



TDR



Case1とCase2のSim結果の差について

発生原因

Case1(Package-only + Board-only)について、三次元電磁界シミュレータにより解析する際、パッケージ、ボードの各BGA接続部分へのポートの立て方により、ポートのインピーダンスが解析結果に影響を及ぼしたと考えられる。

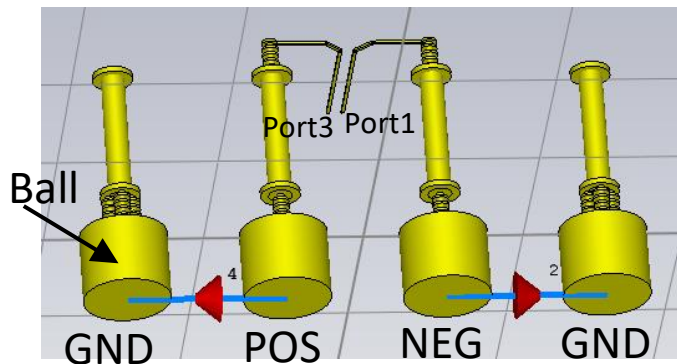
Case1とCase2のSim結果の差について

BGA接続部のポートの立て方

※GNDプレーンの表示は省略

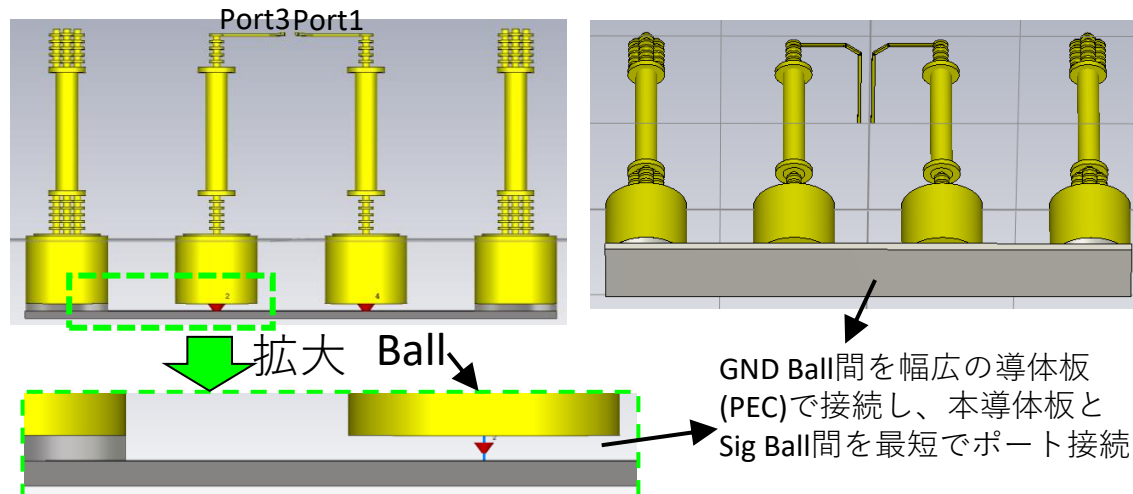
①パッケージBall部ポート

ポートの影響が**大きい**立て方
(ポート長：**長い**)



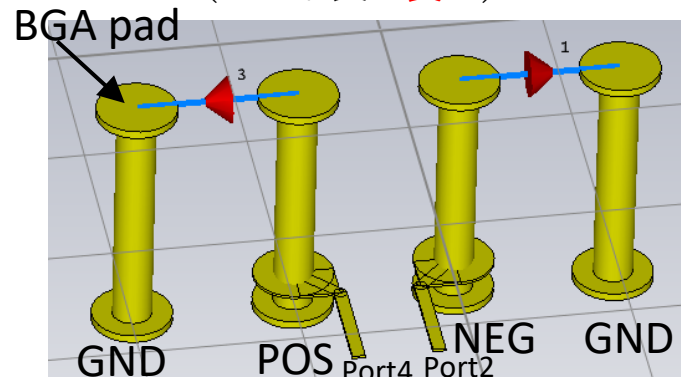
②パッケージBall部ポート

ポートの影響が**小さい**立て方 (ポート長：**短い**)



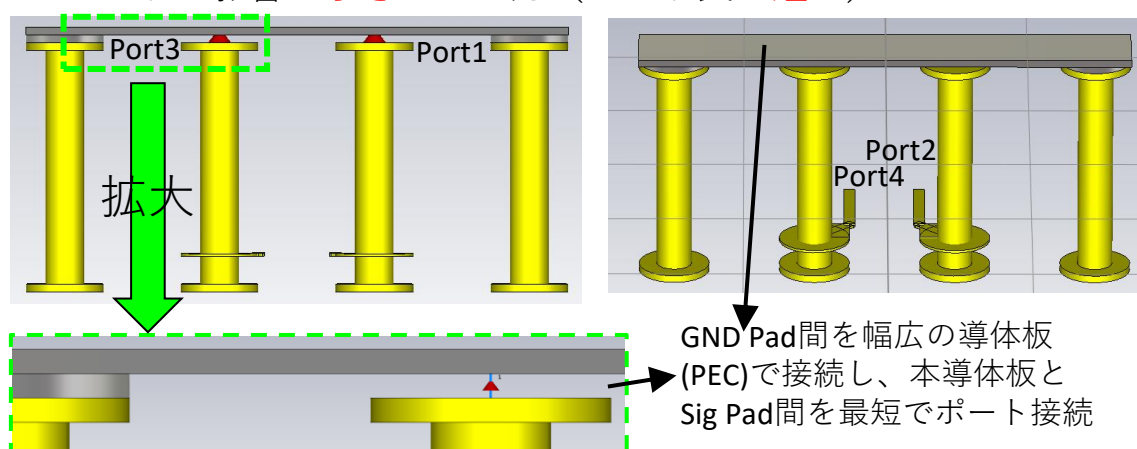
③ボードBGAパッド部ポート

ポートの影響が**大きい**立て方
(ポート長：**長い**)



④ボードBGAパッド部ポート

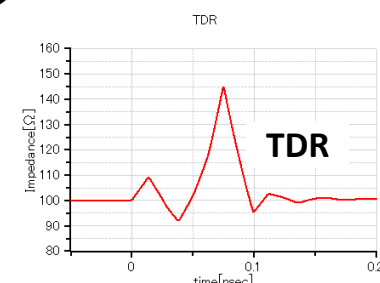
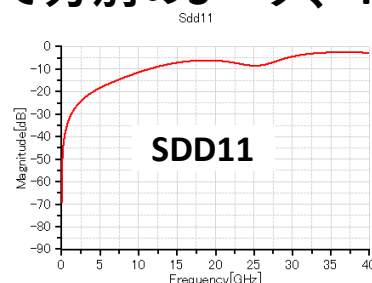
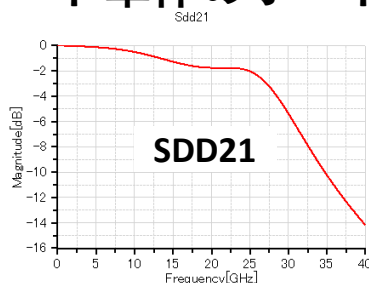
ポートの影響が**小さい**立て方 (ポート長：**短い**)



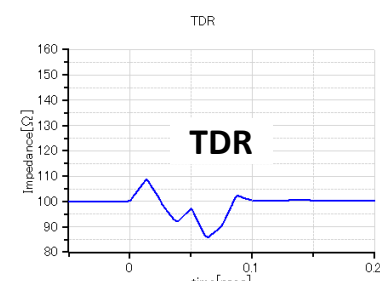
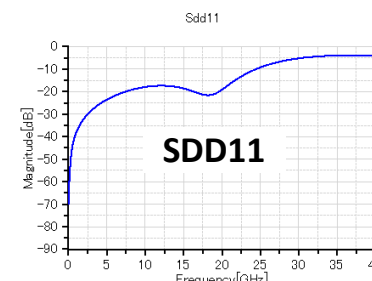
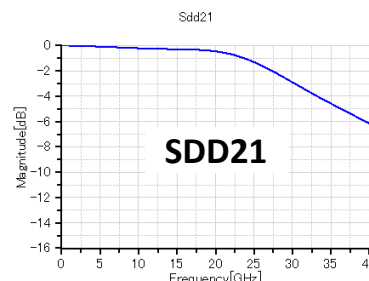
Case1とCase2のSim結果の差について

パッケージ単体、ボード単体のポートの立て方別のSパラ、TDR波形

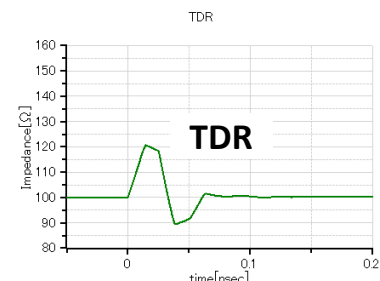
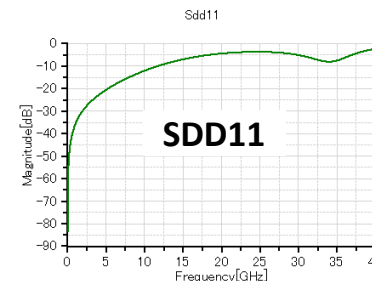
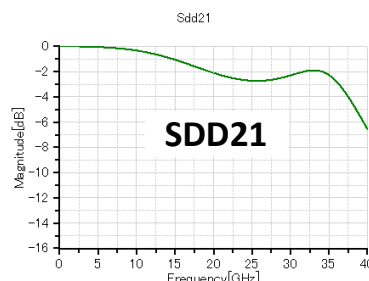
パッケージ単体
ポートの立て方①



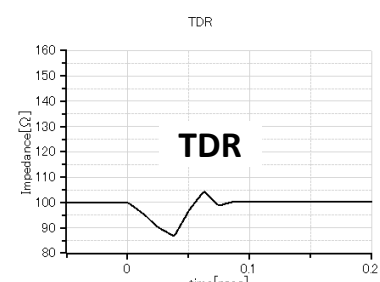
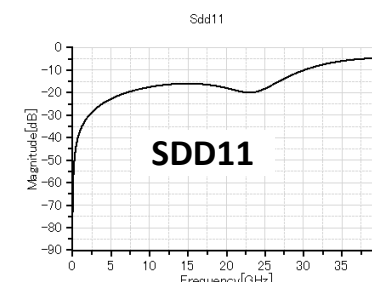
パッケージ単体
ポートの立て方②



ボード単体
ポートの立て方③



ボード単体
ポートの立て方④

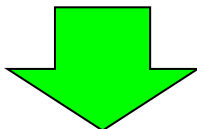


Case1とCase2のSim結果の差について

『BGA接続部のポートの立て方』 組合せ

- ①パッケージBall部ポート : ポートの影響が大きい立て方
- ②パッケージBall部ポート : ポートの影響が小さい立て方
- ③ボードBGAパッド部ポート : ポートの影響が大きい立て方
- ④ボードBGAパッド部ポート : ポートの影響が小さい立て方

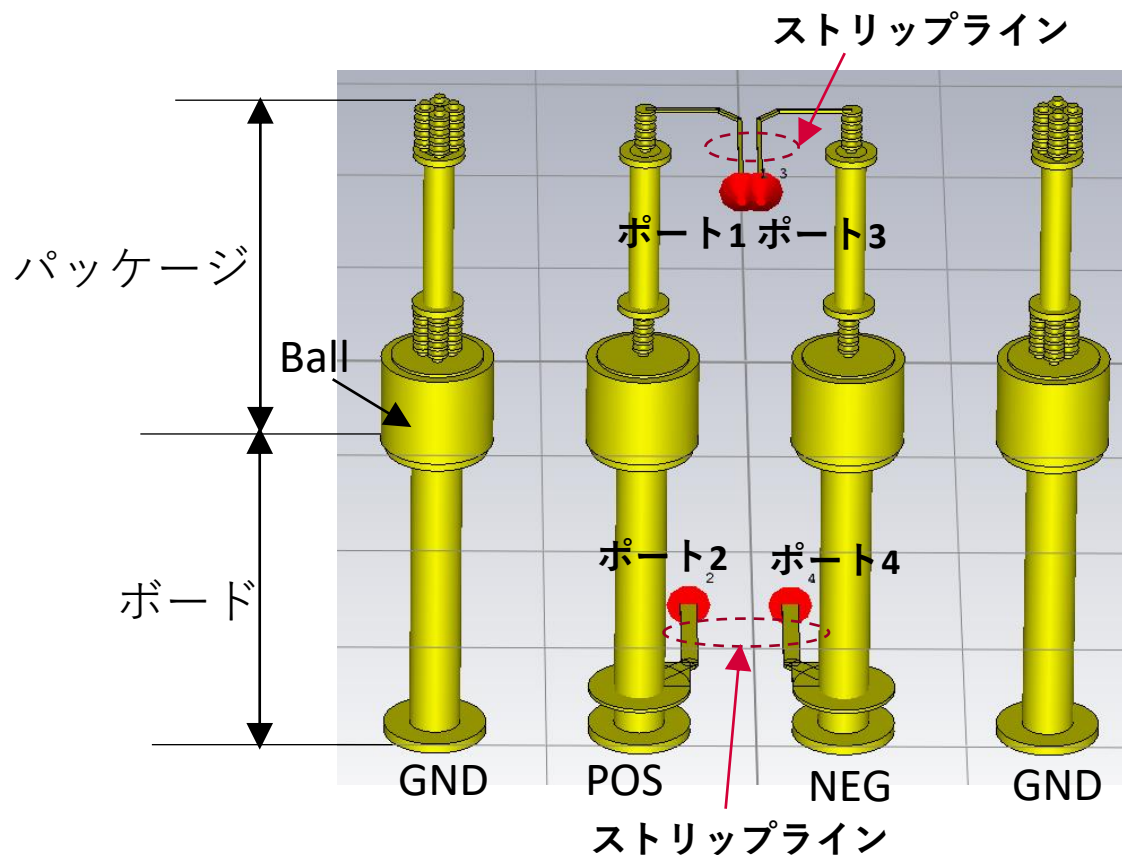
組合せNo.	パッケージの ポート立て方	ボードの ポート立て方
1	①	③
2	①	④
3	②	③
4	②	④



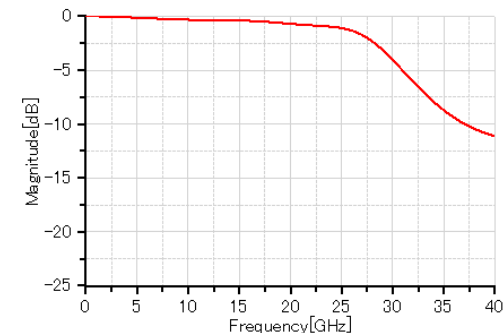
上表の組合せNo.1-4に対応する合成Sパラを抽出。

Case1とCase2のSim結果の差について

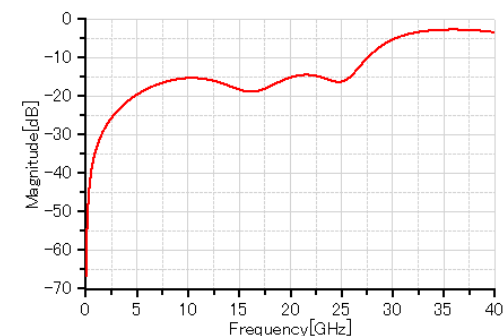
前頁の各組合せによる合成sパラの精度を検証するための一体モデル



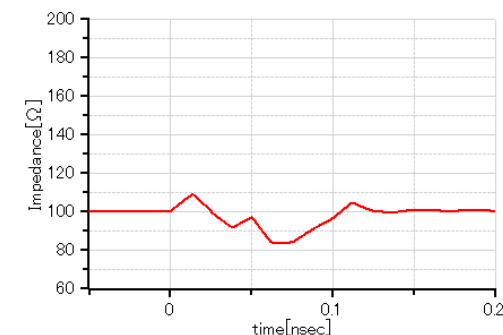
SDD21



SDD11



TDR



※GNDプレーンの表示は省略

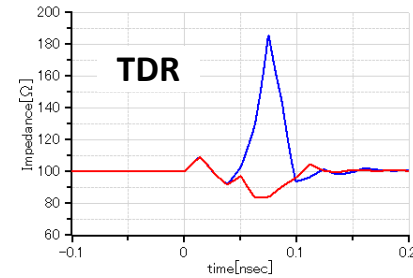
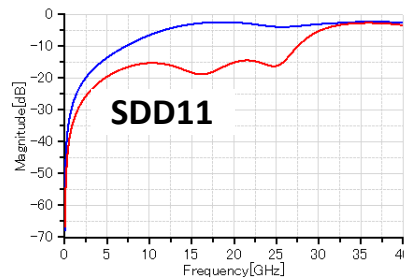
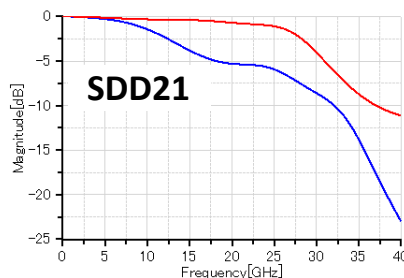
Case1とCase2のSim結果の差について

各組合せのSパラ, TDR波形

組合せNo.1

パッケージのポート立て方①
ボードのポート立て方③

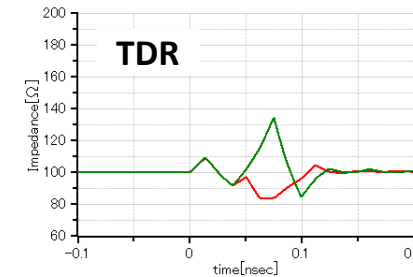
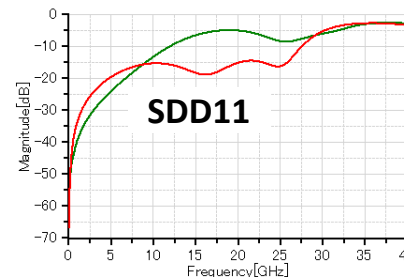
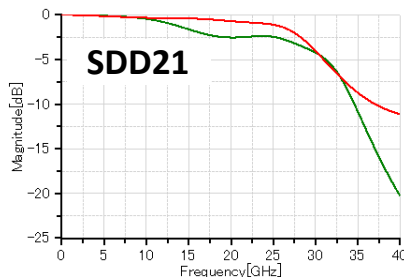
赤：一体モデル
青：組合せNo.1



組合せNo.2

パッケージのポート立て方①
ボードのポート立て方④

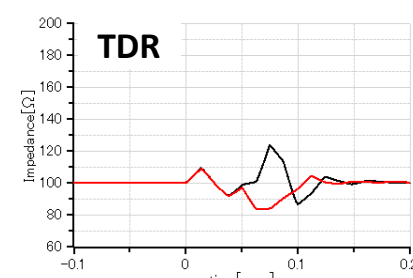
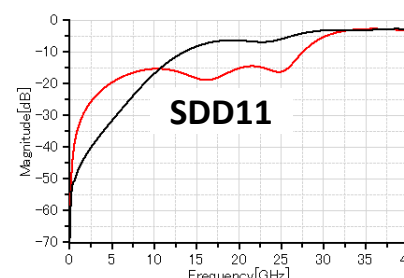
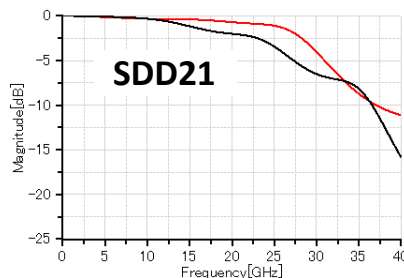
赤：一体モデル
緑：組合せNo.2



組合せNo.3

パッケージのポート立て方②
ボードのポート立て方③

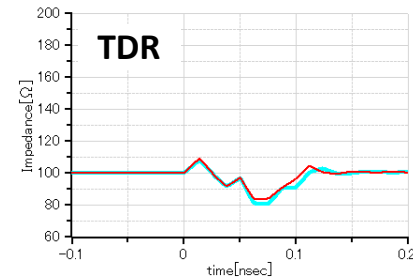
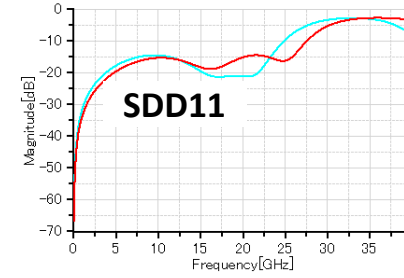
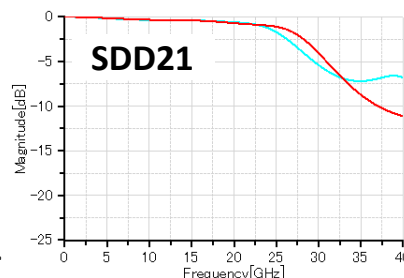
赤：一体モデル
黒：組合せNo.3



組合せNo.4

パッケージのポート立て方②
ボードのポート立て方④

赤：一体モデル
水色：組合せNo.4



Case1とCase2のSim結果の差について

まとめ

- ❑ パッケージ、ボード共にポートの長さが短い組合せNo.4による合成Sパラが一体モデルで抽出したSパラに最も近い結果となった。
 - ❑ したがって、今回のパッケージ単体、ボード単体の各Sパラによる合成Sパラと、一体モデルのSパラの差は、ポートの立て方が原因であったと考える。
 - ❑ ただし、ポートの立て方に問題があると判断できたのは、パッケージ、ボードの三次元モデルがあり、一体化して解析することにより、より精度の高い解析結果が得られたためである。
 - ❑ そこで、今回の検証結果も含めて、より精度の高い解析結果を得るために考えられる方法を以下に示す。
(ICは汎用品を使用するボード設計者/ICユーザーの立場として)
- 1) パッケージ(ICメーカー提供)、ボード(ICユーザー設計)の3Dモデルを接続した一体モデルで解析
⇒理想形
 - 2) パッケージは従来からのSパラ(ICメーカー提供)を使用。
ボード(ICユーザー設計)は、3Dモデルから、ポートの影響を小さくして(下図の通り組合せNo.1よりもNo.2の特性になることを期待)Sパラを抽出し、両Sパラを合成。
⇒現状やれること。

赤：一体モデル
青：組合せNo.1
緑：組合せNo.2

